

应用于 14 bit 低功耗流水线 ADC 的 sub-ADC 电路设计

陈忠学,何 全,章国豪

(广东工业大学 信息工程学院,广东 广州 510006)

摘 要: 基于 SMIC 0.18 μm 标准 CMOS 工艺,设计了一种应用于 14 bit,100 MHz 采样频率低功耗流水线 ADC 的 1.5 位 sub-ADC 单元电路. sub-ADC 主要包括核心模块比较器电路和编码单元电路. 采用由前置放大器和锁存器构成的动态锁存比较器,来实现较高的速率. 为降低流水线 ADC 的每一级功耗,提出一种新结构的 sub-ADC 电路,实现前置放大器在相邻的比较器中共享,增加复位开关电路降低“回踢”噪声和消除两锁存器之间的相互干扰. 仿真结果表明:在 3 V 电源电压、100 MHz 的采样频率下,输入输出正确翻转,传输延时为 1.73 ns,功耗为 157.3 μA ,可满足高精度低功耗流水线 ADC 的性能要求.

关键词: 流水线 ADC;低功耗;sub-ADC;动态锁存比较器;前置放大器共享

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)01-0132-04

Design of Sub-ADC Applied to 14 Bit Low-Power Pipeline ADC

CHEN Zhong-xue, HE Quan, ZHANG Guo-hao

(School of Information Engineering, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: Design of the 1.5 bit sub-ADC applied to 14 bit low-power pipeline ADC circuit. The circuit is fabricated in a 0.18 μm standard CMOS process provided by SMIC. The sub-ADC mainly includes the core module comparator circuit and the encoder circuit. The high speed is realized by using the dynamic latch comparator which is composed of the preamplifier and the latch. In order to reduce the power consumption of pipelined ADC, a new structure of sub-ADC circuit is proposed, which can realize the sharing of the preamplifier in the adjacent comparator. Increase the reset switch circuit to reduce Kickback noise and eliminate the mutual interference between the two latches. The simulation results show that the input and output correct flip in 100 MHz sampling frequency at 3V supply voltage. The transmission delay is 1.73 ns, and the power consumption is 157.28 μA . Can meet the high accuracy and low power pipeline ADC performance requirements.

Key words: pipeline ADC; low-power; sub-ADC; dynamic latch comparator; low-power; Preamp shared EEACC; 2570

1 引言

近年来,各种数字校准技术和出现的并行流水线结构等技术^[1]使流水线 ADC 的精度和速度大有提高,但是高速高精度必然会制约 ADC 芯片面积和功耗的增加. 在降低功耗上,主要有运放共享技术^[2]、MDAC 逐级缩小技术^[3]等,均是在增益数模单元(MDAC)电路上改善. 而增大 ADC 系统功耗

的另一个重要模块是 sub-ADC 电路,比较器对差值信号放大比较,消耗静态电流增加系统功耗.

目前,考虑 sub-ADC 中比较器功耗影响的文献较少. 随着流水线 ADC 位数或每级精度的提高,比较器的个数也将成倍增加,对本文 14 bit 的 ADC,取前 12 级为 1.5 位、末级为 2 位的结构,则需要 27 个比较器. 因此,降低每一级 sub-ADC 中比较器的功耗对降低系统整体的功耗,显得非常重要. 本文分

收稿日期: 2016-04-15; 修回日期: 2016-06-03

基金项目: 国家自然科学基金面上项目(61574049);广东省应用型科技研发专项(2015B010127015);广东省引进领军人才项目(400130002)

析 sub-ADC 工作原理,对比较器电路结构进行优化,提出一种前置放大器共享技术,将相邻比较器里的前置放大器实现共享,增加复位开关消除两比较器里锁存电路之间的相互干扰.使用该技术,将会节约原 sub-ADC 功耗的 1/3.

2 sub-ADC 电路实现

所设计的单级 1.5 位的 sub-ADC 电路由一个前置放大器、两个锁存器和编码器构成.前置放大器和锁存器是组成两个比较器的核心电路,输入信号与两参考值分别比较、锁存;编码器将比较器输出的温度码转换为二进制码($D_1 D_0$)^[4].其 1.5 位的 sub-ADC 传统和改进后的结构图如图 1 所示.

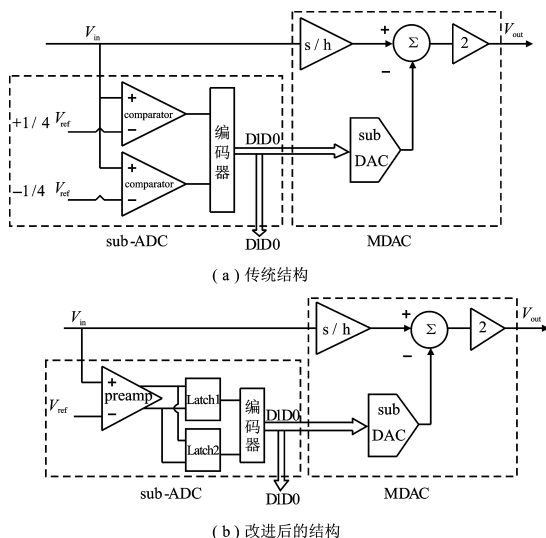


图 1 流水线 ADC 单级体系结构图

图 1(b)是经过改进后的 1.5 bit sub-ADC 结构,与传统不同之处在于,图 1(a)中需要两个独立的比较器,而改进后的结构中,前置放大器电路在两个比较器中共享.在比较器中主要消耗功率的模块是前置放大器,结合后面分析,将会显示改进后的比较器在功耗和芯片面积上均有大幅度降低.

2.1 sub-ADC 结构选择

本文的 sub-ADC 应用于 14 bit 的高速高精度流水线 ADC 中,ADC 电路采用流水线工作方式能够实现部分电路共享,降低功耗.一般来说,对低速高精度的 ADC,sub-ADC 要求精度较高;对高速低精度 ADC,sub-ADC 要求精度较低.要实现低功耗且兼顾高速高精度,结合本文提出的比较器中前置放大器共享技术,在结构上选用 1.5 bit 的 sub-ADC 最为合适,1 bit 给 ADC 最终输出,0.5 bit 用于后期数字校准.由于 1.5 bit sub-ADC 结构自身

的特点,比较器判决电平是系统所固有的,无需增加额外电路;另一方面,sub-ADC 的精度每增加 1 bit,比较器的个数将增加一倍,对每级 1.5 bit 结构的 sub-ADC 需要 2 个比较器,适合在一个 sub-ADC 中两个前置放大器共享.14 bit 的流水线 ADC,前 12 级采用 1.5 bit 结构,末级采用 2 bit 结构(3 个比较器),使用前置放大器共享技术,比较器的个数由原来 24+3 降到 12+3 个,达到降低功耗的目的.

对 ADC 功耗得以改善的前提是由于目前数字校准技术的成熟,保证准确输出的同时也降低了对比较器电路失调误差电压的要求.1.5 bit 的结构需要对两个阈值电压 $+V_{ref}/4$ 、 $-V_{ref}/4$ 作比较,而只要失调误差电压在 $\pm V_{ref}/4$ 范围内,都可以被数字校准电路校正.对本文 3 V 的工作电压,允许失调电压可达 375 mV,大大的提高了对比较器电路设计的灵活性^[5].

2.2 前置放大器共享分析

随着工艺的不断进步,数字电路在各方面的性能均有所改善.而将数字与模拟相结合,利用数字的优点来解决模拟电路设计的难题,降低模拟电路功耗,成为目前设计 ADC 的一个趋势^[6].本文正是基于该思想,减少一个前置放大器模块,前置放大器共享的比较器如图 2 所示.

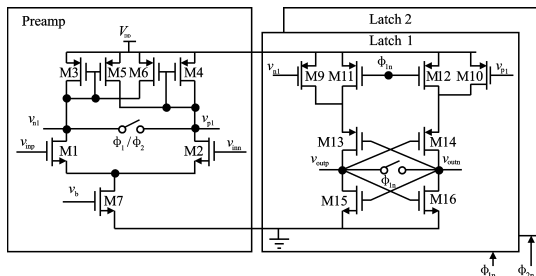


图 2 sub-ADC 比较器电路

在后面的输入电路分析中,会发现比较器对两个阈值电压 $+1/4V_{ref}$ 、 $-1/4V_{ref}$ 作比较切换时会延长传输时间,为不影响比较器的速度本文采用一种带正反馈环路增益自举的前置放大器,增大前置放大器的增益来提高比较器的速度.通过增加交叉耦合的负载晶体管 M5、M6 来增大跨导,不仅提高了前置放大器的增益还能够减小负载反射到输入端的寄生电容.分析小信号可知其跨导放大了 $g_{m4}/(g_{m4} - g_{m6})$ 倍,前置放大器增益改善为

$$A_{cv} \approx \frac{g_{m1} \cdot [g_{m4}/(g_{m4} - g_{m6})]}{g_{m4}} = -\frac{g_{m1}}{g_{m4} - g_{m6}} \quad (1)$$

动态锁存器中, M13~M16 构成两个交叉耦合的反相器, 形成正反馈, M11、M12 为动态锁存开关, Φ_{1n} 为高电平时, Latch1 为再生阶段, 电流通过 M9、M10 注入到输出节点 V_{op1} 、 V_{on1} , 使其电压迁移到一个 V_{gs} 的值, 而不是低电平, 以减小失调; Φ_{1n} 为低电平时, Latch1 为锁存阶段, 输出为逻辑高、低电平. 其工作时序图如图 3 所示.

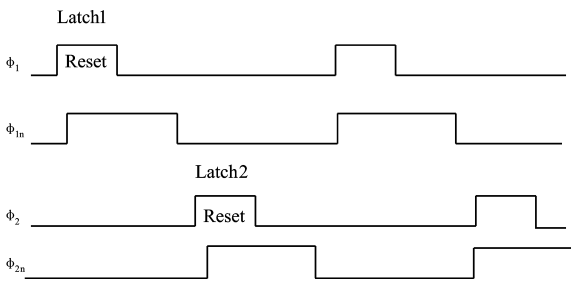


图 3 锁存器的工作时序图

在增益数模单元(MDAC)的建立时间期间, 为提高动态比较器的功率有效被利用, 将采样阶段 Φ 分为 Φ_1 和 Φ_2 两个阶段, Φ_1 阶段为采样输入, 前置放大器和锁存器复位开关重置消除记忆效应并且降低失调电压; Φ_2 阶段为前置放大器放大参考电压与采样输出信号的差值. 放大该差值大约占周期的 $1/4$ 时间, 因此, 对前置放大器带宽的要求不高, 两个锁存器之间相互干扰的消除是在复位开关重置阶段^[7].

2.3 输入和输出编码电路

1.5 bit 结构的 sub-ADC 要输出 1.5 bit 逻辑电平, 则需要将采样输入值分别对两个阈值电压 $+1/4V_{ref}$, $-1/4V_{ref}$ 比较. 对本文提出的动态比较器前置放大器共用一个, 因此要增加一种辅助输入电路, 对两个阈值电压切换比较^[8]. 所设计的辅助输入电路如图 4 所示, 电容 C 的值约 0.2 pF , 长宽均为 $15\text{ }\mu\text{m}$.

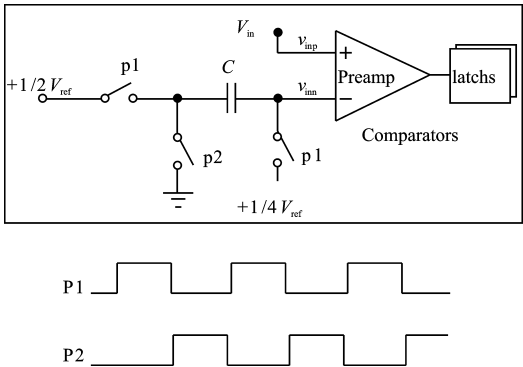


图 4 比较器输入电路

时钟 p_1 为高电平时, 前置放大器 V_{inn} 端为 $+1/4V_{ref}$, 前置放大器放大 ADC 采样电压 V_{in} 与 $+1/4V_{ref}$ 的差值. 电容 C 的左极板充电到 $+1/2V_{ref}$, 右极板充电至 $+1/4V_{ref}$, 电容上的电荷为

$$Q = (1/2V_{ref} - 1/4V_{ref}) \cdot C \tag{2}$$

时钟 p_2 为高电平时, 电容 C 的左极板拉到地电位, 右极板连接至前置放大器输入端, 根据电荷守恒定律可得:

$$Q = (0 - V_{inn}) \cdot C \tag{3}$$

结合式(2)、(3) 可得前置放大器 V_{inn} 端电压值为:

$$V_{inn} = -1/4V_{ref} \tag{4}$$

此时, 前置放大器放大 ADC 采样电压 V_{in} 与 $-1/4V_{ref}$ 的差值^[9].

在 sub-ADC 中, 两个锁存器输出的温度码 00、01、10 需要进行编码处理, 将编码后的二进制码 ($D_1 D_0$) 送到数字校准电路中校正, 校正后的结果作为流水线 ADC 最终的输出^[10].

对于 1.5 bit 结构的输入与输出关系如下, 输出编码电路的真值表如表 1 所示.

表 1 1.5 bit 输出编码真值表

V_{in}/V_{ref}	Q_1	Q_2	D_1	D_0
$V_{in} < -1/4 V_{ref}$	0	0	0	0
$-1/4V_{ref} < V_{in} < +1/4V_{ref}$	0	1	0	1
$+1/4V_{ref} < V_{in}$	1	0	1	1

$Q_2 Q_1$ 分别是两锁存器的输出, $D_1 D_0$ 为 sub-ADC 输出的二进制码, 由真值表可得到布尔代数逻辑表达式为

$$D_1 = Q_2 \tag{5}$$

$$D_0 = Q_1 \oplus Q_2 \tag{6}$$

通过上式的逻辑表达式, 可以得到 1.5 bit 输出的逻辑电路, 如图 5 所示.

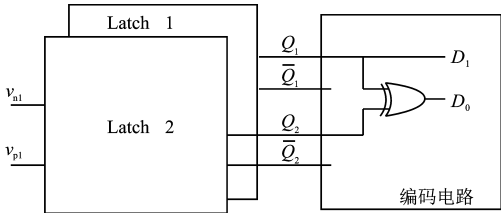


图 5 输出编码电路

3 仿真与结果分析

本文介绍的应用于 14 bit 低功耗 ADC 的 sub-

ADC,电路基于 SMIC 0.18 μm 标准 CMOS 工艺实现, Cadence 环境下使用 Spectre 工具对电路进行仿真. 在电源电压为 3 V,采样频率为 100 MHz 下,模拟输入信号为 20 MHz 的正弦波,1.5 bit 结构的 sub-ADC 模拟输入与数字输出仿真波形如图 6 所示,从仿真波形可以看到输入与输出之间的关系符合表 1 的设计.

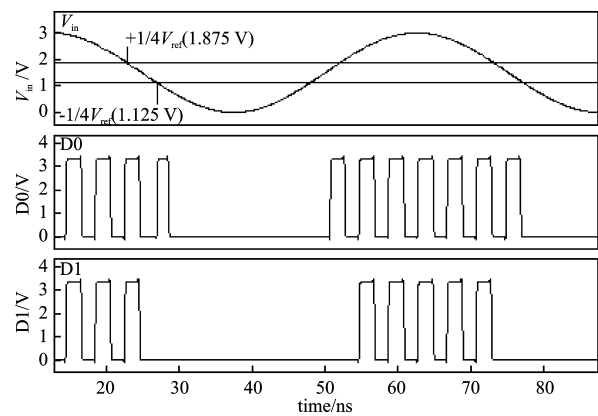


图 6 sub-ADC 输入输出仿真曲线

图 7 是对前置放大器共享的动态锁存比较器传输延时仿真曲线. 在输入端加入阶跃信号 V_{in} , 可以看出在时钟上升沿到两锁存器输出改变时间间隔分别为 607.7 ps, 1.73 ns, 因此完成一次输入信号与两阈值电压的比较传输延时约为 1.73 ns, 对采样频率为 100 MHz 的来说, 满足系统设计要求.

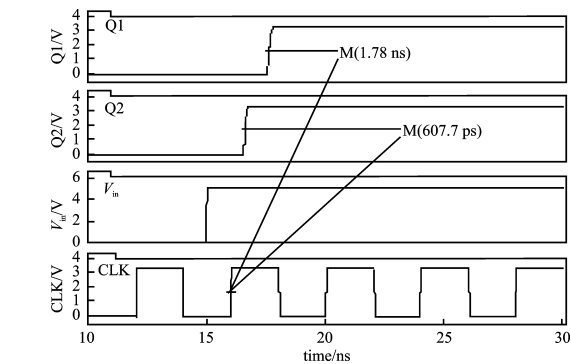


图 7 传输特性仿真曲线

图 8 为 sub-ADC 电路的功耗仿真曲线,对其电源结点总电流进行仿真,使用 spectre 里 calculator 工具计算出波形的均值,功耗约为 157.28 μA .

表 2 是本文 sub-ADC 的主要性能与相关文献的比较,由于本文的 sub-ADC 受复位开关和阈值电压切换延迟的限制,传输延迟时间稍差一点,但在功耗上优于其他同类文献.

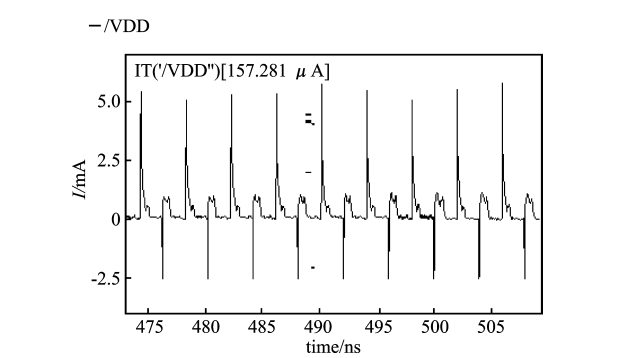


图 8 sub-ADC 电路的功耗

表 2 无片外电容 LDO 的性能比较

性能参数	文献[7]	文献[9]	本文
工艺/ μm	0.18	0.18	0.18
电源电压/mV	1.8	1.8	3
采样率/(MS/s)	250	200	100
传输延时/ns	5.03	0.4	1.73
功耗/ μA	872.2	238.3	157.28

4 结束语

本文介绍了一种应用于 14 bit 低功耗流水线 ADC 的 sub-ADC 电路设计. 它结合数字电路,使用比较器中前置放大器共享技术,实现低功耗的目的. 使用 Cadence Spectre 工具进行仿真,结果表明输入输出能够满足系统正常工作,与相关文献对比,本文 sub-ADC 电路在功耗上低于同类流水线 ADC 的 sub-ADC 电路.

参考文献:

[1] Jonsson B E, Tenhunen H. A low-voltage 32 MSample/s parallel pipelined switched-current ADC [J]. Electronics Letters, 1998, 34(20): 1906-1907.

[2] Hwi-Cheol K, Deog-Kyoon J, Kim W. A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters [J]. IEEE Transactions on Circuits and Systems I-regular Papers, 2006, 53(4): 795-801.

[3] Haze J, Fujcik L, Sajdl O. Modeling of 10 bit 40MHz a low power pipelined ADC utilizing novel background [C]// International Conference on Systems & International Conference on International Conference on Networking, HongKong, 2006: 180-181.

[4] Razavi B. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003.

[5] 王刚. 14 位 100-MS/s 流水线 ADC 低功耗设计[D]. 杭州: 浙江大学, 2013: 14-27.

5 结束语

本文基于矩阵和权重的思想,提出了 MW_Apriori 算法.该算法通过扫描一次事务数据库,构造出 0-1 事务矩阵,其中矩阵的行与事务数据库中的事务记录相对应,列则对应该事务记录所包含的项,并给项和事务赋予权重以反应出它们在事务数据库中的重要性,通过计算项的权重支持度,最终得到频繁项集.与 Apriori 算法和 M_Apriori 算法相比,该算法缩短了运行时间,减小了项集占用空间,减少了 I/O 操作次数.同时使得罕见项的支持度有增大趋势,而其他项的支持度略有下降趋势,之前隐藏的、有价值的事件可以被有效地挖掘出来.

参考文献:

[1] Baralis E,Cagliero L,Cerquitelli T, et al. NEMICO: Mining Network Data through Cloud-Based Data Mining Techniques[C]// Utility and Cloud Computing, 2014 IEEE/ACM 7th International Conference on. IEEE, 2014:503-504.

[2] Liao J,Zhao Y,Long S. MRPrePost-A parallel algorithm adapted for mining big data[C]// 2014 IEEE Workshop on Electronics, Computer and Applications. IEEE,2014:564-568.

[3] Muhammad Asif,Jamil Ahmed. Analysis of Effectiveness of Apriori and Frequent Pattern Tree Algorithm in Software Engineering Data Mining[C]// proceed-

ings of 2015 6th International Conference on Intelligent Systems, Modelling and Simulation. Shanghai, 2015: 28-33.

[4] 郑麟.一种直接生成频繁项集的分治 Apriori 算法[J]. 计算机应用与软件, 2014,31(4):297-301.

[5] 付沙,周航军. 关联规则挖掘 Apriori 算法的研究与改进[J]. 微电子学与计算机,2013, 30(9):110-114.

[6] 罗丹,李陶深. 一种基于压缩矩阵的 Apriori 算法改进研究[J]. 计算机科学,2013, 40(12):75-80.

[7] Zhang S, Du Z, Wang J T L. New techniques for mining frequent patterns in unordered trees. [J]. IEEE Transactions on Cybernetics, 2015, 45(6):1113-1125.

[8] Soltani A, Akbarzadeht M R. Confabulation-inspired association rule mining for rare and frequent itemsets [J]. IEEE Transactions on Neural Networks & Learning Systems, 2014, 25(11):83-92.

[9] 周发超,王志坚,叶枫,等. 关联规则挖掘算法 Apriori 的研究改进[J]. 计算机科学与探索, 2015,9(9): 1075-1083.

[10] 吴学雁,莫赞. 基于 Aproiri 算法的频繁项集挖掘优化方法[J]. 计算机应用,2014(6):124-129.

作者简介:

边根庆 男,(1968-),副教授. 硕士生导师,研究方向为信息管理技术.

王 月(通讯作者) 女,(1993-),硕士. 研究方向为信息安全技术.

E-mial:yuewang_711@163. com.

(上接第 135 页)

[6] 周佳宁,李荣宽. 一种低功耗 14 位 10MS/s 流水线 A/D 转换器[J]. 微电子学与计算机. 2012,29(4):49-57.

[7] Wei-Hsuan T, Tzung-Hung K. A 1. 2V 30mW 8b 800MS/s Time-interleaved ADC in 65nm CMOS[C]// IEEE Symposium on VLSI Circuits. Honolulu,2008: 18-20.

[8] Robert L, Markus K, Frank O. Implementation of a high-speed flash ADC for high-performance pipeline ADCs in an 180nm CMOS process [C] // IEEE 2015 ISPACS. Barli,2015:317-322.

[9] 贾华宇. 高性能流水线模数转换及其数字校准技术研究[M]. 西安. 西安电子科技大学出版社,2014.

[10] Sounak R, Sanjoy KD, Swapna B. A parallel pipeline ADC with a Sub-ADC employing an improvized dynamic comparator[C] // IEEE Region 10 Conference. IEEE,2009:1-6.

作者简介:

陈忠学 男,(1989-),硕士研究生. 研究方向为模拟集成电路设计. E-mail:czxue1015@qq. com.

何 全 男,(1990-),硕士研究生. 研究方向为射频模拟集成电路设计.

章国豪 男,(1964-),教授. 研究方向为射频、微波及毫米波单片电路及组件.