

一种用于 ASIC 内部存储器单粒子翻转效应评估的方法

郑宏超,岳素格,王 亮,简贵胄,初 飞

(北京微电子技术研究所,北京 100076)

摘 要: 本文提出了利用存储器内建自测试(MBIST)进行专用集成电路(ASIC)内部存储器的单粒子翻转(SEU)检测方法,研究并制定了 MBIST 的单粒子有效性辐照注量的统计方案,最后在重离子加速器上应用该方法进行了单粒子试验验证.通过与相同结构的存储器 SEU 结果的对比分析,结果表明,MBIST 在有效辐照注量($1.27\text{E}+7\text{icons}/\text{cm}^2$)下,与存储器在标准辐照注量($1\text{E}+7\text{icons}/\text{cm}^2$)下获得的 SEU 在轨错误率误差小于 2 倍,运用 MBIST 方法可以方便、准确地用于评估 ASIC 的存储器 SEU 性能指标.

关键词: ASIC;SRAM;SEU;MBIST

中图分类号: TP302.8

文献标识码: A

文章编号: 1000-7180(2017)10-0022-04

A Method for Evaluating the SEU of ASIC Internal Memory

ZHENG Hong-chao, YUE Su-ge, WANG Liang, JIAN Gui-zhou, CHU Fei

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: This paper presents a new way to evaluate the SEU performance of ASIC internal memory by using Memory-Build-In-Self-Test(MBIST) technology, while an statistical method of effective irradiation dose for MBIST was studied and developed. At last, a SEE verification test was carried out on the heavy ion accelerator by using this method. By comparing with SRAM of the same structure, the results show the error between MBIST (effective irradiation dose $1.27\text{E}+7\text{icons}/\text{cm}^2$) and SRAM (irradiation dose $1.0\text{E}+7\text{icons}/\text{cm}^2$) is less than 2 times, which means the MBIST method can be used for evaluating the SEU performance of ASIC internal RAM conveniently and accurately.

Key words: ASIC;SRAM;SEU;MBIST

1 引言

空间中运行的集成电路容易受到单粒子效应的影响,集成电路内部的存储单元是单粒子效应敏感单元,容易受单粒子效应影响而产生单粒子翻转(SEU)^[1-2].卫星上使用的可编程逻辑门阵列(FPGA)由于内部存储单元多,单粒子翻转效应明显,严重时导致电路功能中断失效,威胁空间飞行器安全.为此采用经过抗辐射加固设计的专用集成电路(ASIC)^[3],代替 FPGA 执行关键功能,降低 SEU 的危害,提高空间飞行器抗单粒子性能,是国内外一种减缓单粒子效应危害的重要手段.

专用集成电路与通用集成电路不同,一般采用

定制的功能逻辑和时序进行控制,没有形成通用的指令集或者内存访问命令,无法在外部直接测试 ASIC 内部的存储单元^[4-5].传统的 SEU 试验方法是将存储单元单独封装成芯片进行测试,这样将增加了研发和测试成本.本文提出了利用存储器内建自测试(MBIST)方法对 ASIC 内部存储器进行 SEU 自测试评估的方案.

MBIST 技术广泛应用在 ASIC 电路中^[6-7],通过设计内部的测试电路结构自动产生测试逻辑向量,对内部存储器完成特定算法的读写测试,并将测试结果通过 I/O 端口输出到芯片外部. MBIST 结构可以覆盖 100%存储单元,并且可以通过内部测试自动完成,无需开发额外的程序指令,因此可以减少

测试系统开发的工作量,并且提高测试的可靠性. 本文利用国际标准的 March 2 和 Unique 算法在 ASIC 电路上进行了 MBIST 设计,对两种算法的单粒子翻转辐照有效性进行了计算,基于 MBIST 技术,在重离子加速器对 2 款 ASIC 电路、1 款具有相同结构的 SRAM 进行了存储器单粒子翻转试验,对 SEU 试验结果进行了单粒子饱和截面、阈值和在轨错误率等单粒子指标的对比分析.

2 MBIST 测试结构

存储器内建自测试结构相当于在芯片内部集成了一个激励发生器(FSM)和一个响应比较器(COMPARATOR),MBIST 的测试结构如图 1 所示. 激励发生器通过模拟测试设备产生读写、地址、数据等激励向量,完成对内部 RAM 的读写操作,响应比较器采集 RAM 输出的数据,并与激励发生器正常的输出值进行比较,如果不一致,则通过 FAILTH 端口输出一个周期的脉冲波形. MBIST 与在单粒子试验时,可以通过对 FAILTH 脉冲的计数,来统计发生的 SEU 次数.

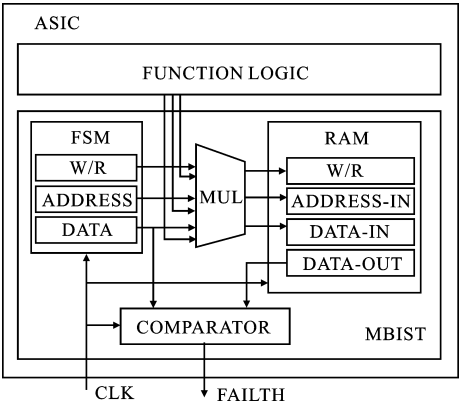


图 1 MBIST 的测试结构图

本文研制的专用集成电路 ASIC 采用标准的 0.18 μm 体硅 CMOS 工艺,前期通过基于版图抗辐射设计加固技术开发了标准单元库,通过前端功能设计和后端物理设计完成了 2 款 ASIC 电路,在 ASIC 内嵌的 MBIST 采用 March2 和 Unique 国际标准算法,其中 March 2 算法结构如下所示,分别按照地址升序(up)和降序(down)两种方式,逐个地址执行存储单元的读/写/读操作,再进行下一个地址操作,每次操作判断内部 RAM 的读写功能是否正常,交替写入/读出 01 数据可以保持 RAM 始终保持动态读写状态,使得 RAM 的资源覆盖率和程序覆盖率都达到 100%.

- 1 up-write 0
- 2 up-read 0, write 1, read 1
- 3 up-read 1, write 0, read 0
- 4 down-read 0, write 1, read 1
- 5 down-read 1, write 0, read 0
- 6 down-read 0

Unique 算法分别按照地址升序和降序的两种方式,对 RAM 的全地址进行斜三角数据写入和读出,即写入数据随地址变化而变化,与 March2 算法的逐个地址写读比较不同,Unique 是全部 RAM 地址写完,再全地址读取进行判断,Unique 算法结构如下所示.

- 1 up-write 0
- 2 up-write address unique
- 3 up-read address unique
- 4 up-write inverse address unique
- 5 up-read inverse address unique

3 MBIST 的单粒子有效辐照注量计算

RAM 中发生的 SEU 能否被识别捕获,与 SEU 发生的时间点和具体算法有关,SEU 有效辐照时间示意图如图 2 所示. 当 SEU 发生在如图所示的有效时间段内,该 SEU 将会被检测系统的读操作捕获,而如果当 SEU 发生在无效时间段内,由于 RAM 在写操作时将把发生的 SEU 覆盖,导致 SEU 无法被捕获,因此只有每次写操作至最后一次读操作之间的时间可以捕获 SEU,将该时间段称为 SEU 有效辐照时间. 图 1 中总的 SEU 有效辐照时间为 $7\Delta T$,总时间为 $10\Delta T$,单粒子有效辐照注量效率为 70%,即为了满足单粒子有效辐照注量达到 $1\text{E}7\text{ions}/\text{cm}^2$,需要实际辐照 $1.43\text{ions}/\text{cm}^2$ 的注量.

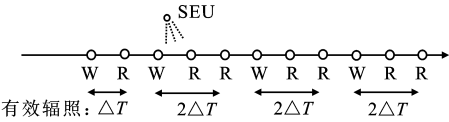


图 2 SEU 有效辐照时间示意图

March 2 算法的有效单粒子辐照时间示意图如图 3 所示,图中以首地址 A1 和末地址 AN 为例,用阴影部分表示了 SEU 有效辐照时间,其中 A1 的有效单粒子辐照时间如式(1)所示,由于 A1 在算法中第一个写入数据,并且是最后一个读出数据,因此有效辐照时间最长,同时考虑到 $14 * N$ 远大于 5,因此有效辐照时间可以约等于 $14 * N * T_0$. T_0 表示读写单个地址的时间,而 AN 则与之相反(公式 2),因此有效辐照时间最短,约为 $12 * N * T_0$. 图中圆圈

表示在该段有效辐照时间内,该地址上发生的 SEU 都被圆圈标注的读操作捕获. 因此整个 March 2

的平均有效辐照时间约为 $13 * N * T_0$.

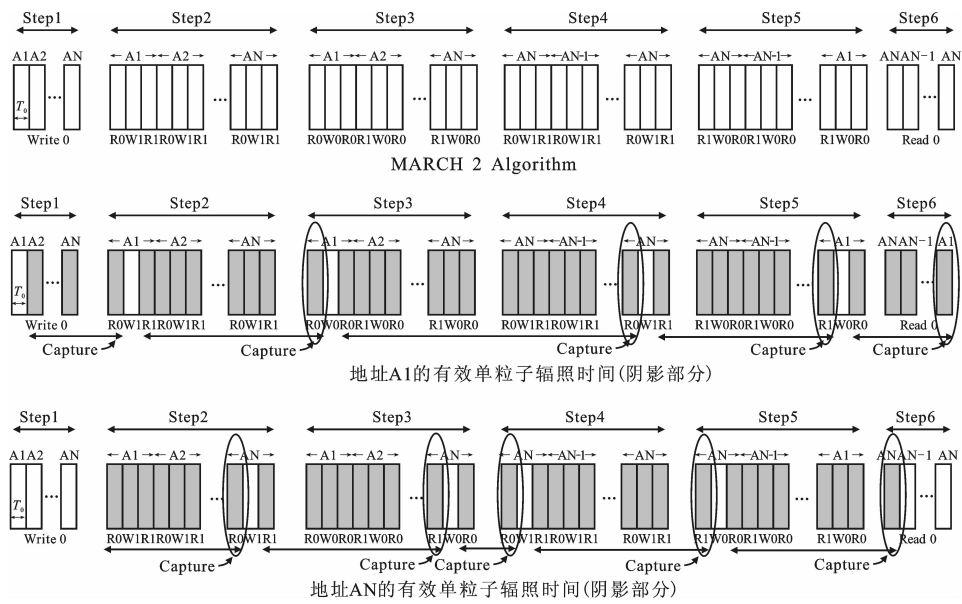


图 3 March 2 算法的有效单粒子辐照时间示意图

$$t_{A1} = 14 * N * T_0 - 5 * T_0 \approx 14 * N * T_0 \quad (1)$$

$$t_{AN} = 12 * N * T_0 - 3 * T_0 \approx 12 * N * T_0 \quad (2)$$

由于 Unquie 算法是全地址写完再读,因此对于任一地址,只有步骤 3 和步骤 5 是 SEU 有效辐照时间,其余写操作都会将 SEU 覆盖,因此 Unquie 算法 SEU 有效辐照时间为 $2 * N * T_0$. 将 2 种算法的有效时间除以算法执行的总时间,可以得到 MBIST 的平均有效辐照效率约为 78.9%(如公式 3),为了满足目标电路的单粒子有效辐照注量达到 $1E+7$ icons/cm² (国际标准),实际的单粒子辐照注量需要达到 $1.27E+7$ icons/cm² 以上.

$$\delta_{MBIST} = \frac{13 * N * T_0 + 2 * N * T_0}{14 * N * T_0 + 5 * N * T_0} \approx 78.9\% \quad (3)$$

4 单粒子试验结果与对比分析

将基于本文提出的 MBIST 结构设计的 2 款 ASIC 电路和具有相同结构的 1 款 SRAM 进行了 Cl、Ti、Ge、Bi 离子的单粒子试验,入射离子的参数特性如表 1 所示,每种离子下 DUT 实际辐照注量为 $1.3E+7$ /cm²,对应的有效辐照注量均大于 $1.0E+7$ /cm². DUT 工作电压设置为最低的 2.97V,以满足 SEU 最劣工作状态,读写频率为 1 MHz.

表 1 入射离子的参数特性

离子	能量 /MeV	LET 值 /(MeV · cm ² /mg)	射程 /μm	加速器名称
Cl	150	13.4	42.8	HI-13
Ti	160	22.2	32.9	
Ge	208	37.3	30.3	
Bi	802.4	99.8	48.5	HIRFL

将试验获得的 3 款电路 SEU 截面归一化到每位上,并且用威布尔曲线合后如图 4 中所示,从图中可以看出,2 款 ASIC 的内部 RAM 的 SEU 截面基本一致,而且都明显高于 SRAM 的 SEU 截面 3~5 倍,3 款电路在 Cl 离子下都没有发生 SEU,说明这种 RHBD 结构的 RAM 的本征单粒子翻转 LET 阈值在 Cl 和 Ti 之间.

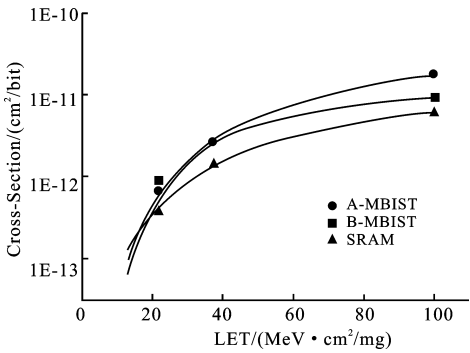


图 4 单粒子翻转威布尔曲线图

采用 MBIST 方法获得的 ASIC 电路 RAM 单元 SEU 截面高于 SRAM 的 SEU 截面,这主要因为 MBIST 结构中的激励发生器和响应比较器中含有触发器(DFF)结构,当触发器发生 SEU 时,也将导致 MBIST 的输出端口出现错误,因此采用 MBIST 统计的 SEU 数实际上是 DFF 和 RAM 单元 SEU 之和. 因此对于 ASIC 来说 MBIST 方法是一种过保守的 SEU 评估,在 ASIC 的 SEU 鉴定考核试验时,如果 ASIC 的 MBIST 单粒子试验结果满足 SEU 指标要求,那么说明 ASIC 的内部 RAM 单元的 SEU 性能也一定满足.

利用在轨错误率预估软件,可以获得 ASIC 和 SRAM 的 SEU 饱和截面、SEU 的 LET 阈值(取饱和截面的 10%)和单粒子在轨错误率(GEO 轨道, 3mm 等效 Al 屏蔽)如表 2 所示. 表中可以看出本文提出的基于 MBIST 获得 ASIC 的 SEU 在轨错误率与 SRAM 误差不到 1 倍,评估结果较为准确,该方法可以用于 ASIC 的 SEU 评估. 此外结果还表明本文设计的基于 RHBD 的存储单元具有较好的抗 SEU 性能,SEU 在轨错误率优于国际标准 $1.0\text{E}-10$ 次/天·位.

表 2 单粒子在轨错误率

类型	LET 阈值/ (MeV·cm ² /mg)	饱和截面 σ_{sat} / (cm ² /bit)	在轨错误率/ (bit·day)
ASIC-A	30.8	$1.71\text{E}-11$	$1.04\text{E}-11$
ASIC-B	24.9	$9.23\text{E}-12$	$8.43\text{E}-12$
SRAM	24.6	$6.04\text{E}-12$	$5.32\text{E}-12$

5 结束语

本文提出了一种基于 MBIST 用于 ASIC 电路内部 RAM 的 SEU 评估方法,研究并制定了 MBIST 进行单粒子试验的有效辐照剂量($1.27\text{E}+7\text{icons}/\text{cm}^2$)计算方法,并在重离子加速器上进行了单粒子验证试验. 将 MBIST 试验结果与同种电路结构的 SRAM 进行对比分析,结果表明,MBIST 方法获得的 SEU 指标更加保守,与 SRAM 的 SEU 误差很小,可以用于考核评估 ASIC 内部 RAM 的 SEU 性能.

参考文献:

[1] Kubota K, Masuda M, Furuta J. A low-power and area-efficient radiation-hard redundant flip-flop, DICE ACFF, in a 65 nm thin-BOX FD-SOI[C]// 2013 14th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Oxford, England, 2013.

[2] HE YiBai, CHEN ShuMing. Comparison of heavy-ion induced SEU for D- and TMR-flip-flop designs in 65-nm bulk CMOS technology [J]. Science China Information Sciences, 2014, 57(10):1-7.

[3] 常克武、王海涛、张弓,等. 一种基于 FPGA 的抗辐射加固星载 ASIC 设计方法[J]. 航天器工程, 2016, 25(4):74-80.

[4] Paolo Rech, lessandro Paccagnella, Ichelangelo Grosso, et al. Evaluating the Impact of DfM library optimizations on alpha-induced seu sensitivity in a microprocessor core[J]. IEEE Trans. Nucl. Sci., 2010, 57(4): 2098-2105.

[5] Hubert G, Truyen D, Artola L, et al. SET and SEU analyses based on experiments and multi-physics modeling applied to the atmcl cmos library in 180 and 90-nm technological nodes[J]. IEEE Trans. Nucl. Sci., 2014, 61(6): 1558-1578.

[6] 饶全林,何春,饶青,等. 一款雷达信号处理 SOC 芯片的存储器内建自测试设计[J]. 微电子学与计算机, 2008, 25(7):95-99.

[7] 杨斌,王小力,李栋. 嵌入式存储器修复技术研究[J]. 微电子学与计算机, 2015, 32(5):63-67.

作者简介:

郑宏超 男, (1983-), 高级工程师. 研究方向为抗辐照加固验证技术、嵌入式测试系统.
E-mail: hongchao_zheng@163.com.

岳素格 女, (1969-), 研究员, 硕士生导师. 研究方向为抗辐照加固设计和验证技术.

王 亮 男, (1972-), 高级工程师. 研究方向为抗辐照加固设计技术、集成电路设计.

简贵青 男, (1975-), 高级工程师. 研究方向为集成电路设计技术.

初 飞 男, (1979-), 高级工程师. 研究方向为集成电路设计技术.