

一种基于 RRAM 热串扰的奇偶重排编码算法

李 云^{1,2}, 张 锋^{1,2}

(1 中国科学院微 电子研究所, 微电子器件与集成技术重点实验室, 北京 100029;

2 中国科学院大学, 北京, 101408)

摘 要: 阻变存储器(resistive random access memory, RRAM)作为未来一种高性能的非挥发性存储器, 具有面积小、操作电压低、兼容性好等特点。但是, 在高集成存储器和频繁的写操作下, 热串扰问题会严重影响 RRAM 的保持特性。严重情况下, 热串扰问题甚至会造成一系列的错误翻转。因此, 本文引入了一种高效的奇偶重排编码算法 (parity rearrangement coding scheme, PRCoder) 来有效缓解热串扰对 RRAM 的影响, 并在算法层和电路层上分别进行设计与仿真。试验结果表明, PRCoder 算法平均降低了 32.7% 的误翻转率, 并同时只会在每一个存储行带来 1 bit 的额外开销。此外, PRCoder 仅仅带来 0.3% 的性能增加和 0.008% 的面积增加。

关键词: RRAM; 热串扰; 奇偶重排; 算法

中图分类号: TN710

文献标识码: A

文章编号: 1000-7180(2018)04-0026-06

An Efficient Parity Rearrangement Coding Scheme for RRAM Thermal Crosstalk Effects

LI Yun^{1,2}, ZHANG Feng^{1,2}

(1 Key Laboratory of Microelectronics device & Integrated Technology, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Science, Beijing 101408, China)

Abstract: Resistive random access memory (RRAM) is a high-performance nonvolatile memory with the feature of small area, low operation voltage, and good compatibility. However, when frequent writing operation at high density integration, the crosstalk problem will seriously influence the retention properties of RRAM, which is common to create some error flips in serious conditions. Therefore, we present an effective parity rearrangement coding scheme, that is PRCoder, to reduce the influence in RRAM. We present the PRCoder at algorithm level and emulate it at hardware level for various scenarios. Experiments indicate that PRCoder can decrease the accidentally flips by about 32.7% on average, which is caused by thermal crosstalk, with just one additional bit of redundancy per storage line. Moreover, PRCoder causes an ignorable performance spending of $\sim 0.3\%$ with inferior to 0.008% extra RRAM area.

Key words: RRAM; thermal crosstalk; parity rearrangement; algorithm

1 引言

RRAM 是一种非挥发性的存储器, 具有快速读写速度、非挥发性、功耗低、面积小等方面的优点, 并且与当前的 CMOS 工艺兼容, 除此之外, RRAM 也

具有很好三维集成的潜能。

然而, 在高密度集成时, RRAM 架构也存在一些严峻的问题。对于氧空位类型阻变器件 (Valence Change Memory, VCM) 以及金属导电细丝类型阻变存储器 (Electrochemical Metallization Cell,

ECM)^[1]而言,RRAM 信息的存储是通过导电细丝的形成与断裂来实现的,在这一过程中,热量对其影响极为重要^[2-3]. RRAM 存储单元新写入数据时所产生的热量由于热串扰效应而对其周围的单元产生影响,严重情况会使其发生错误的翻转^[4],从而使再次读该数据时得到错误的信息. RRAM 的这种热串扰特性,使得其难以实现高密度集成,这严重制约其大容量发展. 目前,对 RRAM 的热串扰特性的研究更多的是在分析热串扰机理以及建模讨论热量的传递阶段,而很少有提出方案来解决热串扰问题. 本文从算法的角度解决这个问题,通过该算法,RRAM 热串扰效应给其相邻位带来的影响明显降低,从而增强了 RRAM 的可靠性.

2 热串扰对 RRAM 的影响

RRAM 的状态可分为高阻态(High Resistance State, HRS)和低阻态(Low Resistance State, LRS),高阻态可以通过 set 过程变到低阻态,低阻态可以通过 reset 过程变到高阻态,由于低阻态时的电阻很低,因此 reset 过程的电流会很大,随之产生相对更高的热量,同时热量也会影响组态的变化,reset 过程对周围单元的组态产生很大的影响^[5],这严重降低 RRAM 单元的 retention 特性. 对于 ECM 而言,其典型结构是由一个易发生化学反应的活性电极,一个惰性电极,以及夹在两者之间的固态电解质材料组成的三明治结构^[6-7],图 1 反映了 ECM 器件的不同状态以及其在电镜透视下的典型结构图. 低阻态与高阻态之间的相互转换是通过导电细丝的形成与断裂而实现的,导电细丝的形成是一种电化学机制,而导电细丝的断裂也即 reset 过程是一种由热辅助的电化学反应^[8-11],甚至在一定高温下,这种热可以占据主导地位^[12-13].

热串扰是研究 RRAM 低功耗亟需解决的问题,在高集成度的条件下,特别是三维集成下,相邻阻变单元靠得非常近,由于热具有传导性,过多的焦耳热会导致相邻单元发生错误的翻转,热量累积过程具有不对称性,也就是热量更容易导致 reset 过程的发生,特别是当同一个单元连续不断发生 reset 时,而在 3D 结构中这个问题将更加严重^[14-15].

3 热串扰分析

对于 RRAM 而言,其发生 reset 也就是存储的单元由“1”跳变到“0”时会释放很大的热量,而发生 set 也就是存储单元由“0”跳变到“1”时所释放的热

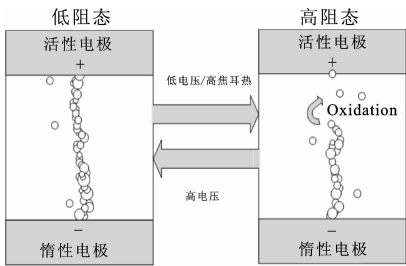


图 1 ECM 器件的不同状态以及电镜图

量相对比较小. 当对“1”进行写“0”操作时,该过程会释放很大的热量,如果其临近单元新写入的数据是一个“1”,那么该 reset 过程释放的热量将对这个“1”产生很大的影响. 如果临近单元新写入的数据是“0”,一般认为热不能促使导电细丝的形成,也就是说热不能促使 set 过程的发生,所以这个“0”是一个稳定的数据,也就是其 retention 特性比较好,不会受到热的干扰,如图 2 所示.

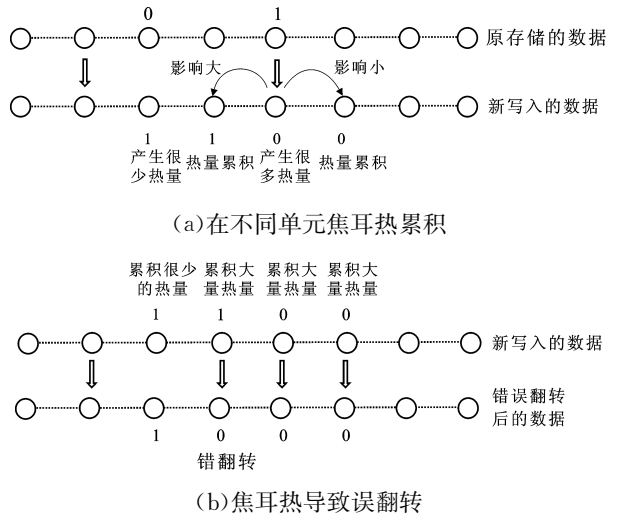


图 2 热串扰影响

4 算法设计与实现

4.1 奇偶重排电路的数学分析

根据第二章的可知,当新写入的数据存在“01”或者“10”这样的序列会比“00”和“11”这样的序列更有可能产生误翻转. 因此,本文的设计思想是把新写入数据进行奇偶位置重排,通过选择层将“0”和“1”尽可能集中排放,增加“00”和“11”序列的出现而减小“01”或“10”序列的出现,在极端情况下,可能仅仅只有“0”队列和“1”队列相连的地方才会存在一个“01”序列,由于“01”序列的数目被显著的减小了,同时,同一个位置在短时间重复为“01”序列的概率也会相应的减小,因此可以大幅度的减小热串扰问题.

在本文中,设原来存储器所存的数据为 $A[n:1]$,其中 A_i 代表这个数据的第 i 位.新写入的未进行重排的数据为 $B[n:1]$,同理, B_i 代表这个数据的第 i 位. $S[n:1]$ 代表的是 A 和 B 两个向量进行异或操作后的结果,表示如下:

$$S = A \otimes B \quad (1)$$

将 S 再与 A 相与得到 $M[n:1]$,如下

$$M = SA \quad (2)$$

当 M_i 为 1 时,也就是 A_i 为 1,并且 A_i 与 B_i 异或的结果也为 1,因此 B_i 为 0,也即当 A_i 为 1 同时 B_i 为 0 时,也就是发生 reset,其产生大量热量对周围单元产生热串扰,在这里仅考虑相连位的影响,因此所得的热串扰位之和用 $F_1[n:1]$ 可以表示为:

$$F_1 = \sum_{i=1}^n (B_{i-1} + B_{i+1})M_i \quad (3)$$

在公式(3)中,当 i 分别为 1 和 n 时所得到的 B_0 和 B_{n+1} 均为 0.

当 $B[n:1]$ 进行奇偶重排时,热串扰影响要重新进行计算.假设 $B[n:1]$ 进行奇偶重排后的新序列为 $B'[n:1]$,则其表示如下

$$B'_i = \begin{cases} B_{2i-1} & i \leq [n/2] \\ B_{2i-n} & i > [n/2] \end{cases} \quad (4)$$

考虑到存储器中读取和存储数据都是 2 的幂指数关系,因此,在这里假设 n 是偶数.

A 和 B' 异或操作后的结果为 S' ,表示如下:

$$S' = A \otimes B \quad (5)$$

S' 与 A 相与后的结果为 M' ,表示如下:

$$M' = S'A \quad (6)$$

经过奇偶重排后的热串扰为 F_2 ,表示如下:

$$\begin{aligned} F_2 &= \sum_{i=1}^n (B'_{i-1} + B'_{i+1})M'_i \\ &= \sum_{i=1}^{[n/2]-1} (B_{2i+1} + B_{2i-3})M'_i + \\ &\quad \sum_{i=[n/2]+2}^n (B_{2i-n+2} + B_{2i-n-2})M'_i + \\ &\quad (B_2 + B_{n-3})M'_{[n/2]} + \\ &\quad (B_4 + B_{[n/2]})M'_{[n/2]+1} \end{aligned} \quad (7)$$

在公式(7)中,当 i 分别为 1 和 n 时所对应的 B_{-1} 和 B_{n+2} 均为 0.

F_1 与 F_2 之间的差值定义为 ΔF ,因此新写入的数据是否要进行奇偶重排的判别式表示为:

$$\begin{aligned} \Delta F &= F_1 - F_2 \\ &= \sum_{i=1}^n (B_{i-1} + B_{i+1})M_i - \left(\sum_{i=1}^{[n/2]-1} (B_{2i+1} + \right. \end{aligned}$$

$$\begin{aligned} &B_{2i-3})M'_i + \sum_{i=[n/2]+2}^n (B_{2i-n+2} + B_{2i-n-2})M'_i + \\ &(B_2 + B_{n-3})M'_{[n/2]} + (B_4 + B_{[n/2]})M'_{[n/2]+1} \end{aligned} \quad (8)$$

当式(8)大于 0 时,说明未编码情形的热串扰更大,因此选择进行奇偶重排,但是当式(8)小于等于 0 时,说明未编码的情形热串扰更小,因此不对写入的数据进行变换.

4.2 奇偶重排算法实现

当 RRAM 被用作存储器使用时,奇偶重排编码可以在算法层面上设计,其具体的执行过程可以依靠一个写操作控制器,例如处理器、存储控制器等,从而可以完全不用改变原来存储器的结构.

图 3 中给出了奇偶重排编码的算法实现过程.算法的复杂度用 $O(n)$ 表示,其中 n 表示数据位宽.

```

PROCEDURE Write with PRCoder (data,addr)
INPUT:   data to be written and the corresponding write address;
OUTPUT:  rearranged data named rdata and the corresponding flag;

IF it is the first write operation in address addr THEN
    rdata = data
    flag = 0
    OUTPUT rdata and flag
ELSE
    A = Read the original data in addr
    B = data
    B' = data after parity rearrangement
    /* Computation F1 */
    FOREACH bit In A and B
        | Calculate F1 according to formula (1)(2)(3)
    END FOREACH
    /* Computation F2 */
    FOREACH bit In A and B'
        | Calculate F2 according to formula (5)(6)(7)(8)
    END FOREACH
    /* Computation F̄ */
    F̄ = F1 - F2
    IF F̄ > 0 THEN
        rdata = B'
        flag = 1
    ELSE
        rdata = data
        flag = 0
    ENDIF
    OUTPUT rdata and flag
ENDIF
END PROCEDURE

```

图 3 奇偶重排算法流程图

4.3 硬件电路实现

当 RRAM 被用作闪存、磁盘或者其他的存储系统时,在硬件层面实现的奇偶重排编码相比于利用软件方法实现以及其他通用的方法都有更少的延时.图 4 给出了奇偶重排编码的硬件实现电路图,其中包括热串扰计算电路,奇偶重排电路,比较器和多路选择器.通过计算各数据位的热串扰总和从而表

征热串扰大小。奇偶重排电路的具体实现是按照公式 4 的编码规则进行线网的重排和重连接。

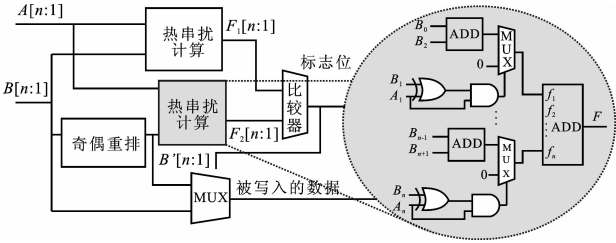


图 4 奇偶重排算法硬件电路

5 仿真结果与分析

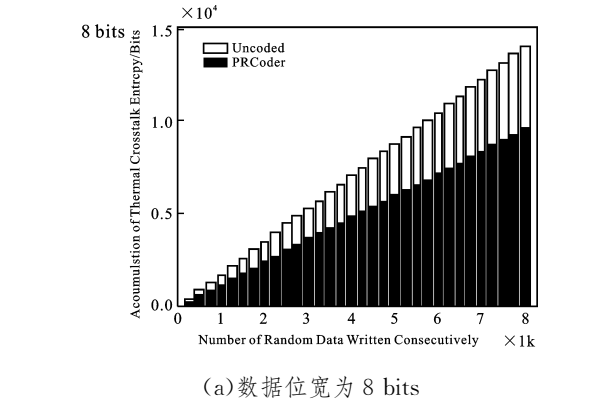
在软件层面上,本文利用 C++ 进行仿真,为使仿真具有说服力,每次仿真都利用随机生成的 10 000 个数据进行读写操作。在硬件层面上,本文利用 Verilog 进行电路设计与仿真,并利用 Synopsys 的工具 DC 进行综合。

5.1 仿真结果分析

针对奇偶重排编码电路和传统的不进行编码的电路,分别将软件产生的 8 bits、16 bits、32 bits 的伪随机数写入,从而比较热串扰的大小。

热串扰的累积将会严重影响 RRAM 的正确率。图 5 给出了热串扰熵的累积值。当数据位宽分别是 8 bits、16 bits、32 bits 时,奇偶重排电路对热串扰的影响分别优化了 32. 71%、24. 3% 和 16. 9%。

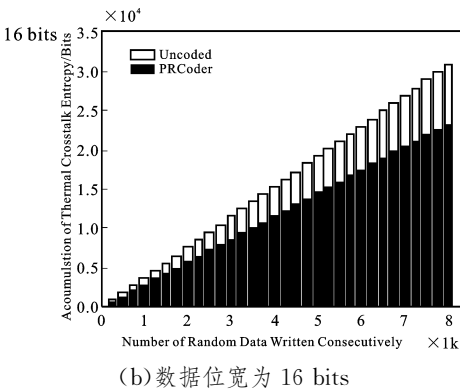
图 6 实验给出了伪随机数据写入时热串扰的变化情况。同样,当数据位宽分别为 8 bits、16 bits、32 bits 时,经过奇偶重排电路的热串扰总量相比于不进行编码的热串扰熵值平均分别减小了 32. 71%、24. 3% 和 16. 9%。



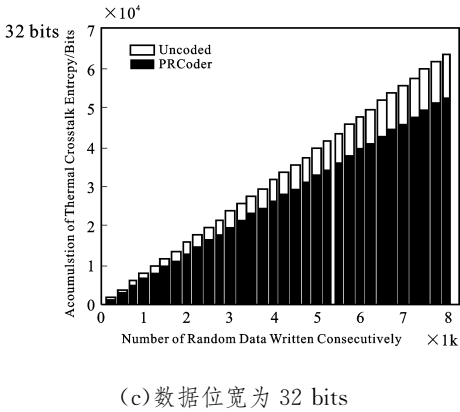
(a)数据位宽为 8 bits

5.2 性能分析

奇偶重排编码算法性能分析:当 RRAM 被用作存储器时,奇偶重排编码通过算法设计,并在类似



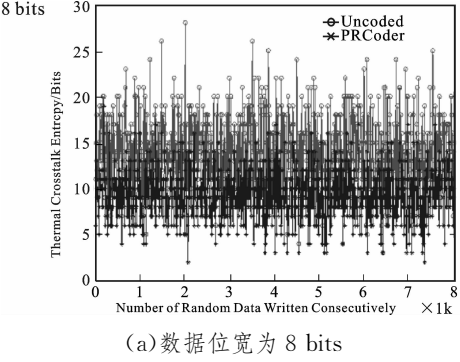
(b)数据位宽为 16 bits



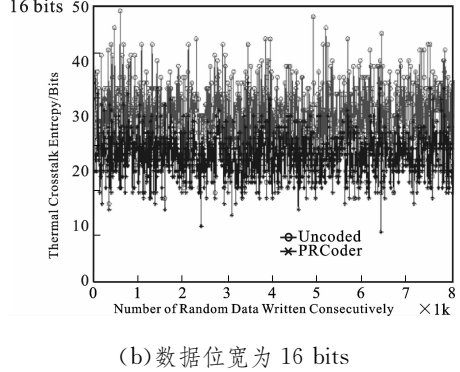
(c)数据位宽为 32 bits

图 5 随机数据写入后热串扰熵的累积值

处理器或者存储控制器这样的写操作控制器中被执行。由于带宽的限制,读写数据位宽通常是一个很小



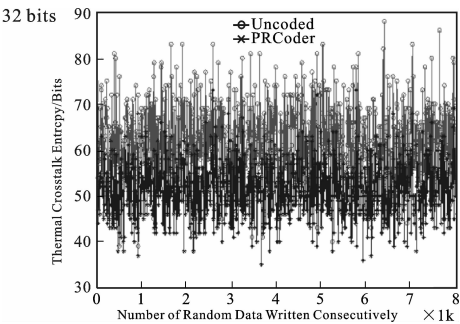
(a)数据位宽为 8 bits



(b)数据位宽为 16 bits

的常数,因此,执行奇偶重排电路算法的时间也会很小。

奇偶重排编码电路性能分析:当 RRAM 被用



(c)数据位宽为 32 bits

图 6 随机数据写入时热串扰影响

作 flash 时, 奇偶重排电路的硬件实现如图 4 所示. 通过 Verilog 实现以及 DC 综合后得到重排电路, 通过 65 ns 工艺仿真得到容量分别为 16、32、64 和 128 GB 的 RRAM 存储器, 这也正是目前通用的 flash 容量. 表 1 中给出了 DC 综合的参数, 表 2 中给出了 RRAM 进行 HSPICE 仿真的参数.

表 1 DC 参数

综合工具	Synopsys Design Compiler
工艺	SMIC 65 nm
操作环境	ff_typ_min_1p32v_125c
工艺库	sc9_logic0065ll_base_svt_ ff_typ_min_1p32v_125c
线负载模型	top
时钟周期	10 ns

表 2 RRAM HSPICE 仿真参数

操作	65nm CMOS/PCM
材料	Doped GST
单元结构	2T-2R w/1-bit encoding
单元尺寸	0.7 nm ²
供电电压	1.2V(查找)/ 2.5V(写)

表 3 给出了 RRAM 存储单元容量与写延时以及硬件面积之间的关系. 表 4 给出了奇偶重排编码电路在不同数据位宽下的延时和面积. 对比可知, 奇偶重排电路的延时仅仅只有 RRAM 写延时的 0.3%. 32 bits 下奇偶重排编码所增加的额外面积仅有 1 236 m², 仅为 RRAM 存储器的 0.008%(16 GB 下 RRAM 的面积为 14 092 864 μm²).

表 3 不同容量的 RRAM 面积

RRAM 容量	16 GB	32 GB	64 GB	128 GB
面积/m ²	14 092 864	28 185 728	56 371 456	112 742 912

表 4 不同位宽的奇偶重排电路面积

重排电路数据位宽	8 bits	16 bits	32 bits
面积/μm ²	660	1 083	1 236

5.3 存储开销

不论数据的读写位宽为多少, 奇偶重排编码在每一个数据行只会增加一位附加位. 相比于传统的校验方法, 例如 ECC 或者奇偶校验, 奇偶重排编码方法是一种专用的方法, 这是因为热串扰问题在 RRAM 中非常普遍, 这种专用的方法不仅能大大降低发生误翻转的概率, 同时, 所带来的硬件开销和时间延时都很小, 而通用的方法针对热串扰问题的效率都不高.

本文所讨论的热串扰问题都是从二维的角度讨论的, 但是, 本文解决问题的思想和方法同样适用于三维阵列, 只是在三维的情况下需要考虑更多的因素和限制.

6 结束语

RRAM 是一种高性能的非挥发性存储器, 但是其热串扰问题严重制约了其在高集成度电路中的使用. 在本文中, 我们提出了一种高效的奇偶重排编码算法, 该算法能有效的缓解热串扰的影响并较小由于热串扰所造成的误翻转. 综合考虑性能和面积开销, 奇偶重排编码电路也能支持在实际电路中的使用.

参考文献:

[1] Lian W, Long S, Lu H, et al. Approaches for improving the performance of filament-type resistive switching memory[J]. Chinese Science Bulletin, 2011, 56(4/5): 461-464.

[2] Chen Z, Huang P, Li H, et al. Optimization of uniformity in resistive switching memory by reducing thermal effect[C] //Solid-State and Integrated Circuit Technology(ICSICT), 2014 12th IEEE International Conference on. Piscataway, NJ.: IEEE, 2014: 1-3.

[3] Yalon E, Riess I, Ritter D. Heat dissipation in resistive switching devices: comparison of thermal simulations and experimental results [J]. Electron Devices, IEEE Transactions on, 2014, 61(4): 1137- 1144.

[4] Xue X, Jian W, Yang J, et al. A 0.13um 8Mb logic-based cuxsiyo reram with self-adaptive operation for yield enhancement and power reduction [J]. Solid State Circuits IEEE Journal of, 2013, 48(5): 1315-1322.

[5] Ninomiya T, Muraoka S, Wei Z, et al. Improvement of data retention during long-term use by suppressing conductive filament expansion in taox bipolar-reram [J]. IEEE Electron Device Letters, 2013, 34(6): 762-764.

- [6] Waser R, Dittmann R, Staikov G, et al. Redox-based resistive switching memories-nanoionic mechanisms, prospects, and challenges [J]. *Advanced Materials*, 2009, 21(25/26):2632-2663.
- [7] Guo X, Schindler C, Menzel S, et al. Understanding the switching-off mechanism in Ag⁺ migration based resistively switching model systems [J]. *Applied Physics Letters*, 2007, 91(13):042107.
- [8] Lin S, Zhao L, Zhang J, et al. Electrochemical simulation of filament growth and dissolution in conductive-bridging RAM (CBRAM) with cylindrical coordinates [C]//*Proceedings of the Electron Devices Meeting (IEDM)*, 2012 IEEE International. San Francisco, CA, USA, IEEE, 2012, 26(3):1-4.
- [9] Sato Y, Kinoshita K, Aoki M, et al. Consideration of switching mechanism of binary metal oxide resistive junctions using a thermal reaction model [J]. *Applied Physics Letters*, 2007, 90(3):033503.
- [10] Bersuker G, Gilmer D C, Veksler D, et al. Metal oxide RRAM switching mechanism based on conductive filament microscopic properties [C]//*Electron Devices Meeting (IEDM)*, 2010 IEEE International. San Francisco, California, USA, IEEE, 2010, 19(6):1-4.
- [11] Guan W, Liu M, Long S, et al. On the resistive switching mechanisms of Cu/ZrO₂: Cu/Pt [J]. *Applied Physics Letters*, 2008, 93(22):223506.
- [12] Russo U, Ielmini D, Cagli C, et al. Self-accelerated thermal dissolution model for reset programming in unipolar resistive-switching memory (RRAM) Devices [J]. *Electron Devices, IEEE Transactions on*, 2009, 56(2): 193-200.
- [13] Huang J J, Hou T H, Hsu C W, et al. Flexible one diode-one resistor crossbar resistive-switching memory [J]. *Japanese Journal of Applied Physics*, 2012, 51(4S):04DD9.
- [14] Li H, Chen H Y, Chen Z, et al. Write disturb analyses on half-selected cells of cross-point RRAM array [C]//*Reliability Physics Symposium*, 2014 IEEE International. Piscataway, NJ: IEEE, 2014.
- [15] Li Y, Chen W, Lu W, et al. Impact of coupling capacitance on read operation of RRAM devices in 1D1R crossbar architectures [C]//*Circuits and Systems (MWSCAS)*, 2014 IEEE 57th International Midwest Symposium on. Piscataway, NJ: IEEE, 2014: 989-992.

作者简介:

李云女, (1991-), 硕士. 研究方向为数字集成电路设计和测试.

张锋(通讯作者) 男, (1977-), 研究员. 研究方向为高速低功耗存储器件设计. E-mail: zhangfeng_ime@ime.ac.cn.

(上接第 25 页)

- [4] Kohli, Nidhi, Jeffrey R. Harring. Modeling growth in latent variables using a piecewise function [J]. *Multivariate behavioral research*, 2013, 48(3): 370-397.
- [5] Georgia Giannopoulou, Nikolay Stoimenov, Pengcheng Huang, et al. Mixed-criticality scheduling on cluster-based manycores with shared communication and storage resources [J]. *Real-Time Systems*, 2016, 52(4): 399-449.
- [6] Shenker Scott. Fundamental design issues for the future Internet [J]. *IEEE Journal on selected areas in communications*, 1995, 13(7): 1176-1188.
- [7] Feamster, Nick, Jennifer Rexford, Ellen Zegura. The road to SDN: an intellectual history of programmable networks [J]. *ACM SIGCOMM Computer Communication Review*, 2014, 44(2): 87-98.
- [8] Hwang, Renhung, Huiping Tseng. Load balancing and routing mechanism based on software defined network in data centers [C]//*2016 IEEE International Computer Symposium (ICS)*. Coogee Beach, Sydney, Australia, 2016: 165-170.

作者简介:

王军男, (1965-), 高级工程师. 研究方向为工业控制网络与系统.

王秋石男, (1984-), 助理研究员. 研究方向为工业无线传感器网络.

王金涛(通讯作者) 男, (1986-), 博士研究生. 研究方向为工业无线控制网络及无线 mesh 网络.

E-mail: wangjintao@sia.cn