

一种低温度灵敏度片上张弛振荡器

曹 谊, 严睿捷, 洪志良

(复旦大学 专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 本文介绍了一种用 CMOS 工艺实现的, 对温度和电源电压变化不敏感的片上张弛振荡器. 文中提出了一种降低张弛振荡器频率波动的补偿技术, 该技术克服了传统补偿方法受到片上电阻温度特性制约的缺点, 极大地提高了振荡器输出频率的稳定性. 测试结果表明, 当电源电压从 1.62 V 变化到 1.98 V 时, 振荡器输出频率变化 $\pm 0.11\%$; 当温度从 40℃ 变化到 125℃ 时, 输出频率变化 $\pm 0.24\%$. 相比于传统方法, 频率波动降低了大约 2/3. 该振荡器采用 TSMC 180 nm 1P5M 工艺实现, 电源电压为 1.8 V. 当工作在 25 MHz 时, 功耗为 50 μ W.

关键词: 片上张弛振荡器; 带隙基准; 电压、工艺以及温度变化; 物联网

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)03-0028-05

A Low Temperature Sensitivity On-Chip Relaxation Oscillator

CAO Yi, YAN Rui-jie, HONG Zhi-liang

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: A temperature and supply independent on-chip relaxation oscillator is introduced. This paper proposed a technique to reduce frequency variation of relaxation oscillator. This technique overcomes the disadvantages of traditional compensation methods, which are restricted by on-chip resistance temperature characteristics. Experimental results show that the oscillator exhibits frequency variation of $\pm 0.11\%$ for supply ranging from 1.62 V to 1.98 V and $\pm 0.24\%$ for temperature ranging from 40℃ to 125℃. Compared to conventional methods, frequency variation of this oscillator is reduced by 2/3. This oscillator is designed in TSMC 180-nm 1P5M CMOS process with a supply voltage of 1.8 V and consumes 50 μ W when operating at 25 MHz.

Key words: on-chip relaxation oscillator; bandgap reference; process voltage temperature variation; internet of things

1 引言

生物医疗传感器、可穿戴设备以及无线传感器网络(Wireless Sensor Network, WSN)等物联网应用需要低功耗、低成本的频率参考^[1]. 在这些应用场合中, 相比于频率的精度和稳定度, 功耗和成本是人们更关心的因素. 在这样的背景下片上振荡器应运而生. 相比于传统的晶体振荡器, 片上振荡器具有明显的功耗和成本优势. 然而, 没有加入补偿技术的片上振荡器频率波动很大^[2], 无法作为系统参考时钟. 为了解决该问题, 前人提出过许多方案^[1-4].

由于传统的频率补偿技术基本都受到片上电阻温度特性的制约, 无法将频率波动降到很低. 本文提出了一种改进型 VAF 技术对片上张弛振荡器进行频率补偿. 本文的主要创新点在于: (1) 在 VAF 模块中加入斩波, 消除其中运放失调的影响; (2) 振荡器中集成了提供参考电压以及充电电流的带隙基准, 突破了片上电阻温度特性对频率稳定性的限制. 该带隙基准采用新型 2 阶温度补偿技术. 得益于该带隙基准的优异稳定性, 本文中振荡器的频率波动相对于传统 VAF 结构降低了 2/3^[5-6].

2 系统分析

2.1 传统张弛振荡器架构

图1所示是一个常见的张弛振荡器. 振荡器通过对两侧电容不断充电和放电进行工作. 具体工作过程可以分成3个步骤:(1)参考电流对左侧电容充电,电压不断升高;(2)当电容上的电压超过比较器参考电压时,左侧比较器将RS触发器置位,然后左侧电容放电,右侧电容进入充电模式;(3)右侧电容重复刚刚的过程使系统完成振荡,最终触发器的输出就是所要的参考时钟.

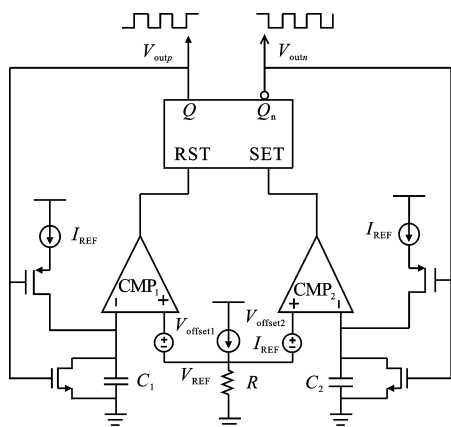


图1 传统的张弛振荡器架构

图1根据前面描述的工作过程,可用式(1)表示振荡器的周期:

$$T_p = 2RC + 2t_d + C(V_{off1} + V_{off2})/I_{REF} \quad (1)$$

式中, t_d 表示比较器的延时; V_{off1} 和 V_{off2} 表示2个比较器的输入失调.

分析式(1)可以得到,一共有4个因素制约了振荡频率的稳定性:(1)比较器的延时 t_d ; (2)片上电阻和电容的温度特性; (3)比较器的输入失调 V_{off1} 和 V_{off2} ; (4)电容的充电电流 I_{REF} . 片上金属-绝缘体-金属 (Metal-Insulator-Metal, MIM) 电容温度系数很小,因此只需要考虑电阻的影响. 比较器失调可以通过失调消除技术或者版图布局降低,这同时也减小了参考电流的影响. 兆赫兹级的振荡器,其周期在10 ns到100 ns之间. 在40°C到125°C的范围内,如果延迟变化超过1 ns,振荡器的频率波动就会大于1%. 综上所述,影响张弛振荡器频率稳定性的主要因素是比较器延时以及片上电阻的温度特性.

2.2 本文提出的系统结构

减小比较器延时可以降低其在振荡器工作周期中的比重,从而减弱延时带来的影响. 但这样会增加系统功耗,与物联网应用的要求背道而驰. 本文利用

VAF技术消除比较器延迟的影响,具体的系统电路如图2所示. 图2中的充电电流 I_{REF} 和参考电压 V_{REF} 由带隙基准产生. 带隙基准的设计将会在3.2节讲解. 和传统结构一样,本文中的振荡器也是通过对电容充电和放电进行工作.

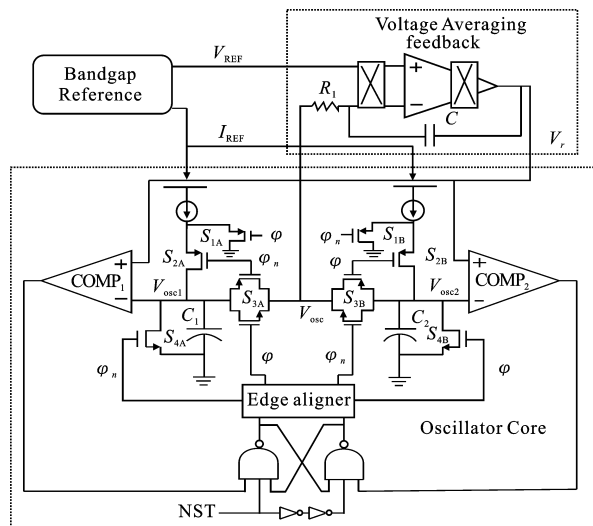


图2 本文提出的振荡器架构

为了定性地解释这一结构如何消除比较器延迟的影响,图3给出了电路中几个关键节点的波形图. 假设比较器的延时随着温度升高不断增大,那么电容的充电时间随之延长, V_{osc} 的幅度也随之增大. 图2顶部由电容、电阻和运算放大器构成的VAF模块会提取 V_{osc} 的平均值与参考电压 V_{REF} 进行比较. 延时增大会使 V_{osc} 的平均值变大,运算放大器的输出就会降低,从而降低电容的充电时间. 反之亦然. 这样,比较器延时的波动就不会影响系统的振荡周期.

具体的公式推导如下所示. 假设运放的增益为 A_1 , 比较器延迟造成的多余充电电压用 V_{extral} 表示. 根据图3所示, V_{osc} 是锯齿波,那么其平均值可以用 V_r 以及 V_{extral} 和的一半表示. V_{extral} 、 V_r 以及 V_{REF} 的关系如式(2)所示:

$$A_1 \times (V_{REF} - (V_r + V_{extral})/2) = V_r \quad (2)$$

由于 A_1 远大于1,式(2)可化简为:

$$V_r \approx 2 \times V_{REF} - V_{extral} \quad (3)$$

系统稳定之后,根据图3电容 C_2 和 C_1 的充电范围应为0到 $V_r + V_{extral}$,而充电电流为 I_{REF} . 那么 C_2 和 C_1 的充电时间 T_c 表示如下:

$$T_c = \frac{C(V_r + V_{extral})}{I_{REF}} = \frac{2CV_{REF}}{I_{REF}} \quad (4)$$

系统的振荡周期等于 C_2 和 C_1 的充电时间之和,则最终振荡频率如下:

$$f = \frac{1}{T} = \frac{1}{2T_c} = \frac{I_{REF}}{4CV_{REF}} \quad (5)$$

比较式(1)和式(5)不难发现,对于本文设计的振荡器,其输出频率的稳定性不再受比较器延时以及片上电阻的制约而由参考电压和充电电流决定.也就是说,只要参考电压和充电电流关于温度和电源电压保持稳定,本文中振荡器的输出频率就不会受到温度和电源电压波动的影响.

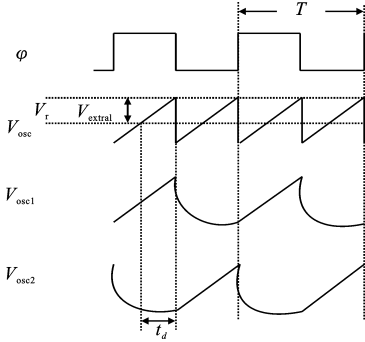


图3 V_{osc1} , V_{osc2} , V_r 和 ϕ 的波形图

3 具体电路实现

3.1 VAF 模块设计

第1节中提到,VAF模块中运放的失调会影响最终的输出频率.式(2)到式(5)的计算中并没有考虑该影响.假设运放输入失调为 V_{off} ,则式(5)可改写为式(6).

$$f = \frac{1}{T} = \frac{1}{2T_c} = \frac{I_{REF}}{4C(V_{REF} + V_{off})} \quad (6)$$

本文中设计的 V_{REF} 约为 510 mV,那么 $V_{off} \ll V_{REF}$ 成立,则式(6)可化简为:

$$f = \frac{I_{REF}}{4CV_{REF}} \frac{1}{1 + V_{off}/V_{REF}} \approx \frac{I_{REF}}{4CV_{REF}} (1 - \frac{V_{off}}{V_{REF}}) \quad (7)$$

为了估算运放失调 V_{off} 随温度变化时对输出频率造成的影响,在 VAF 运放输入端加入从 0 到 5 mV 不等的直流失调进行仿真.图4给出了输出频率随运放失调的变化曲线.从图4中可以得出,分析结果与仿真结果基本一致:输出频率几乎随着失调的增大线性下降.为了解决这个问题,VAF模块的运放中加入了斩波.斩波频率为 3.125 MHz,斩波时钟由振荡器输出 8 分频得到.加入斩波的运放原理图如图5所示.

3.2 带隙基准设计

图5根据第2节中式(5)所示,振荡器输出频率的稳定性由带隙基准决定.图6给出了本文提出的

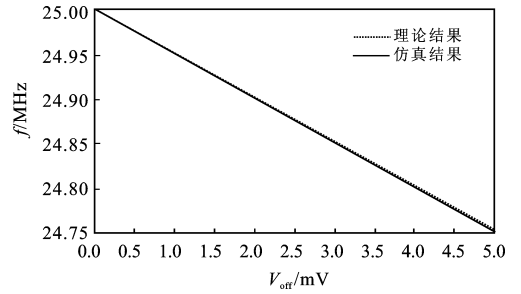


图4 振荡器输出频率与运放失调的关系

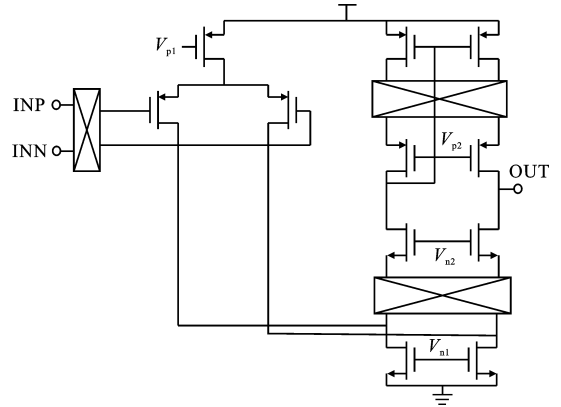


图5 斩波运放的原理图

带隙基准的电路图.图6中的带隙基准主要由两部分构成.最左侧是一个传统的1阶温度补偿带隙基准.右侧是一个新型带隙基准,它利用了工作在亚阈值区的NMOS管漏极电流与栅源电压的指数特性.

V_{BE} 关于温度的2阶导数如式(8)所示^[7]:

$$\frac{\partial^2 V_{BE}}{\partial T^2} = \frac{1}{T} \frac{\partial V_{BE}}{\partial T} - \frac{V_{BE}}{T^2} + \frac{E_g/q}{T^2} \quad (8)$$

式(8)中: E_g/q 表示硅的带隙电压,取为 1.2 V; $\partial V_{BE}/\partial T \approx -2 \text{ mV}/^\circ\text{C}$; $V_{BE} \approx 750 \text{ mV}$ ^[7].代入式(8)中可知, V_{BE} 关于温度的2阶导数小于0.

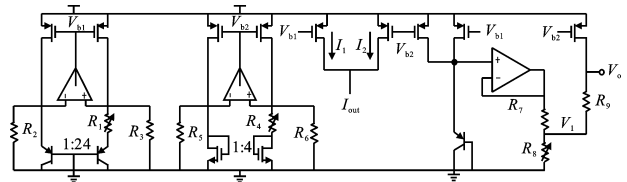


图6 带隙基准源电路图

V_{GS} 关于温度的2阶导数如式(9)所示^[8]:

$$\frac{\partial^2 V_{GS}}{\partial T^2} = \frac{2}{T_0} \left(\frac{\partial K_T}{\partial T} - \frac{ng}{2} \right) \quad (9)$$

式(9)中: K_T 表示阈值电压 V_{TH} 关于温度的1阶导数; n 是与工艺有关的常数,典型值为 1.5; q 表示电子的电荷量.由于 q 很小,式(9)的符号由等式右边第一项决定.通常情况下 K_T 关于温度的导数

大于0,因此 V_{GS} 关于温度的2阶导数大于0.

本文中的带隙基准利用 V_{GS} 和 V_{BE} 相反的2阶温度系数,通过将二者加起来实现2阶温度补偿的输出电压和输出电流.具体的公式推导如下所示.

对于BJT构成的带隙基准,取 R_2 和 R_3 相等,其产生的电流 I_1 表达式如下:

$$I_1 = V_{BE}/R_2 + \ln N_1 \times V_T/R_1 \quad (10)$$

0 对于NMOS管构成的带隙基准,取 R_5 和 R_6 相等,其产生的电流 I_2 表达式如下:

$$I_2 = V_{GS}/R_5 + \ln N_2 \times V_T/R_4 \quad (11)$$

式(10)和式(11)中的 N_1 和 N_2 分别表示BJT以及NMOS管的个数比; V_T 表示热电压.最终得到的输出电流和输出电压如式(12)和式(13)所示.

$$I_{out} = I_1 + I_2 \quad (12)$$

$$V_o = \alpha V_{be} + \beta V_T + \gamma V_{gs} \quad (13)$$

$$\alpha = \frac{R_8}{R_7 + R_8}$$

$$\beta = \frac{R_9 + (R_7 || R_8)}{R_4} \ln N_2$$

$$\gamma = \frac{R_9 + (R_7 || R_8)}{R_5} \quad (14)$$

式中, α , β 和 γ 表示图6中电阻的比例,具体的 α , β 和 γ 表达式如式(14)所示.

需要指出的是,根据式(13) V_o 由图6中电阻的比例决定,电阻自身的温度系数不会影响 V_o ;但是对于 I_{out} ,电阻的温度系数必须远小于 V_{BE} 和 V_{GS} 的温度系数才能得到2阶温度补偿的电流.本次设计利用了TSMC 180 nm工艺中低温度系数的P掺杂硅化电阻.此外,带隙基准中运放的失调也会影响最终输出电压和电流的温度特性.图6中 R_1 、 R_4 以及 R_8 是可调电阻,流片之后需要对其进行校正才能得到最优的输出特性.

图7给出了tt工艺角下输出电压和电流的仿真结果.观察图7中的电流发现, I_{out} 具有明显的二阶温度补偿形状.然而, V_o 和 I_{out} 的形状不同.原因在于, V_o 和 I_{out} 的补偿最优点对应的 R_4 的控制字不同.

4 测试结果

本文中的振荡器采用TSMC 180 nm 1P5M工艺流片验证.具体的芯片照片在图8中给出.芯片面积约为 0.15 mm^2 .芯片采用板上芯片(Chips-on-Board, COB)封装.当电源电压为1.8 V时,芯片总功耗为 $50 \mu\text{W}$.

为了验证本文提出方法的有效性,一共测试了

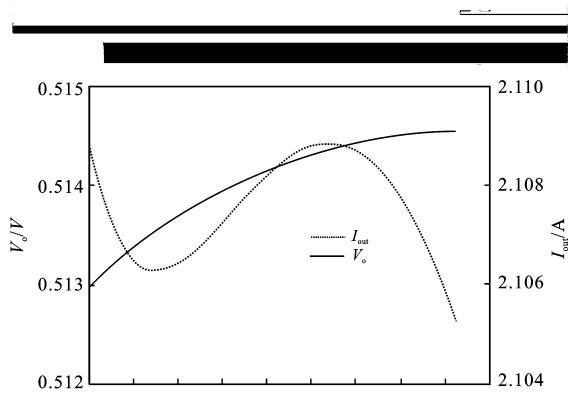


图7 输出电流和电压随温度的变化情况

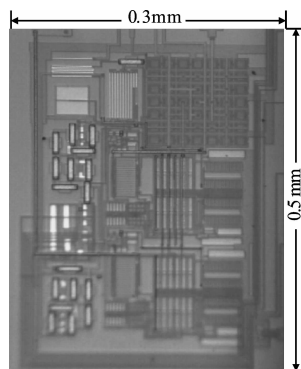


图8 芯片照片

5块芯片.首先对芯片的温度特性进行测试.从 40°C 到 125°C ,每间隔 20°C 对各芯片的输出频率进行一次测量.从图9中可以看出,各芯片由于温度波动造成的输出频率变化均不超过 $\pm 0.24\%$.此外,输出频率随温度的变化特性与图7中带隙基准的输出电流 I_{out} 特性相吻合,具有明显的2阶温度补偿形状.

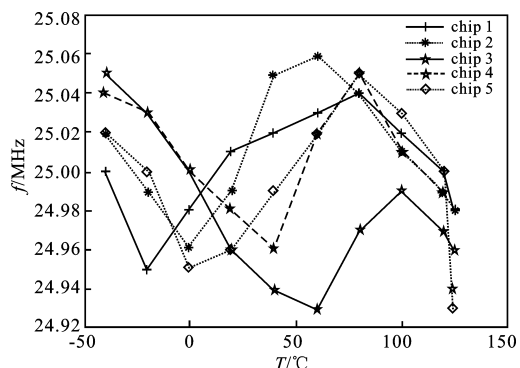


图9 振荡器输出频率的温度特性

图10给出了各芯片的输出频率在电源电压 V_{DD} 从1.62 V到1.98 V波动时的变化情况.从中可以看出,各芯片的输出频率变化小于 $\pm 0.11\%$.表1将本文的结果和相关文献的结果进行了对比.

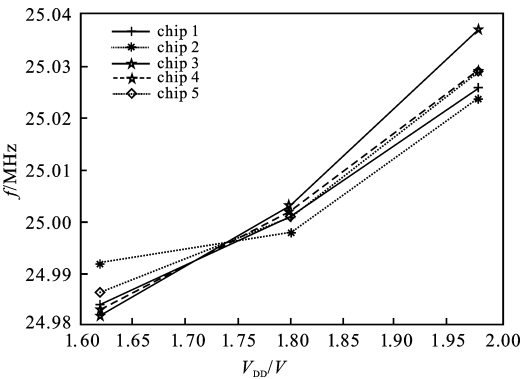


图 10 振荡器输出频率与电源电压的关系

表 1 性能比较

	文献[1]	文献[2]	文献[5]	本文
工艺/ μm	0.18	0.25	0.18	0.18
电源电压/V	1.8	2.5	1.4	1.8
面积/ mm^2	0.040	1.6	0.086	0.150
温度/ $^{\circ}\text{C}$	$-40\sim 125$	$-40\sim 125$	$-40\sim 125$	$-40\sim 125$
电源电压范围/V	1.7~1.9	2.4~2.75	1.4~3.3	1.62~1.98
频率/MHz	14.0	7.0	4.7	25.0
功耗/ μW	43.2	1500	53.0	50.0
温度引起的 频率变化/%	± 0.75	± 0.84	± 0.35	± 0.24
电源引起的 频率变化/%	± 0.16	± 0.16	± 0.20	± 0.11

注:原文中数据为 0.32%,此处为了方便对比取为 $\pm 0.16\%$ 。

从表 1 的对比中可知,本文中振荡器在面积略有增加的情况下,得到了最小的频率波动,验证了本文提出方法的有效性.相比于其他文献,本文中的振荡器无论是由于温度引起的变化还是由于电源引起的变化都是最小的.

5 结束语

本文提出了一种改进型 VAF 技术对张弛振荡器进行频率补偿.片上集成的 2 阶温度补偿的带隙基准极大地降低了电源电压以及温度变化带来的频率波动.芯片测试结果表明,电源电压在 1.8 V 附近变化 $\pm 10\%$ 时,频率变化小于 $\pm 0.11\%$;当温度在 40°C 到 125°C 变化时,频率变化小于 $\pm 0.24\%$.

参考文献:

[1] Tokunaga Y, Sakiyama S, Matsumoto A, et al. An

on-chip CMOS relaxation oscillator with voltage averaging feedback [J]. IEEE Journal of Solid-State Circuits, 2010, 45(6):1150-1158.

[2] Sundaresan K, Allen P E, Ayazi F. Process and temperature compensation in a 7-MHz CMOS clock oscillator [J]. IEEE Journal of Solid-State Circuits, 2006, 41(2):433-442.

[3] Ueno K, Asai T, Amemiya Y. A 30MHz, 90ppm/ $^{\circ}\text{C}$ fully-integrated clock reference generator with frequency-locked loop [C]// European Solid-State Circuits Conference (ESSCIRC). Athens, Greece; IEEE Press, 2009:392-395.

[4] Tsubaki K, Hirose T, Kuroki N, et al. A 32.55kHz, 472nW, 120ppm/ $^{\circ}\text{C}$, fully on-chip, variation tolerant CMOS relaxation oscillator for a real-time clock application [C]// European Solid-State Circuits Conference (ESSCIRC). Bucharest, Romania; IEEE Press, 2013:315-318.

[5] Lee J, Park P, Cho S H, et al. A 4.7MHz 53 μW fully differential CMOS reference clock oscillator with -22dB worst-case PSNR for miniaturized SoCs [C]// International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA;IEEE press, 2015:1-3.

[6] Li Y, Wang Y, Yan N, et al. A subthreshold MOS-FET bandgap reference with ultra-low power supply voltage [C]// International Conference on ASIC (ASICON). Xiamen, China; IEEE Press, 2011: 862-865.

[7] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社, 2013.

[8] Shihabudheen T, Babu V S, Baiju M R. A low power sub 1V 3.5ppm/ $^{\circ}\text{C}$ voltage reference featuring sub-threshold MOSFETs [C]// International Conference on Electronics Circuits and Systems (ICECS). St. Julien's, Malta; IEEE Press, 2008:442-445.

作者简介:

曹 谊 男,(1994-),硕士.研究方向为模拟集成电路设计. E-mail:caoy14@fudan.edu.cn.

严睿捷 男,(1991-),博士.研究方向为模拟集成电路设计.

洪志良 男,(1946-),博士,教授.研究方向为模拟集成电路设计.