

交点队列型多核 DSP 核间通信结构

王 镇,汪 健,张 磊

(华东光电集成器件研究所,江苏 苏州 215163)

摘 要: 多核时代处理器内核间的通信是多处理系统所面临的主要难题. 通过研究现有的分布式与共享式通信方式,提出了一种采用分布式交点队列(crosspiont-queued,CQ)结构代替传统的共享通信结构,并利用中断机制实现握手的思路,设计了一种交点队列型多核 DSP 核间通信结构. 并构建了一种共享式与分布式混合的 DSP 系统,将两种结构进行了性能对比,测试结果显示,此结构通信效率优于共享式,尤其大数据量时优势明显.

关键词: 多处理系统;交点队列;中断机制;核间通信

中图分类号: TN402

文献标识码: A

文章编号: 1000—7180(2017)08—0042—05

Architecture of Inter-core Communication Using Crosspiont-Queued for Multi-Core DSPs

WANG Zhen, WANG Jian, ZHANG Lei

(East China Institute of Photo-Electron IC, Suzhou 215163, China)

Abstract: Multicore era, the main challenge of multi-processing system is inter-core communication. By studying the existing distributed and shared communication structure, this paper proposed the idea that using a distributed crosspiont-queued (CQ) instead of the traditional shared communication structure meanwhile handshaking by interrupt mechanism. An architecture of inter-core Communication using interrupt mechanism for multi-core DSPs is designed. From a system perspective, this design is compared with shared memory communication structure, the result shows that the designed is more efficient than the shared structure, especially when there are large amounts of data to transfer.

Key words: multiprocessing system; crosspiont-queued; interrupt mechanism; inter-core communication

1 引言

随着嵌入式处理器进入了多核时代,核间通信成为了多核处理器系统所面临设计重点和难点,片内通信结构的优劣将直接影响着多处理器系统的整体性能. 针对此,国内外多家研究机构都发布了各自的总线标准,如 IBM 公司发布的 CoreConnect、ARM 发布的 AMBA 以及中科院提出的 L * BUS 等. 其中,AMBA 中的 AXI 协议具有高性能、低延迟等优点以及 ARM 处理器的普遍应用,使得 AXI 协议在嵌入式领域得到了广泛的应用,CEVA 的 DSP IP 也都是基于 AXI 总线接口设计的,AXI 总

线结构中,地址通道和数据通道完全分离,支持 burst 传输和乱序传输,具有很好的并行性. 但是,在 AXI 总线协议中,读写事件都是由主设备发起的,处理器核(主设备)之间通常采用共享存储的方式来实现核间的数据交互,这种核间通信方式结构虽简单,但存在并行性不足、速度受限等问题.

基于此,本设计提出了一种交点队列型多核 DSP 核间通信结构,实现多处理器核的核间通信,采用分布式 CQ 的 crossbar 结构代替核间共享存储结构,实现四个处理器核之间点对点的分布式连接,处理器核可以同时工作而不受制约,并利用核的中断机制实现握手通信,避免软件查询握手造成的同

步开销。

2 交点队列型多核 DSP 核间通信结构

2.1 通信结构设计

交点队列型多核 DSP 核间通信结构如图 1 所示,主要包括 AXI 协议转换接口、交点队列缓存与中断管理模块构成。AXI 协议转换接口接受基于 AXI 协议的数据包并进行协议转换,根据目的地址判定数据发送的目的地,并将数据存储在相应的队列缓存中;交点队列则用于存储核间通信数据,其缓存深度的确定将在 2.2 节中具体介绍,交点队列的数据缓存采用异步 FIFO 实现,实现网络的局部同步,整体异步,方便低功耗设计,同时采用寄存器堆实现 FIFO,以提高整体性能;中断控制器接受 DSP 核的中断请求信号,实现中断信号的沿采集与同步等功能,最终实现核间的握手。中断控制器与交点队列协同工作实现多核间的数据交换,以核 3 向核 0 发送数据为例(其他核间操作过程类似),具体操作过程如下:

(1) 首先, DSP3 发送数据至核 3 与核 0 的 FIFO 缓存中,图中 B_{30} 缓存中;

(2) 当 B_{30} 缓存非空时,产生中断请求信号,请求核 0 从 B_{30} 缓存中读取数据;

(3) 核 0 根据本地的工作情况,判定何时响应中断请求(因此中断请求为可屏蔽),当核 0 响应中断请求后,在中断服务子程序中读取缓存 B_{30} 的数据。

(4) 核 0 根据读取的数据及协议,自行完成数据读取,一次核间通信完成。

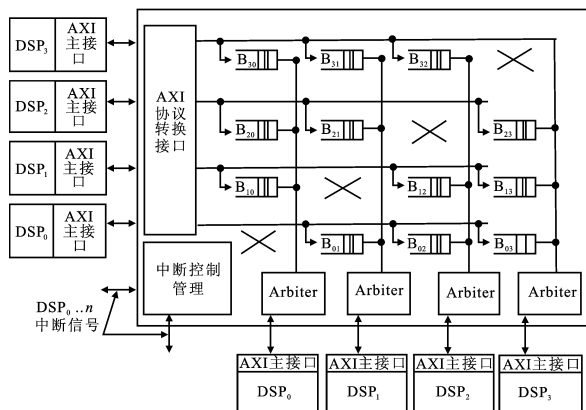


图 1 整体结构

结构中,由于每个核都不会自发自收,不存在自发自收的数据通路,在结构图中以“X”的形式出现,此系统为 4 核结构,去除自发自收,总共存在 12 个缓存队列。由于 AXI 支持乱序执行,地址数据分离,

允许一次发送多个数据传输,因此在每个处理器核的接收端存在多个数据同时到来的情况,需要仲裁器(Arbitrer),本设计中每个核地位对等,为保证公平性与效率,采用了轮询的仲裁算法实现,即谁请求谁轮询,不请求不在轮询队列中,不参与轮询。

2.2 缓存队列深度仿真与验证

本设计采用了 CQ 型的 Crossbar 结构,此结构简单、易实现,在保证高吞吐率的同时具有更高的传输效率^[1]。如图 1 所示,在 CQ 结构中,每对处理器核交点间都有一个缓存队列,发送端根据数据的目标将数据发送至对应的缓存队列,接收端则根据中断请求与读取其中一路缓存队列中的数据。现有研究表明 CQ 型结构的理论带宽要远高于 IQ(Input Queued),OQ(Output Queued)及 CICQ(Combined Input Crosspoint Queued)型结构,而 FIFO(队列)的用量却少于 CICQ 型。CQ 型结构的商业应用主要在高速通信网如数字广播网等领域,此原型的初衷是为打破发送与接收端的握手闭环而设计,通过增加缓存队列的深度以达到极限条件不丢包,从而去除握手闭环延迟的效果。其最大的特点是采用了分布式队列及调度控制,有效的减少了队列的访问时间并压缩调度问题的规模,可以提供更高的带宽及联通率,但缺点是其队列的数量近似于端口数的平方,且芯片面积一般较大。因此如何发挥出 CQ 结构的高性能并压缩硅片面积是一个重要的问题,深度过“浅”会导致握手请求过于频繁,影响通信效率,深度过“深”则会造成资源浪费。现有的仿真^[2-4]一致认为 64 级队列可以达到最大的吞吐量的 99% 以上,丢包率为 1% 以下,典型结果如图 2 所示。

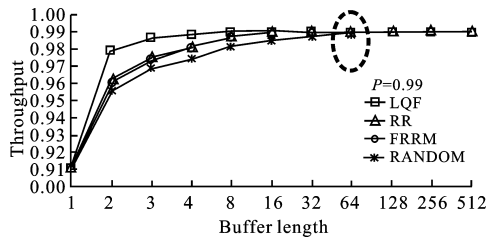


图 2 多模式下队列深度与吞吐量

为验证实际应用中的仿真结果,找到吞吐量、丢包率和队列深度三者最佳的平衡点,进一步压缩队列深度。本设计根据 M/M/1 排队理论的知识,利用 Simulink 工具构建了 CQ 型 Crossbar 的仿真模型^[5],仿真中负载为均一伯努利独立同分布序列,同时将缓存队列深度设置足够大,通过实时监测缓存队列中数据的状态来判断丢包情况。极限条件下(多

个信源同时连续发送数据),对模型进行了长时序的仿真后,结果如图 3 所示,可看出队列中缓存的数据包的极限值在 32 左右,队列中有一个队列在某个很短的时间内超过 30,其余的队列都没有超过 30. 基于以上分析与仿真,本文综合考虑面积、功耗与性能的权衡,将交点队列深度设为 32,位宽为 32,整个队列的缓存空间为 3 kB.

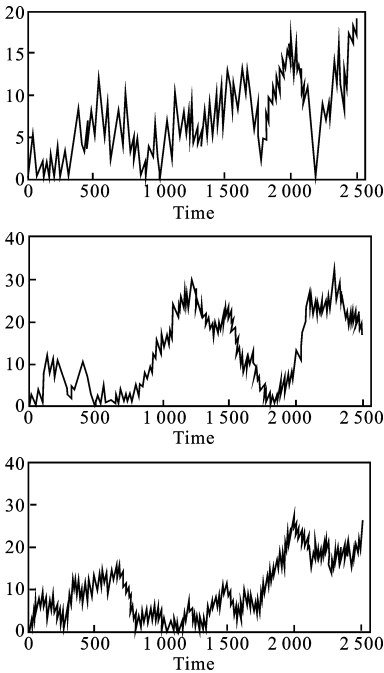


图 3 模型队列深度仿真

2.3 基于中断的多核通信机制

本设计采用了中断机制实现核间握手,处理器核采用了国防科大自主研发的 FT-C6713 单核 DSP,此 DSP 核通过中断控制器 INTC(Interrupt Controller)来管理和控制中断请求信号,中断实现过程见图 4,当中断请求信号到来时,中断信号首先通过中断控制器来激活相应的处理器核,处理器核在接收到中断信号后响应中断,从而跳转到相应的服务子程序,以完成核间通信,此处的中断信号实则是一种握手机制,不需要 CPU 干预查询的快速握手机制.

首先,DSP 核初始化并配置中断向量表,以开启 DSP 的中断功能. FT-C6713 IP 核为用户开放了原 6713 保留的部分中断源,具体如表 1 所示,其中断信号名与中断事件名一致,见表 2. 考虑到多核系中会同时有多个请求,为使得 DSP 核能快速响应中断,同时考虑到中断资源的丰富性,因此,为每个 DSP 的请求都独立分配一个中断接口,我们选择了 INT19、INT20、INT21 对应其他三个核的请求,这样每个核都可以快速的请求 DSP,而不需要额外的

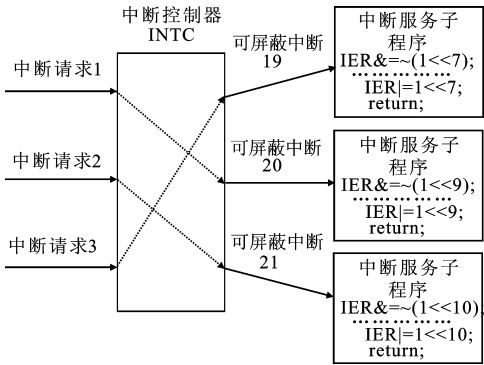


图 4 核间中断实现过程

查询消耗时间,实现核间中断的 DSP 核的设置方式如下:

- (1)全局中断使能,将控制状态寄存器(CSR)中的全局中断使能位置高以使能中断信号;
- (2)使能可屏蔽中断,中断使能寄存器(IER)中的对应位置高,使能可屏蔽中断;
- (3)可屏蔽中断映射,中断使能寄存器(IER)将要映射的可屏蔽中断的相应位置高;
- (4)中断发生后,将中断标志寄存器(IFR)的相应位置高.

表 1 FT-C6713 IP 核增加的中断事件

中断选择值(二进制)	中断事件	备注
10001	INT17	
10010	INT18	
10011	INT19	
10100	INT20	
10101	INT21	
11000	INT24	
11001	INT25	
11010	INT26	
11011	INT27	

表 2 中断相关输入

信号名	宽度	方向	说明
INT17	1	输入	17 号中断
INT18	1	输入	18 号中断
INT19	1	输入	19 号中断
INT20	1	输入	20 号中断
INT21	1	输入	21 号中断
INT24	1	输入	24 号中断
INT25	1	输入	25 号中断
INT26	1	输入	26 号中断
INT27	1	输入	27 号中断

中断发生时,由事先配置好的中断向量表跳转到中断服务子程序(ISR),完成核间通信. 核间通信时,通信数量是可变的,因此,需软件定义起止标志的协议,

协议可由用户自行定义实现,具有灵活可配置性.

3 拓扑结构与性能测试

交点队列型多核通信结构采用了全并行的分布式 CQ 结构如图 1 所示,每个核之间都有独立的通信通道(自发自收除外),且主核与从核地位对等,即每个核既可以作为主核,亦可为从核,主从核之间仅仅是软件编程上的逻辑概念.因此,在设计并行计算的拓扑结构时,其主要工作在于软件的设计,可以通过软件协议将阵列系统配置成多种拓扑结构,一定程度上也提高了设计的灵活性.

设计中,性能对比程序选用了常用的主从式拓扑结构,如图 5 所示,DSP 核间通过交点队列型多核核间通信结构进行通信,通信过程起止于主核,主核主要包括核间的任务驱动,数据发送和接收、时间计算等工作.主核主要用于控制,从核负责计算,本设计的主从式拓扑结构模式,实则是一种主从式数据流驱动模式,所有的任务驱动都是通过数据驱动来实现,通信握手采用中断信号进行握手.多核通信

设计中以 DSP₀ 为主核,其他核为从核.主从式结构如图 5 所示.

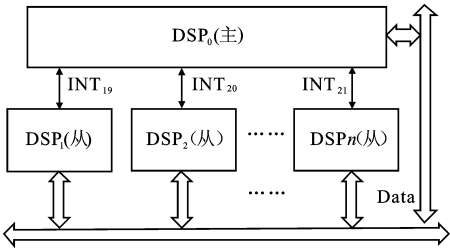


图 5 主从拓扑结构

为了验证此通信结构的性能,设计中构建了分布共享式多核 DSP 系统进行性能对比测试,即多核 DSP 系统中,即存在分布式 CQ 通信结构,在 AXI 总线上还挂接一片共享的片上 SRMA.通过开启每个处理器核的定时器来测试通信时间,从而实现通信时间的对比测试.

通过核间通信数据来测试两种架构的通信时间,从而达到对比的效果.基于中断的通信测试程序伪代码如图 6 所示,伪代码执行过程如下.

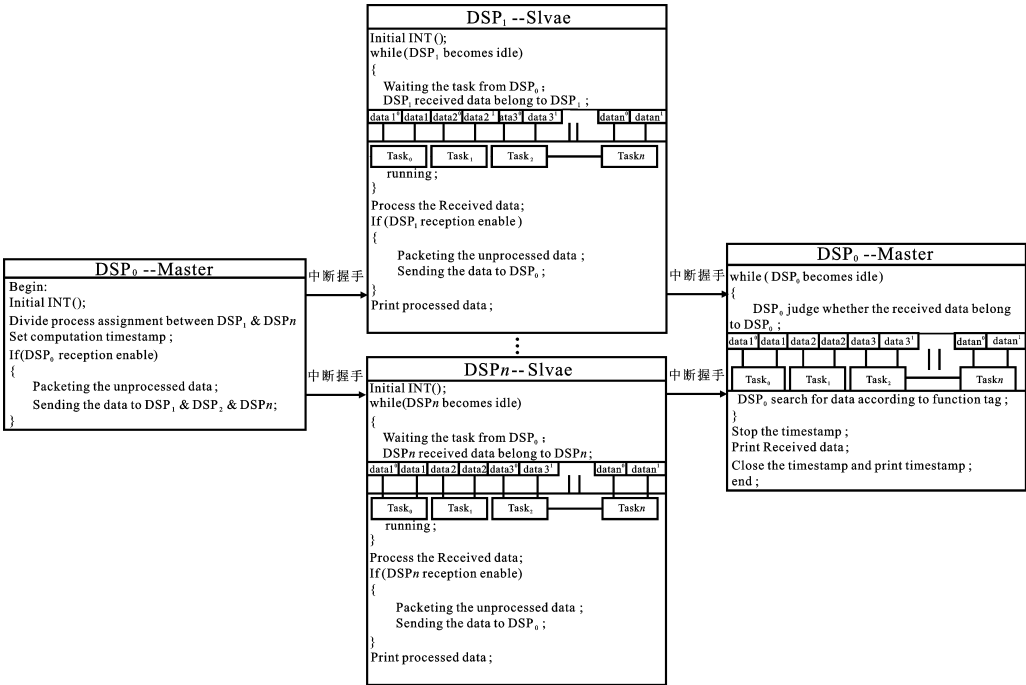


图 6 执行伪代码

(1)对于主核 DSP,首先执行初始化工作,然后初始化中断向量表,需延迟一段时间后以保证其他从核初始化完成,然后开启定时器,包括定时器基本的参数配置.(注:在主核初始化过程中,从核也同时进行相应的初始化过程)

(2)初始化完成后,主核(DSP0)进入发送数据

程序,打包需要发送的数据,发送给从核 DSP1.此时,从核一直处于运行主程序状态,当接收到主核的中断请求时,进入对应的服务子程序,接收数据.

(3)主核发送完数据后,继续执行主程序.此时,从核接收主核发送的数据,当接收到从核的数据后,回送给主核.

(4)当主核接收到从核的中断请求信号时,进入接收数据中断服务子程序,接收数据.

(5)当接收完数据后,主核暂停主核中的定时器,读取定时器的值,计算打印通信所消耗的时间.

(6)完成后,关闭定时器,程序执行结束.

共享存储通信测试程序主要是在片上存储中设置起始与结束标志位,当开始发送时,将开始标志位置 1,当发送结束时,将结束标志位置 1,接收数据的处理器核,定期查询这两状态位,以接收数据.

通过测试对比,双核测试结果如下,由于中断执行过程有一定的时间消耗,在少数据量传输时,采用中断的通信结构稍微优于共享式结构,随着通信数据量的增大,所设计的交点队列型多核通信结构优势明显. 对比程序是在双核情况下的测试结构,在 3 核、4 核情况下,优势更明显,因为所设计的结构采用分布式全并行结构,可以 4 核同时交互数据,而分布式共享结构,最多只有两核同时工作,并行性不足. 具体双核测试结果如图 7 所示,图中纵坐标为通信所开销的时钟周期数,横坐标则为数据通信量,测试结果显示,交点队列型通信结构性能优于共享结构,在大数据量时优势更加明显.

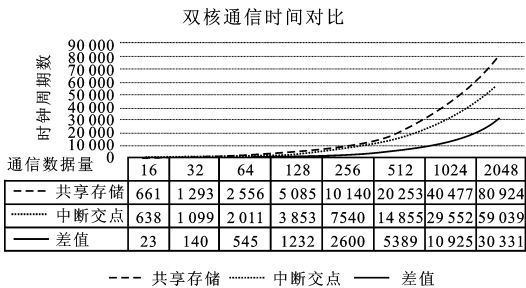


图 7 双核通信性能对比图

4 结束语

本设计针对基于 AXI 的多核 DSP 中存在的主设备间的通信问题,结合 Crosspoint-Queued 结构,设计了一种交点队列型多核 DSP 通信结构,通过建模仿真,确定了交点队列深度为 32,位宽为 32,此时队列的存储空间为 3 kB.并将此结构与共享存储结构进行了对比测试.结果显示,此结构的性能优于共享式,大数据量下优势明显.

参考文献:

[1] Divanovic S, Kovacevic V, Radonjic M, et al. Crosspoint queued switch performance analysis under multi-cast traffic [C]//Telecommunications Forum (TELFOR), 2012. Belgrade, Serbia, IEEE, 2012:226-229.

[2] Kanizo Y, Hay D, Keslassy I. The crosspoint-queued switch [C]//INFOCOM 2009, IEEE. Rio de Janeiro, Brazil, IEEE, 2009: 729-737.

[3] Radonjic M, Radusinovic I. Average latency and loss probability analysis of crosspoint queued crossbar switch[C]//ELMAR, 2010 PROCEEDINGS, Zadar, Croatia, IEEE, 2010: 203-206.

[4] Radonjic M, Radusinovic I. CQ switch performance analysis from the point of buffer size and scheduling algorithms [C]//Telecommunications Forum (TELFOR), 2012. Belgrade, Serbia, IEEE, 2012: 210-217.

[5] 王中杰. 基于 MATLAB/SimEvents 的 NCS 仿真平台的开发[D]. 上海:同济大学,2009:14-38.

作者简介:

王 镇 男, (1987-), 工程师. 研究方向为多核 SoC 设计. E-mail: wz_dly@163. com.

汪 健 女, (1969-), 研究员. 研究方向为多核 SoC 设计.

张 磊 男, (1982-), 高级工程师. 研究方向为多核 SoC 设计.

(上接第 41 页)

[4] Baumgarten A, Steffen M, Clausman M, et al. A case study in hardware trojan design and implementation [J]. International Journal of Information Security, 2011, 10(1): 1-14.

[5] Rithesh M, Harish G Ram, Bhargav B V, et al. Detection and analysis of hardware trojan using scan chain method [C]//VLSI Design and Test (VDAT). Jaipur, India, 2015(12): 1083-1087.

[6] Yier J, Makris Y. Hardware trojans in wireless crypto-

graphic ICs[J]. IEEE Design & Test of Computers, 2010, 27(1): 26-35.

作者简介:

王 林 男(仡佬族), (1991-), 硕士. 研究方向为数字集成电路设计和测试.

魏敬和(通讯作者) 男, (1975-), 博士, 研究员级高工. 研究方向为 SoC 设计. E-mail: pume1975@sina. com.