

一种高频 LC-VCO 相位噪声的分析方法

武照博,王兴华,王征晨

(北京理工大学信息与电子学院 北京市硅基高速片上系统工程技术研究中心,北京 100081)

摘 要: 基于 25.2 GHz 整数电荷泵锁相环(CPPLL)的设计需求,采用 TSMC90 nm CMOS 工艺设计了一款中心谐振频率为 25.2 GHz 的低相位噪声 LC 压控振荡器.采用单平衡混频器的工作原理,重点分析并建立了关于尾电流源的相位噪声的数学模型,同时进行了合理优化.经过仿真及测试验证,压控振荡器的谐振频率范围为 22.77~28.5 GHz,相位噪声为-100 dBc/Hz@1 MHz,电路功耗为 15 mA.

关键词: LC 压控振荡器;谐振频率;相位噪声;混频原理

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)04-0063-05

A Phase Noise Analysis Method for High Frequency LC - VCO

WU Zhao-bo, WANG Xing-hua, WANG Zheng-chen

(School of Information and Electronic, Beijing Institute of Technology, Beijing Silicon SoC
Engineering Research Center, Beijing 100081, China)

Abstract: Based on the design requirement of the 25.2 GHz integer charge pump phase-locked loop (CPPLL), a low-phase noise LC voltage-controlled oscillator with a center resonant frequency of 25.2 GHz was designed by using the TSMC90 nm CMOS process. Based on the working principle of single-balanced mixer, the mathematical model of phase noise of tail current source was analyzed and established and reasonably optimized. The simulation and measure results indicated that the LC voltage-controlled oscillator had a resonant frequency range of 22.75 ~ 28.5 GHz, whose phase noise was -100 dBc / Hz @ 1 MHz, and the circuit power consumption was 15 mA.

Key words: LC voltage-controlled oscillator; resonant frequency; phase noise; frequency mixing theory

1 引言

频率综合器的输出频率范围以及带外相位噪声通常由核心模块一压控振荡器来决定,因此设计一款宽调谐范围、低相位噪声的压控振荡器对于锁相环的设计是至关重要的.相比较于环形振荡器,LC 振荡器在较高谐振频率时,能够实现较低的相位噪声.在 VCO 电路设计中,采用多位开关电容阵列来满足宽调谐范围,并且能够实现较小的 K_{vco} 来抑制相位噪声和参考杂散^[1].

2 振荡器的工作原理

如图 1 所示,本文采用 4 bit 开关电容阵列的

LC-VCO 结构,包括差分电感、偏置电压可调的差分可变电容、交叉耦合对以及开关电容阵列.由于电感、可变电容以及开关电容阵列都是有损器件,所以对应的 LC 谐振是减幅振荡,而呈负阻特性的交叉耦合对可以提供能量来维持稳定振荡.

图 2(a) 为输出端对应的谐振回路:其中 $R_L/2$ 为电感 $L/2$ 的寄生电阻; C_1 为输出端寄生电容,包括交叉耦合对漏端的寄生电容、电感寄生电容以及 VCO_Buffer 的输入寄生电容; $C_{\text{var}}, R_{\text{var}}$ 分别为等效可变电容及其寄生电阻; C_u, R_{on} 分别为开关电容阵列的单位电容以及开关导通电阻.

图 2(b) 为等效谐振回路,其 $C_p = C_1 + C_{\text{var}} + nC_u$, $L_p = L/2, R_p = [(\omega L/2)^2/R_L/2] \parallel (\omega C_{\text{var}} R_{\text{var}})^{-1} \parallel ($

知,栅源电压在 0 V 附近可变电容的线性度最高^[2]. 电荷泵的非线性对 CPPLL 的带内相位噪声以及参考杂散具有重要影响^[1],而电荷泵的输出电平(即 VCO 的控制电平)是电荷泵线性度的重要影响因素之一.通常选择在 CPPLL 频率锁定后,VCO 的控制电压为 $V_{DD}/2$ 左右.综上考虑,加入固定电容 C_s 隔离输出端共模电平 V_{DD} ,通过大电阻 R 为可变电容重新提供 $V_{DD}/2$ 的电压偏置,来实现线性度较好的 K_{vco} 以及较大的可变电容范围.为了减小 CP 输出范围的压力并且抑制控制信号的共模噪声,引入了差分连接的可变电容结构.

由于 NMOS 开关存在漏端寄生电容,即使开关断开也会对谐振回路引入大小为固定电容与漏端寄生电容相串联的等效电容,因此计算 VCO 的调谐范围为

$$\omega_{\min} \approx \frac{1}{\sqrt{L_p[C_1 + (C_{\max} || C_s) + 11C_u]}}$$

$$\omega_{\max} \approx \frac{1}{\sqrt{L_p[C_1 + (C_{\min} || C_s) + 11 \cdot (C_u || C_D)]}}$$
(6)

式中, C_D 为单位开关的漏极寄生电容; $C_{\min} \sim C_{\max}$ 为差分可变电容能够实现的变化范围.由文献[2]中的式 8.80 计算谐振曲线的极端调谐范围:

$$\Delta\omega_{\max} \approx \frac{1}{\sqrt{L_p[C_1 + 11 \cdot (C_u || C_D)]}} \cdot \frac{(C_{\max} || C_s) - (C_{\min} || C_s)}{2[C_1 + 11 \cdot (C_u || C_D)]}$$

$$\Delta\omega_{\min} \approx \frac{1}{\sqrt{L_p(C_1 + 11C_u)}} \cdot \frac{(C_{\max} || C_s) - (C_{\min} || C_s)}{2(C_1 + 11C_u)}$$
(7)

式(7)表明:分立调谐曲线的 K_{vco} 随数字控制码增加而减小.

4 相位噪声的分析及优化

在满足起振条件和调谐范围的前提下,如何优化 VCO 的相位噪声是重点也是难点.在实际电路中,存在两大噪声源:外界干扰噪声,主要包括衬底噪声和电源噪声;器件噪声,主要包括热噪声和闪烁噪声.而前者可以通过单独供给电源并且加入稳压隔离电路进行抑制,下面将重点分析器件噪声引发相位噪声的机制以及优化方法^[3].

相位噪声用来衡量输出频率的抖动程度,因此可以采用在频偏下的谐振回路阻抗乘以电流噪声的简单形式来估算相位噪声大小.假设在谐振频率 ω_0

附近存在频率抖动 $\Delta\omega$ ($\Delta\omega \ll \omega_0$),那么谐振回路的阻抗为:

$$H(\Delta\omega) = \frac{j(\omega + \Delta\omega)L_p R_p}{R_p[1 - (\omega + \Delta\omega)^2 LC] + j(\omega + \Delta\omega)L_p}$$

$$\approx -jR \frac{\omega_0}{2Q\Delta\omega}$$
(8)

计算 LC-VCO 输出端的电流噪声为:

$$i_n^2 = \frac{4kT}{R_p} + 4kT\gamma g_m + \frac{K}{C_{ox}WL} \cdot \frac{1}{\Delta\omega} \cdot g_m^2$$
(9)

其中第一项为等效并联电阻 R_p 产生的热噪声,第二项和第三项分别为 NMOS 管产生的沟道热噪声和闪烁噪声.在稳定状态下,幅度噪声和相位噪声是均衡的,而幅度噪声可以被振荡器的限幅机制消除,所以计算相位噪声为:

$$L(\Delta\omega) = 10\log\left(\frac{v_n^2}{V_{sig}^2}\right)$$

$$= 10\log\left(\frac{\frac{1}{2}i_n^2 |H(\Delta\omega)|^2}{V_{sig}^2}\right)$$

$$\approx 10\log\left[\frac{2kTR_p}{V_{sig}^2}(1 + \gamma g_m R_p + \frac{g_m^2 R_p}{4kT} \cdot \frac{K}{C_{ox}WL} \cdot \frac{1}{\Delta\omega}) \cdot \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2\right]$$
(10)

由式(10)可知,降低相位噪声的措施:增大输出摆幅,即使振荡器工作在电流限制区与电压限制区的交界处;提高谐振回路的 Q 值;合理设置 MOS 管的 W/L ,使沟道热噪声和闪烁噪声的综合影响达到最低.同时发现,相位噪声曲线存在不同斜率,即由热噪声引起的一 20 dB/dec 斜率以及闪烁噪声引起的一 30 dB/dec 斜率.实际测试中,在较大频偏处还存在由外界噪声引起的平带区.

研究表明,尾电流源的噪声对 LC-VCO 的相位噪声具有很大贡献,下面将基于混频原理分析并且优化尾电流源噪声的贡献机制^[4-7].如图 3 所示,VCO 稳定振荡时,假设交叉耦合对 M_1 的栅极小信号为

$V_0 \cos(\omega_0 t)$,尾电流源 M_3 的栅极电压噪声为 $v_n \cos(2\omega_0 t + \Delta\omega t) + v_{1/f} \cos(\Delta\omega t)$,那么由 M_3 栅极噪声产生的交流 i_{ac} 将对 M_1 的跨导进行调制:

$$g_{m1N} = \sqrt{2\mu_n C_{ox} \frac{W}{L} \left(\frac{I_{ss} + i_{ac}}{2}\right)} \approx g_{m1} \left(1 + \frac{i_{ac}}{2I_{ss}}\right)$$
(11)

式中, $i_{ac} = g_{m3} \cdot [v_n \cos(2\omega_0 t + \Delta\omega t) + v_{1/f} \cos(\Delta\omega t)]$, g_{m1} 为 M_1 的小信号跨导.由于谐振回路的带通特性, M_1 的漏电流为:

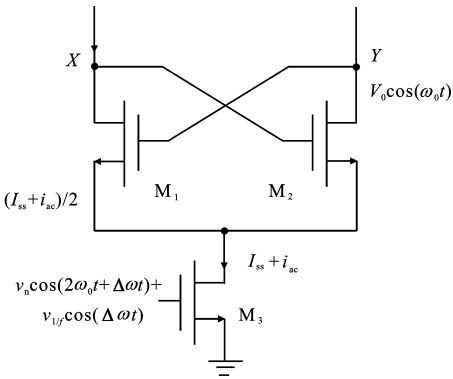


图 3 LC-VCO 的混频原理

$$\begin{aligned} i_{M_1} &= g_{m1N} \cdot V_0 \cos(\omega_0 t) \\ &\approx g_{m1} V_0 \cos(\omega_0 t) + \frac{g_{m1} g_{m3} V_0}{2 I_{ss}} \cdot \left[\frac{v_n}{2} \cos(\omega_0 + \right. \\ &\quad \left. \Delta\omega)t + \frac{v_{1/f}}{2} \cos(\omega_0 \pm \Delta\omega)t \right] \end{aligned} \quad (12)$$

式(12)表明,减弱尾电流源噪声贡献的措施有:考虑沟道长度调制效应, M_3 的 L 应取较大值,在保证 M_3 工作在饱和区的前提下,合理设置 M_3 的 W/L ,使 $g_{m3} \cdot (v_n + v_{1/f})$ 最小;减小 M_1 的 g_m 、增加 I_{ss} 来降低尾电流源噪声的混频增益. 为了进一步弱化尾电流源的 $2\omega_0$ 噪声源^[8],且不影响交叉耦合对共源端的阻抗,在 M_3 栅极加入截止频率低于 $2\omega_0$ 的 RC 低通滤波电路(参见图 1). 仿真表明,RC 滤波电路使 LC-VCO 的相位噪声降低了 4.3 dBc/Hz.

5 仿真与测试结果

图 4 为 CPPLL 的整体版图. 为降低 VCO 的相位噪声,要求做到以下几点:电感、开关电容阵列、交叉耦合对、尾电流源以及 Buffer 部分均呈中心对称绘制;VCO 及 Buffer 的输出信号线尽量与可变电容的控制信号线相隔离,且需加入屏蔽保护线;VCO 版图需要与其他电路模块进行有效隔离,防止发生信号串扰,恶化 VCO 的相位噪声.

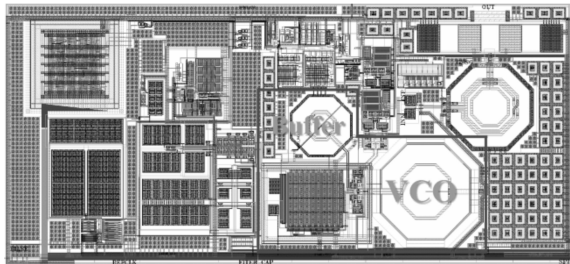


图 4 电荷泵锁相环的版图

图 5 为 VCO 开环增益的仿真结果:在谐振频率 25.2 GHz 处,VCO 的开环增益为 2.34.

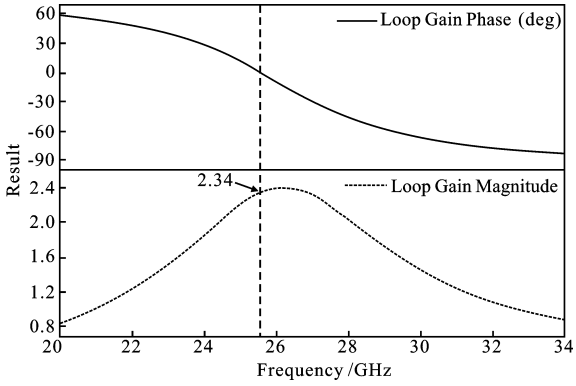


图 5 VCO 的开环增益曲线

如图 6 所示,实线表示调谐范围的测试结果,虚线表示调谐范围的仿真结果. 经计算,仿真谐振曲线的 K_{vco} 为 987.75~735 MHz/V,测试谐振曲线的 K_{vco} 为 975~550 MHz/V.

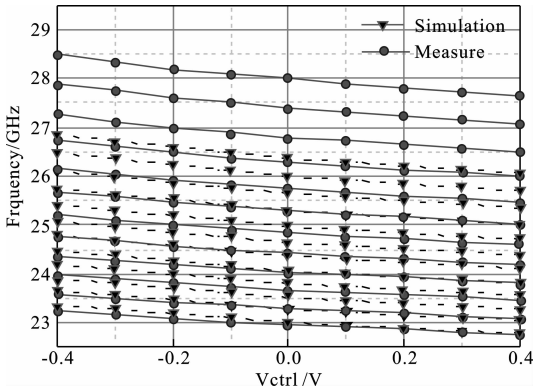


图 6 VCO 的谐振曲线

图 7 和图 8 分别表示 VCO 及 CPPLL 在输出频率为 25.2 GHz 时的相位噪声曲线. 在关注的频偏点处,相位噪声值如表 1 所示.

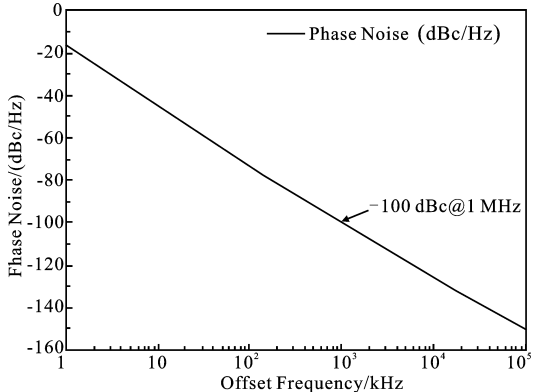


图 7 谐振频率为 25.2 GHz 时 VCO 的相位噪声曲线

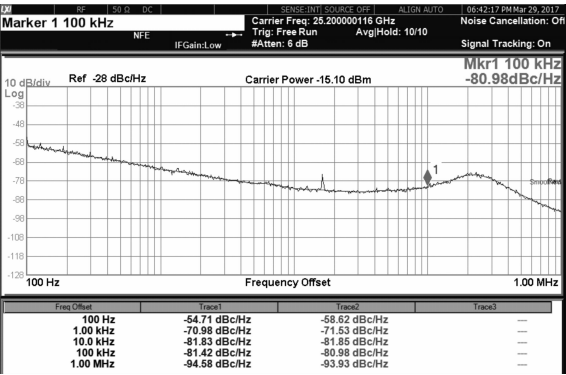


图 8 频率为 25.2 GHz 时频率综合器的相位噪声曲线

表 1 VCO 及 CPPLL 在频偏点处的相位噪声值

	@1kHz	@10kHz	@100kHz	@1MHz
VCO	-13.42 dBc	-41.64 dBc	-72.51 dBc	-100 dBc
CPPLL	-70.98 dBc	-81.83 dBc	-81.42 dBc	-94.58 dBc

6 结束语

本文采用混频原理重点分析并建立了尾电流源管噪声贡献的数学模型,基于该模型合理优化了 LC-VCO 的相位噪声.本文介绍的 LC-VCO 应用于 25.2 GHz 整数电荷泵锁相环中,并进行流片和测试.测试结果表明,该压控振荡器能够同时满足 CP-PLL 的输出频率范围以及带外相位噪声的要求.表 2 为采用本文所设计 VCO 的锁相环在带外 1 MHz 频偏处的相位噪声与其他文献的对比结果.

表 2 在带外 1 MHz 频偏处锁相环的相位噪声对比

文献	[9]	[10]	本文
工艺/nm	65	90	90
	CMOS	CMOS	CMOS
参考频率/MHz	36	108	45
输出频率/GHz	17.5~20.94	24.1~28.2	22.77~28.5
PN/(dBc/Hz@1 MHz)	-100	-92.18	-94.58

(上接第 62 页)

[3] Li Z, Zhu Y, Li M. Practical location-based routing in vehicular ad hoc networks[C]//Mobile Ad Hoc and Sensor Systems, IEEE,2009;900-905.

[4] Li L , Sun L. Seer: Trend-prediction-based geographic message forwarding in sparse vehicular networks[C]// IEEE International Conference on Communications, Cape Town;IEEE,2010;1-5.

[5] Khaleel M, Hassan A, Mario G. We can deliver messages to far vehicles[J]. IEEE Transactions on Intelligent Transportation Systems, 2012,13(3):1099-1115.

参考文献:

[1] Razavi B. RFMicroelectronics [M]. ACM, 2012;289-395.

[2] 卢磊. 射频接收机中分数分频频率综合器的研究与设计[D]. 上海:复旦大学,2009.

[3] Hajimiri A, Lee T H. Phase noise in CMOS differential LC oscillators[C]//VLSI Circuits, 1998. IEEE, 1998;48-51.

[4] Darabi H, Abidi A A. Noise in RF-CMOS mixers: a simple physical model[J]. Solid-State Circuits, IEEE Journal of, 2000, 35(1):15-25.

[5] Andreani P, Sjoland H. Tail current noise suppression in RF CMOS VCOs[J]. Solid-State Circuits, IEEE Journal of, 2002, 37(3):342-348.

[6] Rael J J, Abidi A A. Physical processes of phase noise in differential LCoscillators[C]// Custom Integrated Circuits Conference, 2000. IEEE Xplore, 2000;569-572.

[7] Nikpaik A, Nabavi A. Analysis of flicker noise conversion to phase noise in CMOS differential LC oscillators[J]. International Journal of Circuit Theory & Applications, 2016, 44(2):398-417.

[8] Hegazi E, Sjoland H, Abidi A. A filtering technique to lower oscillator phase noise [J]. Solid-State Circuits, IEEE Journal of, 2001, 36(12):364-365.

[9] Richard O, Siligaris A, Badets F. A 17.5-to-20.94GHz and 35-to-41.88GHz PLL in 65nm CMOS for wireless HD applications[C]// Solid-State Circuits Conference Digest of Technical Papers. IEEE, 2010;252-253.

[10] Luo J, Zhang L, Zhang L, et al. A 24GHz low power and low phase noise PLL frequency synthesizer with constant KVCO for 60GHz wireless applications[C]// IEEE International Symposium on Circuits and Systems. IEEE, 2015;2540-2543.

作者简介:

武照博 男,(1992-),硕士研究生.研究方向为模拟/射频集成电路设计. E-mail:18810409719@163.com.

[6] 陈敏. OPNET 网络仿真[M]. 北京:清华大学出版社, 2004.

作者简介:

任智 男,(1971-),博士后,教授.研究方向为宽带无线移动通信网络原理与技术.

吕昱辉(通讯作者) 男,(1993-),硕士研究生.研究方向为太赫兹无线个域网定向 MAC 协议. E-mail:lvyuhui_cqupt@126.com.

张勇 男,(1988-),硕士.研究方向为车载自组网路由算法.