

基于差错概率传播模型的门级电路可靠度计算

欧阳城添, 陈莉莉

(江西理工大学 信息工程学院, 江西 赣州 341000)

摘 要: 提出了一种差错概率传播模型, 该方法首先将逻辑门的差错概率加载到连接导线上进行计算, 再逐个计算逻辑门的正确输出概率, 最后计算得到整个电路的可靠度. 与传统概率转移矩阵方法比较, 所提出的改进方法有效地减小了时间和空间复杂度, 能适用于大规模电路的可靠性评估.

关键词: 大规模集成电路; 电路可靠度; 概率转移矩阵; 传播模型

中图分类号: TP331

文献标识码: A

文章编号: 1000-7180(2018)03-0088-05

Reliability Calculation for Gate-level Circuit Based on Error Probability Propagation Model

OUYANG Cheng-tian, CHEN Li-li

(School of Information Engineering, Jiangxi University of Science and Technology, Gan'zhou 341000, China)

Abstract: This paper builds a conductor error PTM propagation model, the logic gate of error PTM loading onto the wires are calculated, computed the correct logic gate output probability, finally a layer of door correct output probability is calculated, the probability is the reliability of the entire circuit. This method effectively reduces the time and space complexity, can apply to the reliability evaluation of VLSI circuit by comparing with traditional PTM.

Key words: VLSI; circuit reliability; probability transfer matrix; propagation model

1 引言

加强对半导体器件与集成电路的可靠性分析、模拟、评估和改进已经成为超大规模集成电路发展中一个非常重要课题^[1]. 尤其是在设计阶段, 若能准确评估电路可靠性, 则将大大减小生产成本^[2], 对于促进 VLSI 的发展有着重大的意义.

VLSI 的集成度高, 电路密度非常大, 系统结构复杂, 导致准确评估电路可靠性的复杂度和难度都非常大. 文献[3-4]面向组合电路提出了信号可靠性的概念, 为电路建立概率模型来计算电路可靠度, 衡量电路可靠性. 基于概率模型的方法主要有概率模型检测^[1,5] (Probabilistic Model Checking, PMC)、概率转移矩阵^[6] (Probabilistic Transfer Matrix, PTM)、概率门模型^[7] (Probabilistic Gate Models,

PGM). 研究表明, PTM 方法对于评估电路可靠性是准确有效的. 但这种方法的时空复杂度非常大, 不适用于大规模电路可靠性评估的问题, Naviner 等人^[8]通过降低并行计算量和串联块处理量来减小时空复杂度, 肖杰等人^[9]提出了宏门的概念和以宏门为单位的迭代概率转移矩阵模型, 并设计了相应的电路可靠性评估算法, 可计算从原始输入到任意引线位置的电路可靠度, 从已有的研究成果看, PTM 方法时空复杂度大, 难以适用于大规模电路可靠性评估的问题有待更好的解决.

针对以上问题, 本文提出了一种差错概率传播模型的门级电路可靠性计算方法.

2 PTM 定理

PTM 方法对电路的正常和故障行为提供了一

个简洁的描述,能对电路所有可能的输入组合进行计算,不涉及到输入向量的采样,能够准确评估电路的可靠度,非常适合于电路可靠性和误差敏感性计算,下面是对 PTM 方法简单的概述.

2.1 PTM 基本定义

一个电路的随机行为可以描述为一个矩阵:假设一个电路有 m 个输入, n 个输出, (j, k) 代表输入信号值和输出信号值,在给定输入信号 $I = I_0, I_1, I_2 \cdots I_m$ 有值为 j 时,输出信号 $O = O_0, O_1, O_2 \cdots O_n$ 有值为 k 的概率,记作 $P(O = k \mid I = j)$. 为方便起见,省略信号名称写为 $P(k \mid j)$,例如 $P(1, 0 \mid 1, 1)$ 表示在给定输入信号 (I_0, I_1) 值为 $(1, 1)$ 时,输出信号 (O_0, O_1) 值为 $(1, 0)$ 的概率,其中 $P(k \mid j)$ 即为概率转移矩阵. 特别地,称一个无故障电路的矩阵为理想转移矩阵 (Ideal Transfer Matrix, ITM), 即该电路正确输出的概率总是为 1. 假设一个两输入与门的正确输出概率为 p , 其对应的 PTM 和 ITM 如表 1 所示.

表 1 2- 输入与门的 PTM 和 ITM

2- 输入与门	PTM	ITM
	$\begin{bmatrix} p & 1-p \\ p & 1-p \\ p & 1-p \\ 1-p & p \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 0 & 1 \end{bmatrix}$

2.2 PTM 运算规则

假设每个门的差错概率已知,则根据门级电路中的各个门之间的互连结构,可分为串联和并联,采用的矩阵运算则有矩阵乘和张量积,在采用 PTM 方法评估电路可靠性时有如下两个性质:

- 性质 1^[6] 若两个子电路的 PTM 分别为 PM_1, PM_2 , 则它们的串联电路的 $PTM = PM_1 \times PM_2$.
- 性质 2^[6] 若两个子电路的 PTM 分别为 PM_1, PM_2 , 则它们的并联电路的 $PTM = PM_1 \otimes PM_2$.

2.3 PTM 计算

以图 1 所示的简单电路为例,这个电路包含 5 个基本逻辑门,总共 12 个信号端. 对这个电路进行划分分层,可分为 5 层. 每个层中包含的门是并联关系,对在同一层中的逻辑门的 PTM 做张量积运算,层与层之间则是串联关系,则将相应的 PTM 做矩阵乘. 根据性质 1 和性质 2,可得出以上电路的 PTM 为 $(I \otimes \text{XOR} \otimes \text{AND})(I \otimes F_2 \otimes I)(\text{NAND} \otimes \text{NOT} \otimes I)(I \otimes \text{NOR})$. 通过运算可得到一个 32×4 的矩阵,与电路的输入和输出端数相等(其中 I 为 2×2 的单位矩阵).

在计算出电路整体 PTM 后,可根据式(1)^[10] 计算得到电路的可靠度:

$$R = \|V * (PM \circ IM)\|$$
 (1)

式中, PM 表示电路的 PTM; IM 表示电路 PTM 所对应的 ITM; V 表示输入概率分布; $\|V * (PM \circ IM)\|$ 表示向量 $V * (PM \circ IM)$ 的第一范数, $PM \circ IM$ 是矩阵 PM 和 IM 的 Hadamard 积.

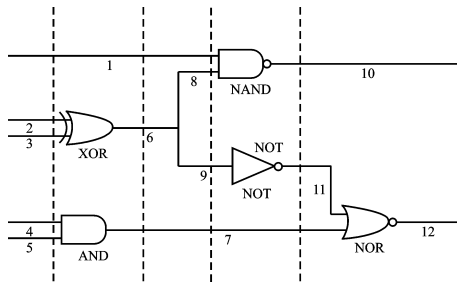


图 1 PTM 方法示例电路

3 差错概率传播模型及计算

传统的 PTM 方法是对电路进行整体的可靠性评估,直接计算整个电路的 PTM,但因为除非门外,其余基本逻辑门的差错 PTM 均为 4×2 矩阵,所以在计算一个大规模电路的可靠度时,经过一系列的矩阵运算,算法所产生的矩阵规模非常大. 若能避免直接计算整个电路的 PTM,则逐个计算每个逻辑门的输出可靠度,最后得到整个电路的输出可靠度,那么将会大大减小计算量以及内存消耗.

因此本文提出将逻辑门的差错概率加载到电路上来计算,将基本逻辑门的差错 PTM 从 4×2 降解至 2×2 ,并且以导线差错概率传播的形式计算至下一个与之相连的逻辑门的输出概率可靠度,再将此可靠度加载到其输出导线,重复之前的计算,直到计算至最后一层输出门,此时,计算得到的可靠度即为整个电路的可靠度. 下面给出差错概率传播模型的相关定义及其操作.

3.1 差错概率传播模型

在构建差错概率传播模型时,须满足的前提有以下两个.

- (1) 将逻辑门的差错概率加载到导线上后,在计算逻辑门输出概率分布时,可认为逻辑门是无差错的.
- (2) 当所有逻辑门的差错概率已定时,在差错传播的情况下,每个逻辑门实际的正确输出概率是逐步降低的,将此实际的正确输出概率加载到导线上

进行计算.

现假设互连导线均是无故障的,那么在组合电路中有如下定义.

定义 1 若每一个初始输入端输入为 0 或为 1 的概率均为 0.5,每个门的正确输出概率为 r ,则与之相连导线的输出导线的正确输出概率为 r ,其对应的

差错概率转移矩阵定义为 $\begin{bmatrix} r & 1-r \\ 1-r & r \end{bmatrix}$.

将差错加载到导线上,可将导线看成逻辑门,所以导线与导线之间的关系满足逻辑门与逻辑门之间的关系.因此对于有 i 个输入端的第 j 个逻辑门,输入导线之间为并联关系,导线与逻辑门之间为串联关系.结合定义 1,在计算组合电路的可靠时,有定理 1.

定理 1 设第 i 根导线的差错 PTM 为 PTM_i ,与之相连的第 j 个逻辑门的 PTM 为 PTM_j ,其中 i 根导线并联的 PTM 为 PTM_l ,导线与逻辑门串联后的 PTM 为 PM_C ,则 PTM_l 和 PM_C 可由式(2)和式(3)得到.

$$PTM_l = PTM_1 \otimes PTM_2 \otimes \cdots \otimes PTM_i \quad (2)$$

$$PM_C = PTM_l \times PTM_j \quad (3)$$

定理 2 对于有 i 个输入端的第 j 个逻辑门的输出概率分布可由式(4)计算得到.

$$VO_j = ITM_g^T \times \begin{bmatrix} x_1 \\ 1-x_1 \end{bmatrix} \times \begin{bmatrix} x_2 \\ 1-x_2 \end{bmatrix} \times \begin{bmatrix} x_i \\ 1-x_i \end{bmatrix} \quad (4)$$

证明:将逻辑门差错 PTM 加载到输出导线上计算后,在计算输出概率分布时,该逻辑门是无差错的,又因当逻辑门有差错时式(5)^[11]成立.

$$VO_j = PM_g^T \times \begin{bmatrix} x_1 \\ 1-x_1 \end{bmatrix} \times \begin{bmatrix} x_2 \\ 1-x_2 \end{bmatrix} \times \begin{bmatrix} x_i \\ 1-x_i \end{bmatrix} \quad (5)$$

式中, PM_g^T 代表逻辑门 g 的 PTM ,当逻辑门无差错时,所对应的概率转移矩阵为理想转移矩阵 ITM_g^T ,所以式(4)成立.

计算出输出概率分布后,因为非输出端逻辑门的输出概率分布是与之相连的下一个逻辑门的输入概率分布,所以对于有 i 个输入的第 j 个逻辑门可根据式(1)^[10]计算出其可靠度.

下面以图 2 为例,对定义 1 进行简单的说明.

在图 2 中,假设各个逻辑门的可靠度均为 0.9,门 NAND 的输入概率分布为 VI ,导线 1~4 为初始输入导线,认为是无差错的,其 PTM 为 $\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$,设

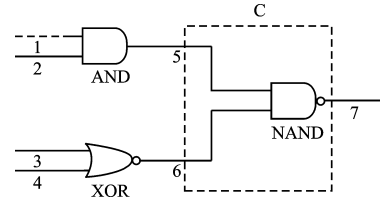


图 2 简单互连线示意图

导线 5 与 6 的差错 PTM 分别为 PTM_5, PTM_6 , 则

$$PTM_5 = PTM_6 = \begin{bmatrix} 0.9 & 0.1 \\ 0.1 & 0.9 \end{bmatrix}. \text{ 设逻辑门 NAND}$$

的实际正确输出概率为 R_C , 导线 7 的 PTM 为

$$PTM_7, \text{ 则有 } PTM_7 = \begin{bmatrix} R_C & 1-R_C \\ 1-R_C & R_C \end{bmatrix}.$$

3.2 采用差错概率传播模型的电路可靠度计算

本节将对上节提出的基于导线差错概率传播模型的评估方法给出具体的步骤说明,下面以图 3 电路为例,为描述方便,将图 3 中 6、7 导线和与其相连接的 NAND 门划为组合 C1, 8、9 导线和与其相连接的 AND 门划为组合 C2.

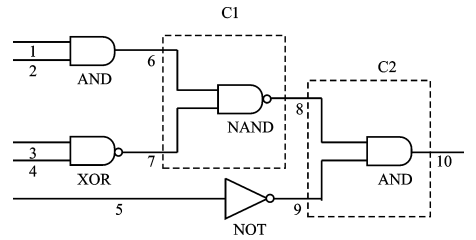


图 3 传播模型示例电路

以下是具体计算步骤.

根据定义 1 和定理 2 计算可得门 NAND 的输入概率分布设为 VI_1 , 输出概率设为 VO_1 , 逻辑门 NOT 的输出概率分布为 VO_2 , 作为最后输出的门 AND 的输入概率分布 $VI_2 = VO_1 \otimes VO_2$. 假设电路中逻辑门的正确输出概率为 r , 设导线 6~9 的差错 PTM 分别为 $PTM_6, PTM_7, PTM_8, PTM_9$, 则根据定义 1

可得, $PTM_6 = PTM_7 = \begin{bmatrix} r & 1-r \\ 1-r & r \end{bmatrix}$, 设组合 C1

与 C2 的 PTM 分别为 PTM_{C1} 与 PTM_{C2} , C1 与 C2 的

输出可靠度为 R_{C1} 与 R_{C2} , 根据定义 1 和定理 1 有

$$PTM_{C1} = (PTM_6 \otimes PTM_7) \text{ NAND}, \text{ 则 } R_{C1} = || VI_1 * (PTM_{C1} \circ IM_{C1}) ||, \quad PTM_8 =$$

$$\begin{bmatrix} R_{C1} & 1-R_{C1} \\ 1-R_{C1} & R_{C1} \end{bmatrix}. \text{ 同理可计算得出 } PTM_{C2} =$$

$$(PTM_8 \otimes PTM_9) \text{ AND}, R_{C2} = || VI_2 * (PTM_{C2} \circ$$

$$IM_{C2}) ||, \text{ 因为计算到此时, C2 作为最后一个输出,}$$

则 R_{c2} 即为整个电路的可靠度.

4 实验结果分析

本文选取了 ISCAS’85 系列电路进行了实验,实验环境为 ASUS PC (Intel (R) Core (TM) i3-2328M CPU @2.20 GHz,4 GB 内存),为方便与文

献[12]所提出的串行计算方法进行比较,实验中取正确输出概率 P 分别为 $1e-4$ 、 $1e-5$. 为了减小误差,避免偶然性,提高实验数据可信性,本文将随机生成的 1 000 种输入向量加载到电路输入端进行计算,最后结果则取平均值,数据如表 2 所示.

表 2 ISCAS’85 电路实验数据

电路	电路可靠度 R				平均开销($P=1e-4$)			
	$P=1e-4$		$P=1e-5$		时间/s		内存/kB	
	本文	文献[9]	本文	文献[9]	本文	文献[9]	本文	文献[9]
c17	0.999 426	0.999 425	0.999 942	0.999 942	0.03	0.08	0.12	931.84
c432	0.985 213	0.984 136	0.999 001	0.998 445	2.73	25.70	23.26	10 291.2
c499	0.978 683	0.980 010	0.998 765	0.998 019	1.89	20.32	18.92	8 622.08
c880	0.970 234	0.964 950	0.997 153	0.996 519	3.42	44.36	42.17	17 059.84
c1355	0.959 485	0.949 931	0.996 021	0.994 976	5.28	76.91	65.69	28 692.48
c1908	0.941 539	0.931 003	0.994 365	0.993 009	6.95	102.16	78.98	45 424.64
c2670	0.916 825	0.905 342	0.991 532	0.990 319	3.45	56.62	156.32	134 707.2
c3540	0.880 214	0.865 752	0.990 034	0.985 931	7.11	122.01	79.65	51 107.84
c5315	0.832 642	0.819 697	0.986 521	0.980 732	9.98	233.09	84.54	74 997.76
c6288	0.801 145	0.785 962	0.985 970	0.976 790	13.67	606.55	201.63	171 079.68
c7552	0.765 543	0.742 944	0.979 982	0.971 302	12.56	513.83	192.86	162 191.36

表 3 两种方法与 Monte Carlo 方法结果的相对误差

电路	Monte Carlo 方法可靠度	相对误差 $\delta/\%$	
		文献[12]	本文方法
c17	0.999 51	0.01	0.01
c432	0.993 18	0.92	0.80
c499	0.970 82	0.94	0.81
c880	0.978 36	1.39	0.83
c1355	0.977 83	2.94	1.88
c1908	0.960 45	3.16	1.97
平均值	——	1.56	1.05

为了进一步验证本文方法的准确性,取可靠度 P 的值为 $1e-4$ (符合当前 CMOS 技术水平),对 c17, c432, c499, c880, c1355, c1908, c2670 这 7 个电路进行实验,将本文方法、文献[12]方法与 Monte Carlo 方法进行对比,对比结果如表 3 所示. 其中参考对象为 Monte Carlo 方法模拟结果,该结果是对每个电路加载 10 000 个向量统计所得,设当前方法计算所得电路可靠度为 R_{th} , Monte Carlo 方法计算所得可靠度为 R_{mc} ,相对误差为 δ ,其计算公式如下:

$$\delta = (|R_{th} - R_{mc}| / R_{mc}) * 100\%$$

(8)

由表 2 可知,对于同一个电路,本文方法时间开销和空间开销方面远低于文献[12]的方法. 这是因为在本文方法中,是逐个计算逻辑门的正确输出概率,避免了电路划分和因为并联块而产生的大矩阵计算,减小了计算复杂度,有效地减小了时间和内存开销. 而串行计算方法则需计算整个电路的 PTM,

且在计算 PTM 之前需对电路进行划分,所以该方法的内存开销和时间开销都会非常大. 例如,用串行计算方法评估图 3 中的电路时,所产生最大矩阵的维度是 32×8 ,而采用本文方法计算所产生最大矩阵的维度为 4×4 . 因此,本文方法内存和时间开销比串行方法小是合理的.

通过表 3 中的数据可知,与 Monte Carlo 方法的模拟结果相比,电路可靠度相对误差都在非常小的范围内,但本文方法比串行计算方法所得结果更准确,因为本文避免了电路划分,保证了电路原本的结构. 综上所述,本文所提方法是高效且合理的.

5 结束语

本文提出了一种差错概率传播模型来评估电路可靠性,在保证计算精确度的同时,有效地解决了传统 PTM 评估方法的问题,提高了计算速度,同时大大地减小了空间复杂度. 实验证明,相比于已有的 PTM 评估方法比较,本文方法得到的结果更准确,且能够运用到大规模集成电路的可靠性评估的实际应用中.

参考文献:

[1] Bhaduri D. Reliability analysis of large circuits using scalable techniques and tools[J]. Circuits & Systems I Regular Papers IEEE Transactions, 2007, 54(11):

- 2447-2460.
- [2] Singh N S S. Evaluation of circuit reliability based on distribution of different signal input patterns[J]. IEEE International Colloquium on Signal Processing and Its Applications, 2012;5-9.
 - [3] Parker K P, Mccluskey E J. Probabilistic treatment of general combinational networks[J]. IEEE Transactions on Computers, 1975, C-24(6): 668-670.
 - [4] Ercolani S. Estimate of signal probability in combinational logic networks[C] // European Test Conference, IEEE, 1989;132-138.
 - [5] Norman G. Evaluating the reliability of NAND multiplexing with PRISM[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005,24(10): 1629-1637.
 - [6] Krishnaswamy S. Accurate reliability evaluation and enhancement via probabilistic transfer matrices[C] // Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, Orlando, 2005: 282-287.
 - [7] Han J. Faults, Error bounds and reliability of nanoelectronic circuits[C] // IEEE International Conference on Application-Specific Systems, Architecture Processors, IEEE, 2005:247-253.
 - [8] Naviner L. Efficient computation of combinational circuits reliability based on probabilistic transfer matrix[C] // IEEE International Conference on Ic Design and Technology of Integrated Systems in Nanoscale Era, IEEE, 2008;1-4.
 - [9] 肖杰, 江建慧, 朱旭光. 一种基于迭代 PTM 模型的电路可靠性评估方法[J]. 计算机学报, 2014, 37 (7) : 1508-1520.
 - [10] Krishnaswamy S, Markov I L, Hayes J P. Design, analysis and test of logic circuits under uncertainty [M]. Netherlands: Springer, 2014.
 - [11] 欧阳城添. 时序电路逻辑级可靠度评估方法研究[D]. 上海: 同济大学, 2013.
 - [12] Bahar R I. Algebraic decision diagrams and their applications[J]. IEEE/ACM International Conference on Computer-Aided Design, 1993,10(2/3):188-191.

作者简介:

欧阳城添 男, (1975-), 博士, 副教授, 硕士生导师. 研究方向为计算机系统结构、电路可靠性评估.

陈莉莉 (通讯作者) 女, (1992-), 硕士研究生. 研究方向为电路可靠性评估. E-mail: 792790753@qq.com.

(上接第 87 页)

参考文献:

- [1] Yang X S. A new metaheuristic bat-inspired algorithm. Nature inspired cooperative strategies for optimization (NICSO 2010)[M]. Berlin: Springer, 2010;65-74.
- [2] Golmaryami M, Saleh S, Ardekani A, et al. A new modified bat algorithm to solve optimal management of multi-objective reconfiguration problem[J]. Journal Of Intelligent & Fuzzy Systems, 2010,27(3):1567-1573.
- [3] Gandomi A, Yang X, Alavi A, et al. Bat algorithm for constrained optimization tasks[J]. Neural Computing & Applications, 2013,22(6): 1239-1255.
- [4] 曹欲晓, 俞翔, 钱瑛. 一种蝙蝠算法优化的云计算任务调度[J]. 微电子学与计算机, 2015, 32(10): 17-20, 25.
- [5] 王文, 王勇, 王晓伟. 采用机动飞行的蝙蝠算法[J]. 计算机应用研究, 2014, 31(10): 2962-2964, 2989.
- [6] 陈梅雯, 钟一文, 王李进, 等. 单维学习的蝙蝠算法[J]. 小型微型计算机系统, 2015, 36(11): 2614-2617.
- [7] 张勇凯, 李芳, 包晓晓. 改进蝙蝠算法在云制造供应链中的应用[J]. 数学理论与应用, 2015, 35(2): 83-94.
- [8] 肖辉辉, 段艳明. 基于 DE 算法改进的蝙蝠算法的研究及应用[J]. 计算机仿真, 2014, 31(1): 272-277, 301.
- [9] Yang X S. Nature-inspired metaheuristic algorithms [M]. Luniver press, 2010.
- [10] 曲良东, 何登旭. 基于自适应高斯变异的人工鱼群算法[J]. 计算机工程, 2009, 35(15): 182-189.
- [11] 刘长平, 叶春明. 具有 Lévy 飞行特征的蝙蝠算法[J]. 智能系统学报, 2013, 8(3): 240-246.
- [12] Yang X S. Appendix A: test problems in optimization [J]. Engineering optimization, 2010(3): 261-266.
- [13] 刘长平, 叶春明. 具有混沌搜索策略的蝙蝠优化算法及性能仿真[J]. 系统仿真学报, 2013, 25(6): 1183-1188, 1195.
- [14] 莫愿斌, 刘付永, 张宇楠. 带高斯变异的人工萤火虫优化算法[J]. 计算机应用研究, 2013, 030(1): 121-23.

作者简介:

杜艳艳 女, (1993-), 硕士研究生. 研究方向为群智能算法、计算机应用.

刘升 (通讯作者) 男, (1966-), 博士, 教授. 研究方向为计算机应用、智能计算、人工智能.

E-mail: ls6601@sina.com.