

开环相位调制器实现技术

姜学平

(全球能源互联网研究院, 北京 102211)

摘 要: 为了提高极坐标发射机可以支持的数据率, 研究了宽带开环相位调制器的实现技术, 并基于 65 nm CMOS 工艺实现了该款开环相位调制器电路, 其版图面积仅为 $0.2 \mu\text{m}^2$, 功耗为 13 mW, 平均相位步长为 0.703° , DNL 为 0.525LSB

关键词: 相位调制器; 宽带; 开环; 发射机

中图分类号: TP39

文献标识码: A

文章编号: 1000-7180(2017)07-0088-04

Implementation of Open Loop Phase Modulator

JIANG Xue-ping

(Global Energy Interconnection Research Institute, Beijing 102211, China)

Abstract: In order to improve the polar transmitter can support the implementation of data rate, this paper studies the technology of broadband open loop phase modulator, and based on 65nm CMOS technology to achieve the open-loop phase modulator circuit, the chip area is only $0.2 \mu\text{m}^2$, power is 13mW, the average phase step DNL for 0.525LSB.

Key words: Phase Modulator; Wideband; Open Loop; Transmitter

1 相位调制原理

通常采用的相位调制方式有单点相位调制技术^[1]、两点相位调制技术^[2]以及开环相位调制技术^[3]等。其中开环相位调制技术中相位调制是在 PLL 环路以外完成的, 即载波产生模块和数据调制模块是分离的, 调制信号不会经过环路滤波器, 因此可以支持很宽的带宽。

设载波信号为 $U\cos(\omega_c t + \varphi_0)$, 调制信号为 $\varphi(t)$, 得到的相位调制信号为

$$S_m(t) = U\cos[\omega_c t + K_p\varphi(t)] \quad (1)$$

式中, U 是恒定的载波幅度; $[\omega_c t + K_p\varphi(t)]$ 是瞬时相位, $K_p\varphi(t)$ 是瞬时相位偏移。在本文采用的开环相位调制结构中, 相位信号会被再次转移到笛卡尔坐标系中, 以 X/Y 的形式表示, X/Y 和相位关系如下:

$$X(t) = \cos\varphi(t) \quad Y(t) = \sin\varphi(t) \quad (2)$$

如果把 X/Y 信号分别与两个相差为 90° 的正交信号相乘, 如式(3):

$$\begin{aligned} PM_{L_o}(t) &= \cos\omega_c t \cos\varphi(t) + \sin\omega_c t \sin\varphi(t) \\ &= \cos(\omega_c t + \varphi(t)) \end{aligned} \quad (3)$$

对比式(3)和式(2)可以发现, $PM_{L_o}(t)$ 就是相位调制后的信号, 此时 K_p 等于 -1 。

基于此, 我们只需设计一款电路能够实现式(3)中的运算, 即实现相位调制。相位差值器就是这样一款可以实现相位调制的电路, 其原理框图如图 1 所示。瞬时相位信息以数字控制信号的方式加入该电路, 对来自锁相环的载波信号的幅度进行控制, 通过矢量合成方式, 可以实现如式(3)所示的三角函数和积功能, 从而完成开环相位调制。

2 开环调制器电路

2.1 传统模型

相位插值器(Phase Interpolator, PI)常应用于时钟恢复电路中(CDR)^[4], 它可以通过控制两相正交时钟信号的权重来产生任意的相位, 如式(4)

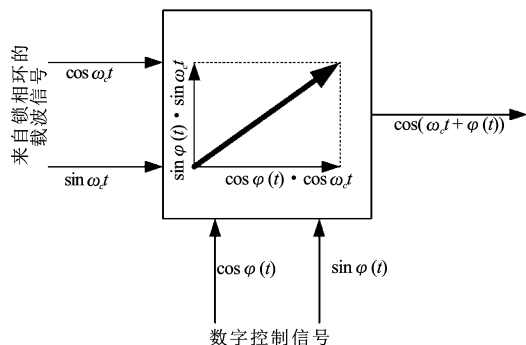


图 1 开环相位调制器原理

$$V_{\text{OUT}}(t) = a_1 I_{\text{clk}} + a_2 Q_{\text{clk}} \quad (4)$$

图 1 给出了本文所设计的 ADC 的结构框图. 其原理如图 2(a) 所示, I_{clk} 和 Q_{clk} 是两个互相正交的基向量, 分别乘以权重因子 a^1 和 a^2 做向量加法就可以任意的相角. 最常见的电路实现方式如图 3 所示. 式(4)中的权重因子 a^1 取决于可调电流源 I_1 和 I_2 的差值, a^2 取决于 I_3 和 I_4 的差值. 作为理想的相位插值器希望只有输出相位是改变, 幅度保持不变, 否则可能引入 AM-PM 失真, 故 a^1 和 a^2 应该满足式(5):

$$a_1^2 + a_2^2 = 1 \quad (5)$$

如图 2(a) 虚线所示, 所有合成向量的终点都在一个单位圆上, a_1 和 a_2 相角 φ 的关系如图中 2(b) 中的虚线所示. 但实际上许多 CDR 电路设计中, 为了电路简单, 通常会使用三角波近似 a_1, a_2 和相角 φ 之间的正余弦关系, 即 $a_1 + a_2 = 1$, 合成的相位所有合成向量的终点如图 2(a) 所示, 此时输出信号的幅度是变化的, 实际的合成相位和理想的合成相位之间也存在偏差.

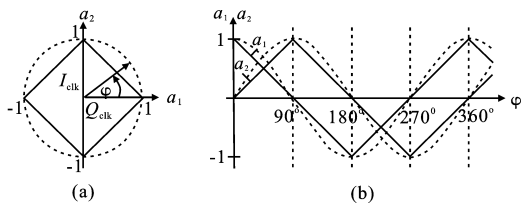


图 2 相位插值器原理

2.2 PI 核心单元设计

为了克服原有相位插值器的缺陷, 本文采用了一种新的相位插值器, 其核心由两组希尔伯特 (Gilbert) 混频器单元阵列构成, 通过控制阵列中处于工作状态的单元数目来实现权重控制, 如图 4 所示. 调制信号 X/Y 控制开关管 M9~M12 的导通和关闭, 本振信号驱动放大管 M1~M8, X/Y 阵列电流信号

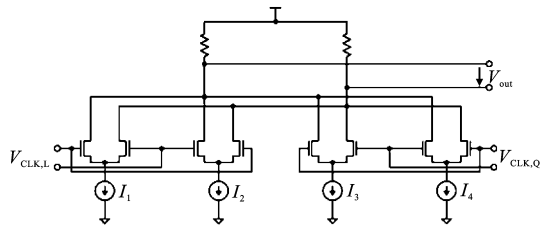


图 3 CDR 电路中常见的 PI 实现

在输出节点叠加, 负载电阻将电流转换为电阻输出到下一级电路. 此处的 M9~M10 的栅极是数字信号驱动的, 工作在线性区; M1~M8 的栅极连接的是幅度经过了衰减和滤波的本振信号, 峰峰值约 200 mV, 是小信号, 与传统混频器工作状态刚好相反. 研究 X 阵列中的单个 Gilbert 单元可以发现, 放大管的栅极到输出的增跨导为

$$g_{mi} = \sqrt{2\mu_0 C_{\text{ox}} \left(\frac{W}{L}\right)_{\text{M1}} I_+} - \sqrt{2\mu_0 C_{\text{ox}} \left(\frac{W}{L}\right)_{\text{M3}} I_-} \quad (6)$$

式中, C_{ox} 为单位面积氧化成电容; μ_0 为电子迁移率; $(W/L)_{\text{M1}}$ 是 M1 和 M2 的宽长比; $(W/L)_{\text{M3}}$ 是 M3 和 M4 的宽长比. I_+ 和 I_- 分别是流过 M9 和 M10 中的静态电流, M1~M4 的大小相同, M9 和 M10 大小相同. 通过控制 I_+ 和 I_- 的大小可以控制 g_{mi} 大小. 当 $\text{XP} < i >$ 和 $\text{XN} < i >$ 中同时为高电平时, M9 和 M10 同时打开, 其中流过的电流相同, I_+ 和 I_- 均为 $I_0/2$, 此时 g_{mi} 为 0; 当 $\text{XP} < i >$ 为高电平且 $\text{XN} < i >$ 为低电平时, I_+ 为 I_0 , I_- 为 0.

$$g_{mi} = 2\sqrt{\mu_0 C_{\text{ox}} \left(\frac{W}{L}\right)_{\text{M1}} I_0} \quad (7)$$

当 $\text{XP} < i >$ 为低电平且 $\text{XN} < i >$ 为高电平时, I_+ 为 0, I_- 为 I_0 ;

$$g_{mi} = -2\sqrt{\mu_0 C_{\text{ox}} \left(\frac{W}{L}\right)_{\text{M1}} I_0} \quad (8)$$

因此单元模块可以实现输出正增益、负增益和零增益三种状态.

X/Y 均为 8 位有符号数, 其符号位可以通过单个单元模块的正负增益体现, 因此只需用 7 位数值来控制打开单元的数目. 本文为了保持数模转换时的单调性, 采用温度计码的方式, 两路本振分别驱动 127 个 Gilbert 单元. X 阵列中所有单元总的输出增益为

$$g_{m_X} = \sum_{i=0}^{126} g_{mi} \quad (9)$$

由于每个单元之间的等价性, 式(9)可以演

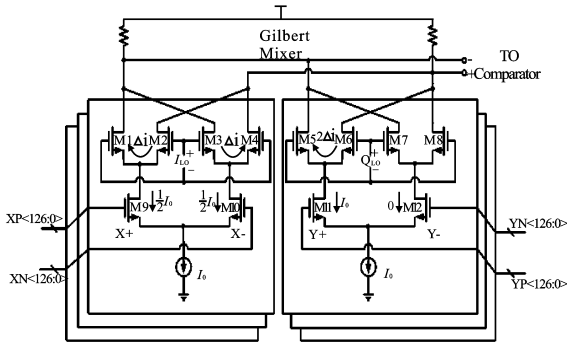


图4 相位插值器的原理图

变为

$$g_{m_X} = \left(\sum_{i=0}^{126} XP_i(t) - \sum_{i=0}^{126} XN_i(t) \right) \times 2\sqrt{\mu_0 C_{ox} \left(\frac{W}{L} \right)_{M1} I_0} \quad (10)$$

式中, XP_i 和 XN_i 只能是 0 或者 1, 同理可以得到:

$$g_{m_Y} = \left(\sum_{i=0}^{126} YP_i(t) - \sum_{i=0}^{126} YN_i(t) \right) \times 2\sqrt{\mu_0 C_{ox} \left(\frac{W}{L} \right)_{M1} I_0} \quad (11)$$

所以 PI 的输出如式(12) 所示.

$$V_{out}(t) = \left(\sum_{i=0}^{126} XP_i(t) - \sum_{i=0}^{126} XN_i(t) \right) \times 2R\sqrt{\mu_0 C_{ox} \left(\frac{W}{L} \right)_{M1} I_0} \cos(\omega_c t) + \left(\sum_{i=0}^{126} YP_i(t) - \sum_{i=0}^{126} YN_i(t) \right) \times 2R\sqrt{\mu_0 C_{ox} \left(\frac{W}{L} \right)_{M1} I_0} \sin(\omega_c t) \quad (12)$$

通过合理的编码方式使得

$$X = \left(\sum_{i=0}^{126} XP_i(t) - \sum_{i=0}^{126} XN_i(t) \right) \\ Y = \left(\sum_{i=0}^{126} YP_i(t) - \sum_{i=0}^{126} YN_i(t) \right) \quad (13)$$

由于本文控制本振的调制信号 X/Y 是由数字相位信号通过 CORDIC 算法得到的, 本来就与相位 $\varphi(t)$ 成正余弦对应关系, 将式(13) 和(2) 带入(12) 可以得到

$$V_{out}(t) = 2R\sqrt{\mu_0 C_{ox} \left(\frac{W}{L} \right)_{M1} I_0} \cos(\omega_c t) \cos(\varphi(t)) + \sin(\omega_c t) \sin(\varphi(t)) \quad (14)$$

对比式(14) 和式(3), 可以发现 $V_{out}(t)$ 就是相位调制信号.

式(13) 借助温度计编码器实现. 当 X 大于或等

于零时, $XP < 126:0 >$ 全部输出高电平, $XN < 126:0 >$ 是二进制数 X 做温度计编码, 然后输出取反; 当 X 小于零时, $XN < 126:0 >$ 全部输出高电平, XP 是二进制数 X 做温度计编码, 然后输出取反. $YN/YP < 126:0 >$ 的编码方式同理.

本设计中权重控制信号满足 $a_1^2 + a_2^2 = 1$, 不需要三角波近似, 相位插值器输出信号幅度恒定. 对于单个单元, 不管是正增益、负增益还是零增益, 流入到两个负载电阻的静态电流都是 $I_0/2$, 因此该设计还保证了输出节点的直流静态工作点不受到调制信号的影响.

3 开环相位调制器版图设计

图 5 为开环相位调制器的版图, 为了尽量减小 PI 中各个单元间的失配、降低版图不对称对 PI 的线性度影响, PI 采用阵列摆放. 其中 I/Q 两路的版图上下镜像对称. 图中余下的面积将加入电源地之间耦合电容以减小电源电压的波动. 电路模块整体大小为 $540 \text{ nm} \times 377 \text{ nm}$.

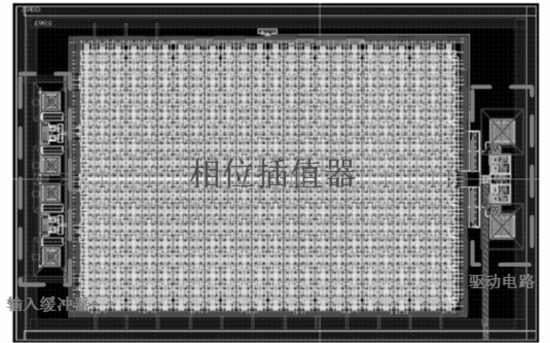


图5 开环相位调制器的版图

图 6 给出了在开环相位调制器的仿真环境. 由于数模混合仿真的速度太慢, 此处用 VerilogA 实现了 Phase To X/Y 模块和相位温度计编码产生 PI 的控制向量. 通过测量驱动器差分输出结果 PM_{LO} 的过零点可以间接测量相位, 当相位控制信号 PHASE 逐渐增大时, 过零点会提前, 图 7 给出了相位信号等于 0, 64, 128, 192, 256, 320, 384, 448 这 8 种情况下的驱动器差分输出. 将相位信号 PM 从 0 ~ 511 进行扫描得到 512 个过零点, 导入 Matlab 进行数据分析, 以 $PM=0$ 时的输出相位为基准, 根据载波信号的频率可以对应算出输出相位, 计算方法如式(15):

$$\varphi(i) = \frac{t_{cross}(i) - t_{cross}(0)}{T_{LO}} \cdot 360^\circ \quad (15)$$

图 8 给出了 4 个工艺角下相位控制字从 0 变换

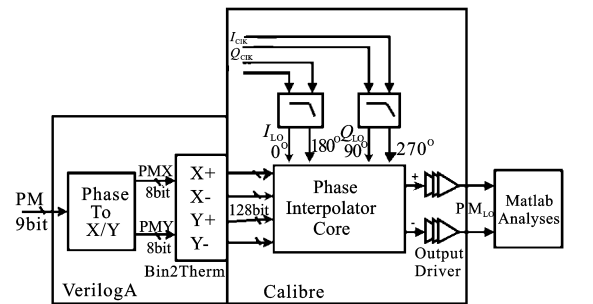


图6 开环相位调制器仿真平台

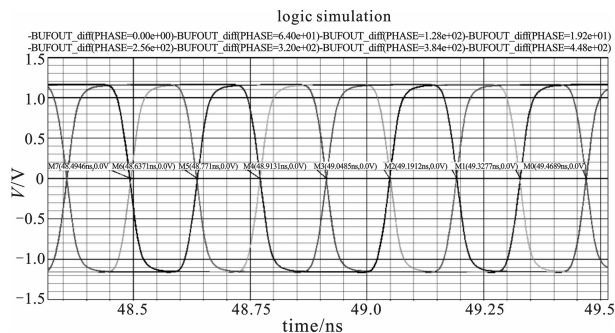


图7 驱动器差分输出过零点变化

(PHASE=0,64,128,192,256,320,384,448)

到511时PI实际输出的相位,以及与理想相位之间的偏差。相位插值器的平均步长为 0.703° ,与9比特的设计指标符合,最大步长为 1.0725° ,DNL为 0.525 LSB 。从仿真结果可知实现了一款高精度、高线性度的相位插值器。采用数字预失真技术,相位线性度将会进一步提高。相位插值器在 1.2 V 电源电压下,消耗的电为 10.8 mA 。

4 结束语

本文介绍了闭环相位调制和开环相位调制的原理和优缺点,基于宽带需求选择了开环相位调制器,并详细描述了基于希尔伯特单元的开环相位调制器的工作原理,提出了一种新的单元工作状态控制模式,保证了PI的输出即是恒包络的也具有稳定的静

态工作点。

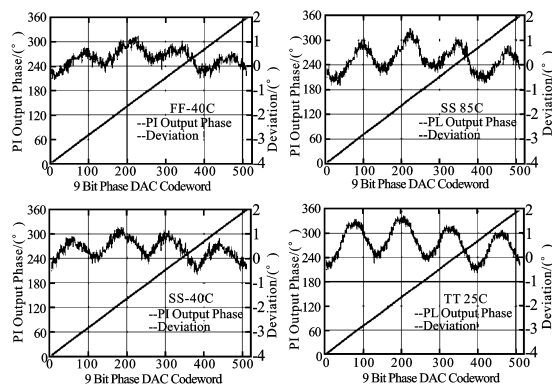


图8 各工艺角下PI输出相位和相位控制字对应关系

参考文献:

- [1] Song Z, Liu X, Jin Z, et al. A 180nm CMOS wireless transceiver by utilizing guard band for narrowband IoT applications[C]// Solid-State Circuits Conference (A-SSCC), 2015 IEEE Asian. IEEE, 2015: 1-4.
- [2] Staszewski R B, Wallberg J L, Rezek S, et al. All-digital PLL and transmitter for mobile phones[J]. Solid-State Circuits, IEEE Journal of, 2005, 40(12): 2469-2482.
- [3] Ye L, Chen J, Kong L, et al. Design considerations for a direct digitally modulated WLAN transmitter with integrated phase path and dynamic impedance modulation[J]. Solid-State Circuits, IEEE Journal of, 2013, 48(12): 3160-3177.
- [4] Kreienkamp R, Langmann U, Zimmermann C, et al. A 10-Gb/s CMOS clock and data recovery circuit with an analog phase interpolator[J]. Solid-State Circuits, IEEE Journal of, 2005, 40(3): 736-743.

作者简介:

姜学平 男,(1963-),博士。研究方向为智能芯片、物联网、智能终端和系统的开发和应用。

E-mail:wangzj11@hotmail.com.

(上接第87页)

- [10] 曾文权,何拥军,崔晓坤. 基于各向异性滤波和空间FCM的MRI图像分割方法[J]. 计算机应用研究, 2014,31(1):316-320.
- [11] 李竹林,王静. 一种基于滤波的分段点乘图像分割算法[J]. 电子设计工程,2016,24(23):1-3.
- [12] 陈恺,陈芳,戴敏,等. 基于萤火虫算法的二维熵多阈值快速图像分割[J]. 光学精密工程, 2014, 22(2): 517-523.

- [13] 廖婷. 基于多尺度快速清晰度估计的多聚焦图像超分辨率融合技术研究[J]. 现代电子技术, 2016, 39(15): 47-49.

作者简介:

潘亚女,(1980-),硕士,讲师。研究方向为图形图像处理、软件工程、人工智能等。E-mail:wghpywmk@sina.com.