

一种基于斩波技术的轨到轨运算放大器的分析与设计

王 丹¹, 郭桂良², 姜 宇², 吕英杰¹, 阎跃鹏²

(1 南开大学 电子信息与光学工程学院, 天津 300071; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 采用 TSMC 0.18 μm CMOS 工艺, 设计实现了一种低压、低失调、恒跨导的轨到轨运算放大器. 运算放大器在保证输入级跨导在整个共模范围内恒定的前提下, 采用轨到轨的折叠共源共栅输入级, 输入管工作在亚阈值区, 采用反馈式 AB 类输出级以实现轨到轨的输出摆幅, 同时采用斩波稳定技术减小输入参考失调和噪声. 电路工作在 1 V 单电源电压下, 仿真得到 119 dB 的直流增益和 5.6 MHz 的增益带宽积. 蒙特卡罗仿真结果显示失调电压分布的标准差为 14 μV , 输入噪声谱密度为 18.19 $\text{nV}/\sqrt{\text{Hz}}$.

关键词: 低压; 低失调; 恒跨导; 斩波稳定技术

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)10-0097-04

Analysis and Design of a Rail-to-Rail Operational Amplifier Based on Chopper Technology

WANG Dan¹, GUO Gui-liang², JIANG Yu², LV Ying-jie¹, YAN Yue-peng²

(1 School of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China;

2 Institution of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A rail-to-rail operational amplifier with low-voltage low-offset and constant transconductance is designed in TSMC 0.18 μm CMOS process. The operational amplifier has a rail-to-rail folded cascode input stages, which ensures a constant transconductance over the available common-mode input range and all input transistors operate in sub-threshold region. A class-AB output stage with folded mesh feedback is used to achieve the rail-to-rail output range. The chopper stabilization technique is exploited to reduce the input referred offset and noise. The circuit is simulated in Cadence Spectre with a single 1 V supply. The simulation results show that the dc gain is 119dB and the GBW is 5.6 MHz. Montecarlo simulations demonstrate an offset distribution with 14 μV standard deviation. The input noise spectral density is 18.19 $\text{nV}/\sqrt{\text{Hz}}$

Key words: low-voltage; low-offset; constant transconductance; chopper stabilization technique

1 引言

CMOS 工艺尺寸按照摩尔定律在不断减小, 晶体管的集成度不断提高, 电源电压在不断降低, 而阈值电压并不与电源电压有相同的降低趋势, 这对模拟电路引入了工作点和信号摆幅的问题. 针对这一问题需要设计晶体管工作在亚阈值区, 同时还要有轨到轨的输入级以提高动态范围和信噪比^[1].

在传感器应用中, 被放大的模拟输入信号通常

是一个低频毫伏级的信号, 那么整个系统的性能就会受限于输入运放的失调电压和低频参考噪声. 对于 CMOS 工艺来说, 1/f 噪声和失调都很高, 运算放大器的失调电压一般达到毫伏级, 这样就无法分辨输入信号和失调, 导致电路工作不正常. 为了移除失调和 1/f 噪声的影响, 通常在电路中加入动态失调消除技术, 常用的是自动调零技术和斩波稳定技术^[2]. 自动调零技术的原理是信号采样, 先对失调和低频噪声信号进行采样, 再从信号中减去它们; 而斩

波稳定技术的原理是信号调制,传输信号、噪声和失调被调制到不同的频率,然后通过滤波器将失调和闪烁噪声滤除^[3]. 采用自动调零技术的运算放大器很难实现连续时间的应用,但自动调零技术不受运放带宽的影响,可以得到精确的直流响应和频率响应;斩波技术虽然可以实现连续时间的应用,同时可以消除放大器因失调电压导致的非线性问题,能有效地抑制器件的低频噪声,但是它的斩波频率受运放带宽的限制,而且在放大高频信号时其有效增益减小. 两种技术的应用有利有弊,需要在不同的应用场合下进行选择.

本文基于斩波稳定技术降低失调和低频噪声,在 1 V 的单电源电压供电的情况下达到轨到轨的输入输出摆幅.

2 运算放大器电路设计

2.1 轨到轨运算放大器设计

运算放大器实现轨到轨的输入共模电压与输出摆幅,电路结构如图 1 所示. 输入级采用互补差分对的折叠共源共栅结构,以达到轨到轨的共模输入范围,通过改进的开关电流结构^[4]使输入级跨导在共模输入范围内保持恒定. 输出级采用反馈式 AB 类输出结构^[4],以达到全摆幅的输出电压. 从图 1 中可以看到输出级的偏置电路嵌入到了输入级的求和电路中,这样不仅减少了偏置电流而且还使电路结构更加紧凑,减小芯片面积. 同时通过密勒补偿^[5]控制电路的零极点,保证放大器工作的稳定性.

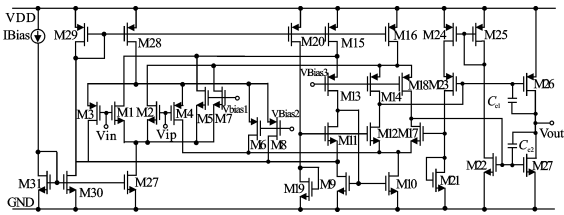


图 1 轨到轨运算放大器电路结构

NMOS、PMOS 并联的互补差分对结构正常工作需要满足最小的电源电压,以确保在输入共模电压变化过程中不会出现 NMOS 和 PMOS 差分对同时截止的情况,这个最小的电源电压为

$$V_{\text{sup, min}} = 2V_{\text{gs}} + 2V_{\text{dsat}} \quad (1)$$

在 CMOS 工艺中,由式(1)可以看出,电源电压的大小依赖于偏置电流的大小和晶体管的阈值电压,其最小电源电压约为 1.8 V. 而反馈式 AB 类输出级结构需要满足的最小电源电压为

$$V_{\text{sup, min}} = V_{\text{gs}} + 2V_{\text{dsat}} \quad (2)$$

其大小约为 1.1 V. 为了在较低的电源电压下,保证电路的工作性能,需要将输入级的互补差分输入对管置于亚阈值工作区.

2.2 斩波运算放大器的设计

斩波稳定技术是通过将传输信号调制到没有低频噪声和直流失调电压的高频,然后放大,接着将传输信号解调回基带,最后利用低通滤波器将高频处的噪声和失调电压滤除. 这一过程中的调制和解调均是通过一组开关管在频率为 f_{chop} 占空比为 50% 的方波信号控制下实现的. 斩波调制电路的实现形式如图 2 所示. 电路由四个开关管组成,且由两个互补相位的时钟控制. 电路结构简单,易于控制,但是 MOS 开关管会存在时钟馈通效应,这会给电路增加额外的残余失调电压.

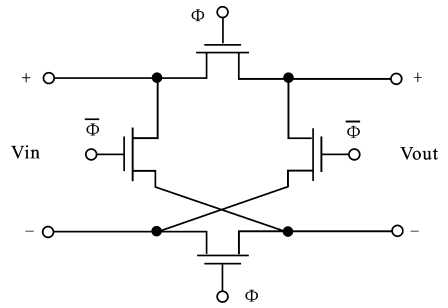


图 2 斩波调制电路的实现

对于斩波运算放大器的设计而言有两个重要的方面,一方面是斩波频率的设置^[6],另一方面是斩波位置的放置^[7]. 如果斩波频率设置的太高,则运算放大器的反馈环路可能没有足够的反应时间,在每次斩波周期翻转的时候电路到达不了稳定状态,导致电路失真严重,斩波的效果也会变得很差. 斩波频率还受运算放大器残余失调和噪声功率谱的限制. $1/f$ 噪声的输入功率谱密度为

$$S_{N-1/f}(f) = S_0 \frac{f_k}{f_{\text{chop}}} \quad (3)$$

式中, f_k 是运放的角频率. 从式(3)可以看出, f_{chop} 的值越大, $S_{N-1/f}$ 的值就越小. 斩波残余失调引起的运放的等效输入失调电压为

$$V_{\text{OS}} \cong 4\pi^2 f_{\text{chop}}^2 \Delta q R_{\text{ON}}^2 C_{\text{in}} \quad (4)$$

式中, Δq 为时钟关断时的注入电荷; R_{ON} 为开关管的等效输入电阻; C_{in} 为运算放大器的输入电容. 从式(4)可以看出, f_{chop} 的值越大,斩波残余失调引起的等效输入失调电压就越大. 综上所述,需要折中考虑斩波频率的大小,以达到最优结果. 本文选用的斩波频率 f_{chop} 为 400 kHz.

对于传统的差分输出运放结构通常使用两组斩

波开关,分别置于第一级运放的输入端和输出端分别对传输信号进行调制与解调,而本文设计的电路采用了三组斩波开关,一组置于输入端对输入信号进行调制,另外两组置于有源负载和共源共栅器件连接的低阻抗节点之间对输入信号进行解调,如图3所示.运放的第一级需要实现轨到轨的输入,为了减小电荷注入的影响,输入端的斩波开关采用传输门开关,同时其开关晶体管的尺寸可以采用最小尺寸.置于低阻抗节点 PMOS 端的斩波和 NMOS 端的斩波分别采用 PMOS 晶体管和 NMOS 晶体管的开关,此处开关管的设置与获得高的斩波速度有关.同时将传统的输出端处的斩波改为放置在低阻抗节点,有两方面的原因:一方面是因为输出端存在很大地小信号输出阻抗,很容易与开关管形成低通滤波,这样就限制了能够选用的斩波频率,将斩波开关放在小信号低阻抗处进行解调能很大的提高斩波频率,另一方面是因为斩波放在的低阻抗节点所切换的 MOS 管也是提供随机失调和噪声的主要来源.

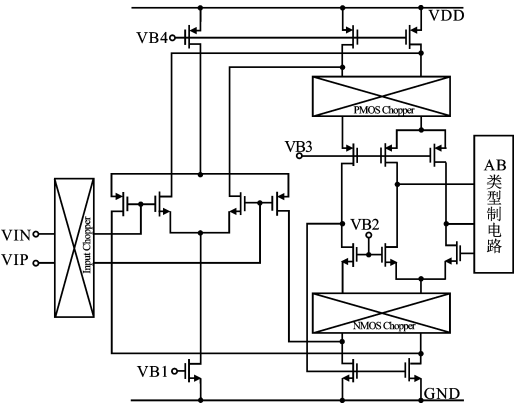


图3 斩波运算放大器

一般情况下噪声和失调电压的滤除,是通过 RC 低通滤波器实现的,但是从电路结构来看似乎并没有设计所需要的低通滤波器,那是因为电路的输出阻抗与负载电容正好组成一个满足所要求的低通滤波器,以达到滤除高频除的失调和噪声的效果.

3 电路仿真结果

本文设计的斩波运算放大器采用 TSMC 0.18 μm CMOS 工艺,在 1 V 的电源电压下,通过 Cadence 公司的 Spectre 仿真工具进行仿真分析.整体电路的静态功耗为 200 μW ,在整个共模输入范围内跨导保持恒定,如图4所示,跨导产生的误差约为 2.26%.

图5为运算放大器的输入共模电压为 0.5 V,负载为 20 pF 的情况下的开环频率响应.没有加入斩波稳定技术时电路的直流增益为 127 dB,加入斩波技术后,直流增益为 119 dB,单位增益带宽为 5.6 MHz,相位裕度为 62.23°,满足文献[4]中关于斩波影响电路直流增益的理论分析.图6为无斩波运放和斩波运放低频下周期性噪声仿真的对比结果.斩波运放有更低的拐角频率,且其噪声最后稳定在 18.19 $\text{nV}/\sqrt{\text{Hz}}$.

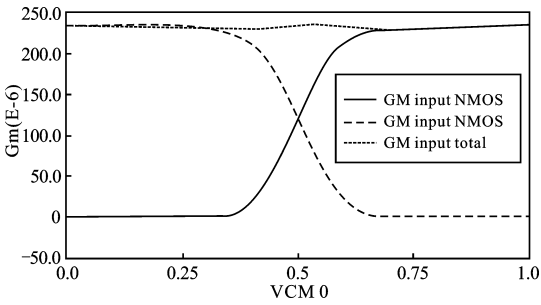


图4 输入级跨导随共模输入电压的变化

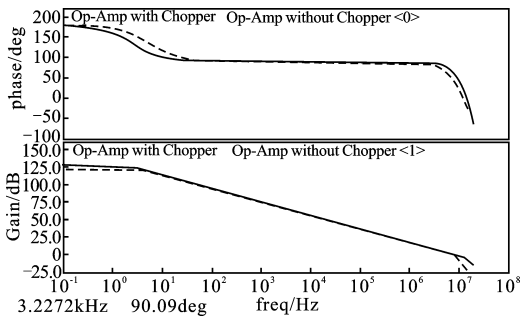


图5 运算放大器的开环频率响应

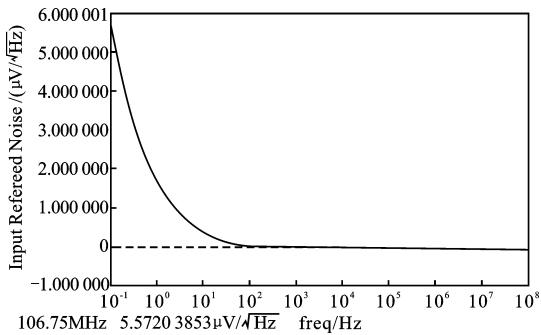


图6 输入参考噪声

图7为斩波运放通过蒙特卡罗仿真运行 1 000 次得到的输入失调电压的分布图,图中的标准差反映了失调电压偏移与概率的关系.图7显示其标准差 δ 为 14 μV ,而无斩波运放的输入失调电压仿真的得到的 δ 值为 1 mV,前者与后者相比大约降低了 50 倍.

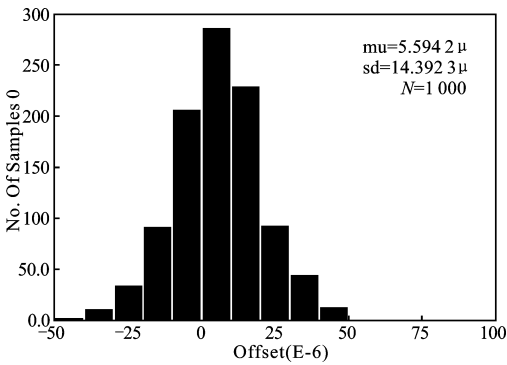


图 7 输入失调电压分布

表 1 本设计与其他结构的主要性能比较

性能参数	文献[6]	文献[5]	本文
工艺/ μm	0.35	0.35	0.18
电源电压/V	3.3	± 1.5	1
静态功耗/ μW	957	—	200
斩波频率/kHz	220	—	400
开环增益/dB	116	88	119
输入等效失调电压/ μV	57	18.7	$\delta=14$
输入等效噪声/($\text{nV}/\sqrt{\text{Hz}}$)	—	71.53	18.19
摆率/($\text{V}/\mu\text{s}$)	3.93	0.89	1.4
电源抑制比/dB	76	90	81
共模抑制比/dB	105	63.6	88

表 1 给出了实现轨到轨输入输出摆幅和采用斩波技术后的运算放大器的主要性能指标的对比结果。

4 结束语

本文采用 TSMC 0.18 μm CMOS 工艺,在 1 V 单电源电压下,设计实现了一种高增益、低失调、低噪声的轨到轨运算放大器。运放的输入对管均工作在亚阈值区,通过斩波稳定技术,运放的输入失调电压和 1/f 噪声被显著降低。运放的开环增益为 119 dB,增益带宽积为 5.6 MHz,相位裕度为 62.23°。在斩波频率为 400 kHz 下得到的失调电压分布的标准差为 14 μV ,输入参考噪声密度为 18.19 $\text{nV}/\sqrt{\text{Hz}}$ 。整体设计的仿真结果达到了低压高性能的运算

放大器的要求。

参考文献:

[1] Pipino A, Pezzotta A, Resta F, et al. A rail-to-rail-input chopper instrumentation amplifier in 28nm CMOS [C]// IEEE International Conference on Electronics, IEEE,2016:73-76.

[2] Bakker A, Thiele K, Huijsing J H. A CMOS nested-chopper instrumentation amplifier with 100-nV offset [J]. IEEE Journal of Solid-State Circuits, 2000, 35 (12): 1877-1883.

[3] Enz C C, Temes G C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated Double sampling, and chopper stabilization [J]. Proceedings of the IEEE, 1996, 84 (11): 1584-1614.

[4] Langen K J de, HuijsingJ H. Compact low-voltage power-efficient operational amplifier cells for VLSI [J]. IEEE Journal of Solid-State Circuits, 1998, 33 (10): 1482- 1496.

[5] 张雷. 一种低压高精度 CMOS 运算放大器设计[D]. 镇江:江苏大学, 2010.

[6] 彭新朝. 高增益恒跨导低失调轨至轨运算放大器的设计[D]. 广州: 华南理工大学, 2012.

[7] Ge Fuding, Farahani Bahar Jalali. A versatile chopper-stabilized rail-to-rail operational amplifier [C]// Symposium on Circuits & Systems. IEEE ,2008: 113-116.

作者简介:

王 丹 女,(1990-),硕士研究生. 研究方向为模拟集成电路设计. E-mail:wangdan199002@163.com.

郭桂良 男,(1981-),副研究员. 研究方向为模拟/射频集成电路设计.

姜 宇 男,(1983-),助理研究员. 研究方向为模拟/射频集成电路设计.

吕英杰 男,(1964-),副研究员. 研究方向为集成电路设计、嵌入式系统.

阎跃鹏 男,(1963-),研究员. 研究方向为微波/射频集成系统.