

基于高速数据采集的 NoC 路由器设计

许川佩, 刘 标

(桂林电子科技大学电子工程与自动化学院, 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: 针对 NoC 数据处理量越来越大, 确定性算法在数据量较大时, 数据包传输延迟增大, 而简单的自适应算法占用过多的片上资源等问题, 将改进 XY 自适应算法应用在片上网络中, 节点设计基于 2D_Mesh 拓扑结构、虚通道技术的虫洞交换模式. 采用 VerilogHdl 语言完成 NoC 路由节点中各个模块的设计, 并在 Modelsim 软件上进行仿真, 最终在 FPGA 上实现 NoC 路由器功能. 实验结果表明, 设计的路由器能够满足高速数据的处理, 且不会有延迟、死锁等问题的发生.

关键词: NoC; FPGA; 改进 XY 自适应路由算法

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2017)11—0140—05

Design of NoC Router Based on High Speed Data Acquisition

XU Chuan-pei, LIU Biao

(Guangxi Key Laboratory of Automatic Detection Technology and Instrument, School of Electronic Engineering and Automatic, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Since the quantity of data process for NoC is more and more large, the packet transmission delay is increased with the deterministic algorithm. However, the simple adaptive algorithm takes too many on-chip resources. To solve the problems, the improved XY adaptive routing algorithm is adopted in this paper. We design node based on 2D_Mesh topology structure and wormhole switching mode of virtual channel technology. In addition, VerilogHdl language is used to complete the design of each part function for NoC routing node. Finally, the simulation experiment is carried out on Modelsim software and the function of NoC routing node is implemented on FPGA. Experimental results show that, the router designed in this paper can satisfy the process of high speed data and avoid the delay and deadlock issues.

Key words: NoC; FPGA; improve XY adaptive routing algorithm

1 引言

伴随着半导体工艺的发展, 集成在单个芯片上的 IP 核越来越多, 而传统片上系统 (System On Chip, SoC) 由于地址总线位宽的限制, 使得总线结构的可扩展性问题变得尤为突出. 另外, 传统总线方式不支持一对以上的用户同时进行通讯, 总线结构的片上系统存在时间资源利用率低等问题^[1]. 片上网络 (Network_on_Chip, NoC) 是专为处理传统总线结构通信带宽可扩展度低, 时钟不能异步以及片上功耗较大等问题而产生的一种新的技术. NoC 可

以从系统结构上解决总线设计的问题. 随着 NoC 设计方法的提出, 如何改进 NoC, 从而提高 NoC 数据处理量成为了研究热点.

2 NoC 相关研究

2.1 拓扑结构

NoC 是由通信节点和这些通信节点之间通过一定的网络拓扑方式组成的片上结构, 这种拓扑方式决定了数据的路由方式、仲裁算法、路由算法以及映射机制等问题. 对于确定的片上网络结构, 各路由节点之间的通信方式对网络性能会产生较大影响.

拓扑结构分为两大类:规则型与非规则型,由于规则型结构具有可复用性等优势,而且可以降低设计时间以及成本等,故本文针对 2D_Mesh 结构^[2]开展路由节点的研究. 路由器结构模型如图 1 所示,其中,每一个路由节点的四个方向都与其相邻的节点互连,本地方向通过资源网络接口(RNI)与本地资源节点互连.

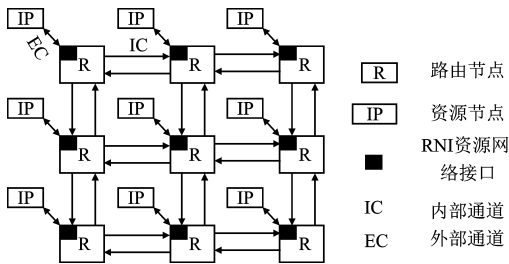


图 1 路由器模型结构

2.2 路由算法的选择策略

路由算法是决定路由器吞吐量的因素之一,好的路由算法可以使路由器的吞吐量得到极大的提高. 而在现有的 NoC 路由器设计大都基于确定型路由算法和简单自适应算法的研究^[3]. 确定性算法实现简单,而在网络低拥塞的情况下,能够获得较低的通信延迟,但是该算法的缺点是不能根据当前的网络拥塞情况对路由的路径进行自适应调整,故当网络拥塞时,数据包在网络中的传输延迟会增大,引起路由器死锁的发生,造成路由器的吞吐量降低,从而片上网络的性能也会降低. 简单的自适应路由算法虽然会根据片上网络路径的拥塞情况对路由路径做出相应调整,从而使片上网络的性能能够维持在一个相对稳定的状态. 但简单的自适应路由算法也存在许多的弊端,例如当数据在片上路由器传输时,根据简单路由自适应算法,数据包可能会绕径传输,将会带来一定的传输延时可能还会引起活锁^[4],且路径在片上网络系统处于低拥塞时,自适应路由算法的复杂逻辑,会占用较多的片上资源还会时延等问题.

基于上述问题,本文选择改进 XY 自适应路由算法^[5],该算法将简单自适应路由算法与确定性 XY 路由算法灵活地结合在了一起,在网络拥塞的情况下,根据源地址与目的地址按确定性路由算法的传递原则,数据会沿最短路径传输到目的节点,不会造成额外的传输延时. 而在片上网络拥塞时,数据会根据片上网络的拥塞情况,自适应调整传输路径,提高网络的吞吐量,在不过度占用片上资源的情况下,实现自适应路由. 可以很好的降低片上资源利用

率,有效提高路由器的吞吐量.

2.3 数据处理格式

路由节点以基于数据包的形式进行数据传输,数据包分为头 flit、数据 flit、尾 flit,微片长度为 34 位,前两位代表微片类型(01:头微片;10:数据微片;其他:数据微片)是在资源网络接口加入的. 头微片包含路由的源地址和目的地址,数据微片携带要传递的有效数据,尾微片代表数据的结束和释放占用链路.

2.4 数据包的交换类型

NoC 对片上缓冲资源和延迟有着严格的要求,故本文采用虫洞交换方式. 虫洞是头微片在网络中开辟路径,数据得以在网络中以流水的方式传输,当数据堵塞时,当前节点只需要缓存已进入节点的数据微片,故路由器只需要很小的缓存空间,同时虫洞交换还可以减小路由过程中每一级的存储转发延时.

3 NoC 路由节点的设计

路由器五个端口的构成相同,每一个端口由虚通道控制器、路由译码器、仲裁器、虚通道、虚通道读写选择器、交换开关组成,图 2 为路由节点模型. 路由节点内部各端口之间通过交换开关互连. 路由节点的四端口与相邻的节点端口互连,本地端口则通过资源网络接口(RNI)与本地资源节点连接.

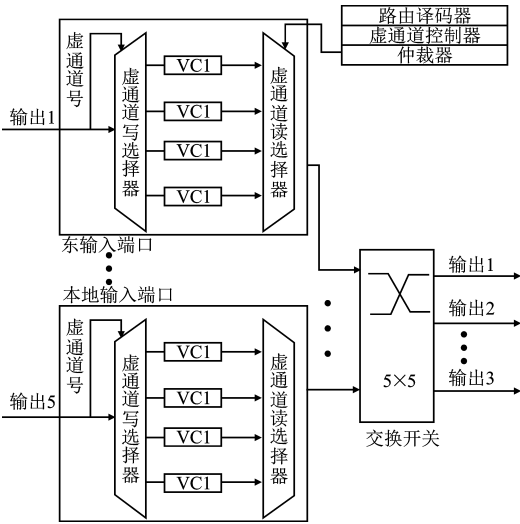


图 2 路由节点模型

3.1 输入缓存及控制模块

为了降低 NoC 片上网络资源的消耗,路由节点只在输入端设置了缓存通道,缓存通道采用异步 FIFO 来实现,因为在路由节点中,各个模块之间的时钟频率是不同步的,需采用 GALS(全局同步局部异步)技术来实现,而异步 FIFO 正好能够实现读、写时钟异步,而且可

以缓解网络拥塞. 文中路由节点每个方向都设立 4 个缓存通道, 经研究发现缓存通道的数量超过 4 以后, 其对片上网络性能提高并不明显^[6]. 缓存通道是由读、写选择器来控制的. 基于本文采用虫洞交换方式来处理数据, 路由堵塞时, 数据分存在多个路由节点里, 当其他方向的数据发来时, 路由计算模块无法识别此帧与上帧是否属于同一个数据包, 为了保证数据包的一致性, 故采用以下方法进行判别^[7].

当相邻节点向本地端口发出输出请求信号(req_in)的同时将头 flit 送到虚通道控制器中, 当虚通道控制器检测到有请求信号(req)后, 将当前进入的头微片与之前保存在四个寄存器中的头微片进行比较. 如果不相等, 则由虚通道控制器给出相应的应答

信号 grant、保存当前头信息至 reg_headflit, 并根据虚通道的存储情况分配一条新的虚通道, 用于接收相邻节点发来的数据. 如果检测接收到的头微片与原寄存器中的头微片相同, 则数据包可能在传输中遇到了阻塞, 请求失败, 不反馈应答信号. 通过上述操作, 即便在路由节点发生堵塞的情况下, 同一个数据包的数据微片只会在同一个虚通道中传递, 不会掺杂其他的数据微片, 接收端接收到的会是一个完整的数据包. 图 3 为虚通道控制模块的功能仿真过程. 当资源节点通过 RNI 发送请求到本地虚通道控制器, 由于四个虚通道都为空且头微片与之前存储的微片都不相同, 故给出应答信号且选择虚通道一实现数据的传输.

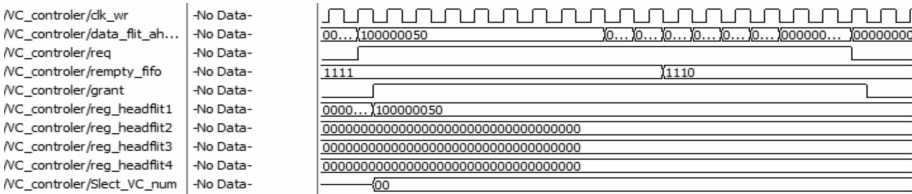


图 3 输入缓存控制模块仿真波形图

3.2 路由算法单元

路由算法单元的主要作用是根据接受收到的包头里的路由信息对数据的发送方向做出选择, 同时向该方向的输出端口发送输出请求, 当得到输出端口同意使用的情况下, 把数据包朝输出端口传输. 详细步骤如下.

当虚通道中存在数据时, 改进 XY 自适应路由算法将头微片里面的信息译码得到相应的请求信息, 路由控制模块根据相应的请求信息按路由算法的规则同时向 X、Y 两个输出端口仲裁器发送输出请求信号(req_x)、(req_y), 如果输出端口仲裁器送来应答信号(grant_x)、(grant_y), 则取消(req_y), 得到应答信号就令(rden_invx)有效, 同时, 将 X 输出方向和交换开关之间建立链路, 再把虚通道中的数据传到交换开关(crossbar), 交换开关再将数据由输出链路送到下个路由节点的虚通道. 如果只收到一个应答信号(grant_x)或(grant_y), 则取消没有收到应答信号方向发出的请求信号, 建立 X 或 Y 方向与交换开关之间的链路, 同时令(rden_invx)有效, 将虚通道数据送至交换开关. 若读空虚通道或者对应的请求仲裁器未响应而导致通讯发生了堵塞, 则断开与交换开关之间的链接并选择其他虚通道进行数据传输, 路由算法流程如图 4 所示.

3.3 仲裁机制

路由节点中, 当有多个方向朝一个方向发出输出请求信号, 仲裁机制就要对这些请求输出信号做出仲裁, 给出应答信号, 并向下个路由节点发出输出信号. 仲裁机制的选择有多种, 如: 静态优先权法^[8]、最老优先权法、随机法、轮询调度法^[9]等. 本文采用轮询仲裁法, 这种方法响应完一个请求信号后, 按优先权法轮询下一个请求信号, 直到所有的请求信号全部响应完成后进入下一个循环, 保证了每一个端口不会出现“饿死”等现象.

3.4 交换开关

交换开关模块位于路由节点的核心位置, 它的作用是将数据从输入端口的交换到另一个端口的输出缓存区. 路由节点所有输入、输出端口都连接到交换开关上, 交换开关可以看成由多个多路选择器组成^[10]. 多路选择器根据开关信号, 对多路数据进行选择性的传递, 实现数据在路由节点里的传输. 图 5 为交换开关中的数据传输示意图.

4 仿真与结果分析

4.1 功能验证

对于片上网络来说, 路由器的吞吐量关系着整个网络的通信情况, 因此路由器功能的验证是整片上网络最重要的一个环节, 本文设计的 NoC 器由 9

个路由由节点组成,其中有 8 个资源节点通过资源网络接口以 20 M 速度向 8 个路由节点发送位宽为 32 数据,路由器以 200 M 的时钟频率将数据发送至目的路由节点传出,实现 NoC 路由器上数据的高速运行. 仿真图形如 6 所示. 从图中可以看出,当多个路由节点 R1 到 R8,通过输入端口 send_data_in 同时

向路由节点 5 发送数据,而路由节点 5 的输出端口 receive_data_out5 将数据按 R1 到 R8 的顺序依次发出,数据的接收顺序符合高速数据采集的要求,且不会造成路由器堵塞等现象的发生. 经过多次验证,本文设计的路由器能够满足高速数据传输.

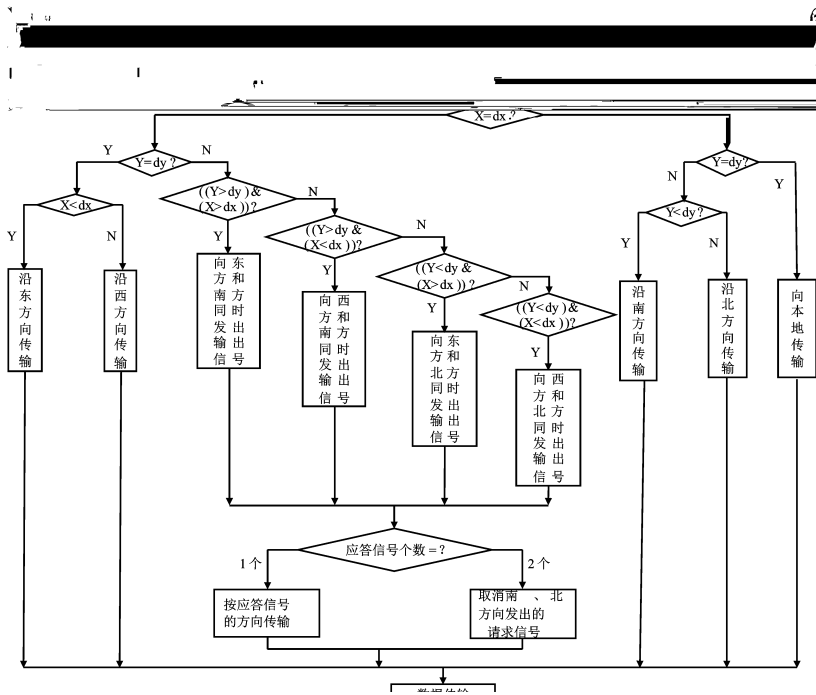


图 4 基于改进 XY 自适应路由算法流程图

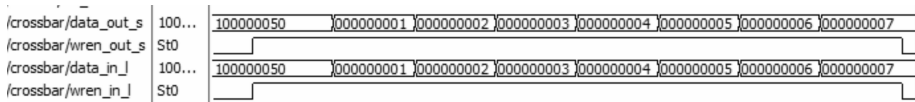


图 5 交换开关仿真波形图

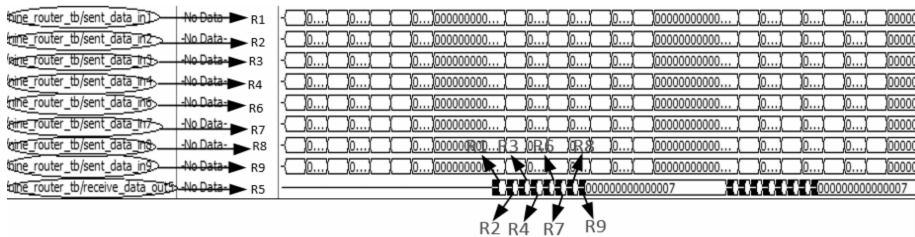


图 6 路由器仿真结果

4.2 片上资源占有率分析

路由器的各部分模块基于 Veriloghdl 语言编写,在 modelsim10.1 上对完整的路由系统进行验证,并在 Quartus14.0 上去综合编译和布局,最终在基于 ALTERA 公司 CycloneIV 系列 FPGA 芯片 EP4CE115F29C7 搭建 NoC 系统,完成九个路由节

点之间相互转发的调试验证工作. 表 1、2 为分别为确定性 XY 维序算法与改进 XY 自适应算法综合编译之后片上资源占用量,改进 XY 自适应路由算法相比 XY 维序算法逻辑资源占用并未增加很多,很好的适应片上网络低资源占用率要求.

表 1 XY 确定性算法 FPGA 上资源使用情况

资源种类	使用数目	可用总数	资源利用率/%
combinetional fuction	19 367	114 480	17
Dedicated logic register	22 863	114 480	20
Tetal logical functions	27 661	114 480	24

表 2 改进 XY 自适应算法 FPGA 上资源使用情况

资源种类	使用数目	可用总数	资源利用率/%
combinetional fuction	25 997	114 480	18
Dedicated logic register	21 177	114 480	23
Tetal logical functions	31 879	114 480	28

5 结束语

本文针对 2D_Mesh 结构 NoC,基于改进自适应 XY 路由算法和轮询仲裁机制,将虚通道技术与虫洞路由等技术相结合,以实现片上网络路由器设计,并将其应用于 NoC 系统.实验结果表明,该设计可以实现数据在片上网络中高速数据的传输,并不会造成堵塞等现象的发生.同时,路由节点的设计也不会占用过多的片上资源,对片上网络的发展有着积极的意义.

参考文献:

[1] 欧阳一鸣,董少周,梁华国. 基于 2D Mesh 的 NoC 路由算法设计与仿真[J]. 计算机工程, 2009, 35(11): 227-235.

[2] Wu W T,Louri A. A Methodology for cognitive NoC

design[C] // IEEE Computer Architecture Letters. IEEE,2015:1-4.

[3] 许川佩,邱凭婷,万春霆. 基于 FPGA 的片上网络路由器并行测试研究[J]. 微电子学与计算机, 2015, 32(12):163-168.

[4] 岳峰,李润丰,陈田,刘军等. 基于随机路由的高性能片上路由器设计与仿真[J]. 电子测量与仪器学报, 2013,27(7):22-26.

[5] 贾佳. 基于 NoC 的改进 XY 自适应路由算法的设计[D]. 西安:西安电子科技大学,2011.

[6] 王荣阳,袁泉,陈栋,王科. 基于 FPGA 的 32 位片上网络设计与验证[J]. 航空电子技术,2015,46(3):42-46.

[7] 许川佩,仁智新. 基于 FPGA 的 NoC 路由器的设计[J]. 微电子学与计算机,2012,29(8):53-57.

[8] Zhu J Y,Qian Z L,Tsui C Y. A high performance NoC router architecture using bi-directional link with double data [J]. Integration-the Vlsi Journal, 2016:30-42.

[9] 万玉鹏,吴宁. 基于自适应算法的 NoC 路由单元的系统级设计[J]. 微电子学与计算机,2010,27(5):42-49.

[10] 张颖,吴宁,葛芬. 基于路径的无死锁 NoC 多播路由器的设计[J]. 微电子学与计算机,2014,30(11):1-5.

作者简介:

许川佩 女,(1968-),博士,教授,硕士生导师. 研究方向为集成电路测试及嵌入式系统应用.

刘 标(通讯作者) 男,(1989-),硕士研究生. 研究方向为集成电路设计. E-mail:827677504@qq. com.