

一种新颖的抗辐射加固 SR 锁存器设计

苏 霖¹, 王 佳¹, 高 武¹, 郑 然¹, 魏晓敏¹, 胡永才²

(1 西北工业大学 计算机学院, 陕西 西安 710072; 2 斯特拉斯堡大学, 法国 斯特拉斯堡 67037)

摘 要: 为了设计出抗辐射加固的 DC-DC 开关电源振荡器, 其中 SR 锁存器的抗辐射性能至关重要, 提出了一种新颖的抗辐射加固 SR 锁存器电路。该抗辐射加固 SR 锁存器基于空间冗余设计的思想, 已经在标准商用 2P5M 0.25 μm 工艺下设计和验证, 电路版图面积为 $130\ \mu\text{m} \times 50\ \mu\text{m}$, 能够抗最大的总剂量效应为 100 kRad(Si), 可以承受的最大线性能量传输 LET 为 $85\ \text{MeV} \cdot \text{cm}^2/\text{mg}$ 。相比于三模冗余 SR 锁存器, 所设计的抗辐射加固 SR 锁存器电路的晶体管数目更少, 电路节点的临界电荷更大, 在电路节点同时发生多处翻转的情况下, 抗单粒子翻转的成功率更高。

关键词: 振荡器; SR 锁存器; 辐射加固; 三模冗余

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2017)09-0136-05

Design of a Novel Radiation-hardened SR Latch

SU Lin¹, WANG Jia¹, GAO Wu¹, ZHENG Ran¹, WEI Xiao-min¹, HU Yong-cai²

(1 College of Computer, Northwestern Polytechnical University, Xi'an 710072, China;

2 University of Strasbourg, Strasbourg 67037, France)

Abstract: In order to design the radiation-hardened oscillator of the DC-DC converter, in which the radiation-hardened performance of the SR latch is very important, a novel radiation-hardened SR latch is presented in this paper. The proposed radiation-hardened SR latch is based on space redundancy and has been designed and verified in a standard commercial 2P5M 0.25 μm process. The die area of the latch is $130\ \mu\text{m} \times 50\ \mu\text{m}$. Total ionizing dose tolerance is 100kRad(Si) and single event effect immunizing to LET is $85\ \text{MeV} \cdot \text{cm}^2/\text{mg}$. Compared with the triple modular redundancy SR latch, the proposed radiation-hardened SR latch has less transistors, larger critical charge of the circuit node and higher success rate of the circuit immunizing to single event upset when more than one circuit nodes are upset at the same time.

Key words: oscillator; SR latch; radiation-hardened; triple modular redundancy

1 引言

随着集成电路工艺尺寸的不断减小以及集成度的提高, 芯片受辐射环境的影响愈加严重, 抗辐射加固技术愈加受到重视。在宇宙空间、核试验的环境下, 存在着各种高能粒子的辐射, 工作在强辐射环境中的芯片, 必须考虑抗辐射技术来保证芯片在规定的运行寿命内能够持续正常工作^[1]。

抗辐射加固技术主要分为三个层次: 制造工艺、

版图和电路设计。因为抗辐射设计和标准 CMOS 工艺兼容并且不需要增加成本就能得到很好的抗辐射性能, 所以得到了广泛应用。其主要在版图和电路设计层次上进行抗辐射加固。目前, 在版图层次上进行抗辐射加固的方法有环栅晶体管(Enclosed Layout Transistor, ELT)设计、MOS 管周围增加保护环, 以及增大电路关键节点电容。环栅晶体管能够很好地消除栅极边缘的泄漏通路达到抗总剂量效应的效果, 但是环栅晶体管需要重新建立模型, 其设计宽长

比例受形状限制(宽度必须大于长度等),消耗硅面积较大而且对称性和匹配较差^[2]. MOS 管周围增加保护环不但可以隔断泄漏电流通路来抗总剂量效应,而且能够减小寄生电路中的电阻来抗单粒子门锁. 增大电路关键节点电容可通过直接在电路节点处利用其上层金属并联一个金属-金属大电容,或者增大与其相连接的晶体管尺寸来增大寄生电容,来达到抗单粒子翻转的效果. 在电路设计层次上进行抗辐射加固的方法有三模冗余(triple modular redundancy, TMR)技术^[3]、Whitaker 单元^[4]、双互锁存储单元(Dual Interlock Cell, DICE)^[5]等,这些技术都是用来抗单粒子翻转. 对于三模冗余结构,为了避免由于仲裁器自身错误引起错误判断,需要对仲裁器也增加冗余量,进一步提高可靠性. Whitaker 单元采用的 MOS 管较多,占用硅面积较大;而 DICE 单元由于其结构简单且占用面积小,所以适用于高性能电路,应用广泛于实际电路设计中.

由于在 DC-DC 开关电源振荡器中需要用到 SR 锁存器,为了达到较好的抗辐射效果,文中提出了一种新颖的抗辐射加固 SR 锁存器电路.

2 抗辐射加固 SR 锁存器设计

2.1 电路加固设计

由于 SR 锁存器电路为数字电路,随着工艺尺寸的减小,越来越容易受到单粒子效应的影响,其中单粒子翻转现象尤为严重. 若不对 SR 锁存器进行抗辐射加固,电路随时都可能发生单粒子翻转. 本文设计的新颖抗辐射加固 SR 锁存器电路如图 1 所示,采用标准商用 2P5M 0.25 μm 工艺.

该抗辐射加固 SR 锁存器基于空间冗余设计的思想,由八个三输入与非门组成,分别有四个不同节点存储 Q 和 $\sim Q$ 的逻辑状态,其中节点 A、B、E、F 存储 Q 的逻辑状态,节点 C、D、G、H 存储 $\sim Q$ 的逻辑状态, Q 与 $\sim Q$ 存储的数据反向. 同时电路的外部输入节点 S 和 R 连接到八个 MOS 管的栅极,其余内部电路节点连接到四个 MOS 管的栅极,相当于间接增加了电路节点电容,导致电路节点临界电荷增大,抗单粒子翻转效果增强.

一般地,对于普通 SR 锁存器,当输入 S 和 R 均为逻辑“1”,电路处于保持状态,此时电路受到辐射粒子的影响后更易于发生单粒子翻转. 所以对本文设计的抗辐射加固 SR 锁存器进行分析时,保持输入 S 和 R 均为逻辑“1”. 如果任意一个三输入与非门输出端原数据为逻辑“1”并且被辐射粒子击中发

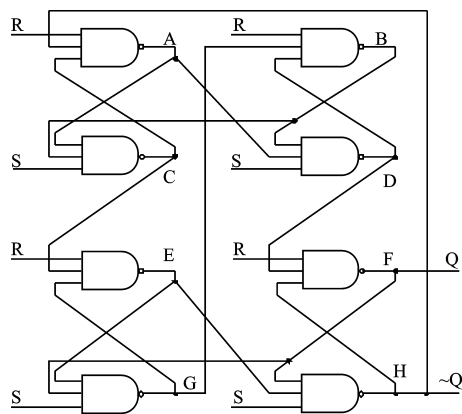


图1 抗辐射加固 SR 锁存器电路图

生翻转变成逻辑“0”,导致以这个三输入与非门输出作为输入的另外两个三输入与非门输出端由逻辑“0”变为逻辑“1”. 相反地,如果任意一个三输入与非门输出端原数据为逻辑“0”并且被辐射粒子击中发生翻转变成逻辑“1”,以这个三输入与非门输出作为输入的另外两个三输入与非门输出端并不会改变,仍然保持逻辑“1”. 所以对这个电路而言,其内部单个电路节点发生翻转时,至少存在五个内部电路存储节点不受单粒子翻转影响,从而通过反馈将发生错误的存储节点纠正来保证输出数据 Q 不变.

具体地,首先考虑单个电路节点发生单粒子翻转的情况. 假设电路节点 A 受到辐射粒子的影响发生翻转,若节点 A 由逻辑“0”变为逻辑“1”,但是节点 B 的逻辑状态保持逻辑“0”不变,这种情况下节点 A 的逻辑变化不会影响电路节点 C 和 D 的逻辑状态,通过电路节点 C 和 H 的反馈使电路节点 A 重新恢复逻辑“0”. 若节点 A 由逻辑“1”变为逻辑“0”,导致节点 C 和 D 由逻辑“0”变为逻辑“1”,但是节点 A 的逻辑变化仅影响节点 C 和 D 的逻辑状态,不影响其余电路节点的逻辑状态. 由于节点 H 仍然保持逻辑“0”,通过反馈使节点 A 重新恢复逻辑“1”,从而使节点 C 和 D 恢复逻辑“0”,最终电路的输出 Q 不发生变化.

下面考虑多个电路节点同时发生单粒子翻转的情况,这里只分析两个电路节点同时发生单粒子翻转. 最坏情况之一是节点 A 和 E 由逻辑“1”翻转变为逻辑“0”,导致节点 C、D、G、H 全由逻辑“0”变为逻辑“1”,从而影响节点 A、B、E、F 也全由逻辑“1”变为逻辑“0”,结果是输出 Q 与 $\sim Q$ 的逻辑状态改变. 但是如果是节点 A 和 B 由逻辑“1”翻转变为逻辑“0”,导致节点 C 和 D 由逻辑“0”变为逻辑“1”. 节点 C 和 D 的逻辑变化并不会影响其余节点的逻辑

状态,通过节点 G 和 H 的反馈,重新使节点 A 和 B 由逻辑“0”恢复为逻辑“1”,相应地节点 C 和 D 恢复为逻辑“0”,电路输出 Q 不变.所以在有两个电路节点同时发生单粒子翻转时,该电路有一定的概率可以保证输出逻辑 Q 不发生变化.

2.2 版图加固设计

由于 P 管受辐射后阈值增大,泄漏电流减小,本身就可以抗总剂量效应,所以在版图中只对所有的 N 管采用环栅结构,从而节约了芯片的面积.但是由于工艺 DRC 要求,导致最小的环栅晶体管尺寸为 $6\text{ }\mu\text{m}/0.6\text{ }\mu\text{m}$,占据的面积较大.同时对所有 MOS 管增加保护环既可以消除单粒子门锁的影响还能够抗总剂量效应.除此之外,增加 N 管与 P 管之间的距离可以减小单粒子门锁的影响.以上这些抗辐射措施会使 SR 锁存器的版图面积很大,整个电路版图的尺寸是 $130\text{ }\mu\text{m}\times 50\text{ }\mu\text{m}$.

由于数字电路比较容易受辐射效应的影响,尤其对于 DC-DC 开关电源振荡器中的 SR 锁存器,其是产生时钟信号的关键部分,抗辐射能力直接影响整个 DC-DC 开关电源,地位非常重要,所以拿芯片面积来换取抗辐射性能是值得的,体现了面积换性能的思想.

3 仿真结果与比较分析

3.1 仿真结果

随着现代深亚微米 CMOS 工艺尺寸的不断减小,其栅氧越来越薄,本身就具有一定的抗总剂量效应能力.本文设计的抗辐射加固 SR 锁存器电路版图采用 $0.25\text{ }\mu\text{m}$ 工艺,并且所有 N 管采用环栅结构以及在 MOS 管周围增加保护环,这些措施都能够起到抗总剂量效应的作用.

尽管深亚微米 CMOS 工艺可以削弱总剂量效应影响,但是单粒子效应则更易发生.由于 SEU 注入方法学与高能粒子撞击类似^[1],可以用传统的双指数函数电流源模拟由 SEU 诱发的电流,它可以实际代表粒子撞击的效果.这个脉冲可以表示为

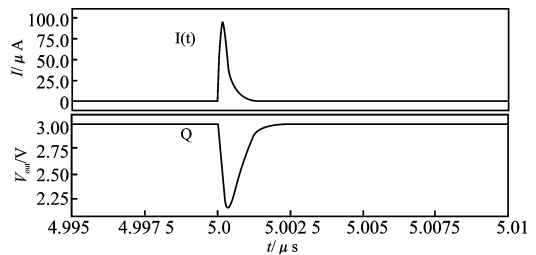
$$I(t)=\frac{Q_c}{\tau_\alpha-\tau_\beta}[\exp(-t/\tau_\alpha)-\exp(-t/\tau_\beta)] \tag{1}$$

式中,参数 Q_c 代表在受影响电路节点聚集的总电荷量, τ_α 代表节点的聚集时间常数, τ_β 代表粒子轨迹的时间常数,时间常数与工艺相关,模拟时设 $\tau_\alpha=200\text{ ps}$ 和 $\tau_\beta=50\text{ ps}$.

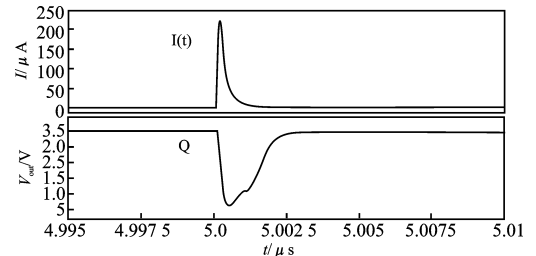
首先对普通的未经抗辐射加固 SR 锁存器的抗

辐射性能进行分析,利用 SEU 注入方法学来模拟带电的辐射粒子,从而对电路抗单粒子翻转的能力进行仿真.在 SR 锁存器中仅有一个电路节点被带电辐射粒子击中的情况下,输入 S 和 R 为逻辑“1”,电路处于保持状态,此时电路输出 Q 和 $\sim Q$ 存储的逻辑状态最容易受到单粒子翻转的影响而改变.在输出 Q 点上加入带电辐射粒子产生的电流脉冲 $I(t)$,其上升时间为 50 ps ,下降时间为 200 ps ,观察输出 Q 的波形.通过不断增加聚集的电荷量 Q_c ,观察 Q 点的输出是否会恢复正常^[6].

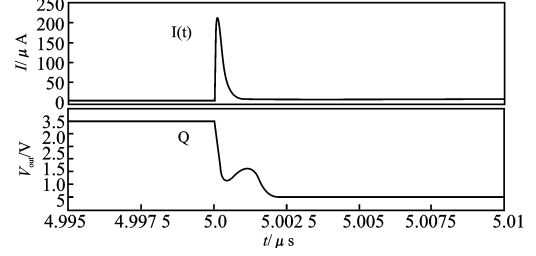
图 2(a)是聚集电荷 Q_c 等于 20 fC 的输出波形,图 2(b)是聚集电荷 Q_c 等于 35 fC 的输出波形,图 2(c)是聚集电荷 Q_c 等于 36 fC 的输出波形.由图可知当聚集电荷 Q_c 小于 36 fC 时,输出 Q 点在被带电辐射粒子击中后,总能从低电平又重新恢复到高电平,区别是聚集电荷 Q_c 越大,电路恢复正常所需的时间越长;当聚集电荷 Q_c 大于 36 fC 时,输出 Q 点在被带电辐射粒子击中后,就不会恢复正常.通常把导致电路节点出现翻转的最小电荷量记为临界电荷,所以普通的 SR 锁存器电路的临界电荷是 36 fC .



(a) Q_c 等于 20 fC 的仿真波形



(b) Q_c 等于 35 fC 的仿真波形



(c) Q_c 等于 36 fC 的仿真波形

图 2 未经抗辐射加固的 SR 锁存器仿真波形

本文设计的抗辐射加固 SR 锁存器电路能够承受的最大线性能量传输 LET 指标为 85 MeV·cm²/mg,LET 表示随着辐射粒子穿过半导体材料,每单位长度的能量损失量^[1],即

$$LET = \frac{1}{\rho} \cdot \frac{dE}{dx}$$

(2)

式中,ρ 是硅密度,dE/dx 是电离损失率,如果带电的辐射粒子垂直击中半导体材料,进入的深度是 1 μm,根据式(2)可以得到设计的辐射加固 SR 锁存器能够承受辐射粒子的最大带电量为 880 fC.

下面对设计的辐射加固 SR 锁存器的抗辐射性能进行验证,利用 SEU 注入方法来模拟带电的辐射粒子,从而对电路抗单粒子翻转能力进行仿真.设置聚集电荷 Q_c是 880fC,在电路中仅有一个节点被带电的辐射粒子击中的情况下,输入 S 和 R 为逻辑“1”,电路处于保持状态.在电路内部节点 A 上加入带电辐射粒子产生的电流脉冲 I(t),观察输出 Q 的波形.

图 3 是聚集电荷 Q_c等于 880 fC 的电路仿真波形,输出 Q 开始为高电平,在 5 μs 时被辐射粒子击中,输出瞬间变为低电平,但经过 3 ns 后输出又重新变为高电平,所以经过辐射加固的 SR 锁存器满足 LET 为 85 MeV·cm²/mg 的设计指标.

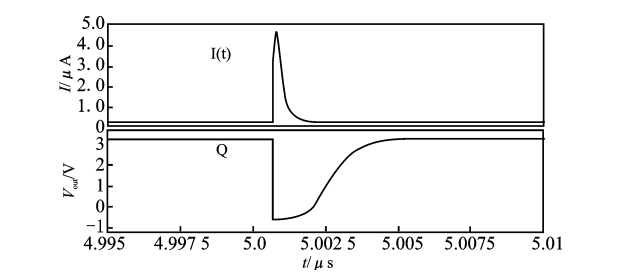


图 3 抗辐射加固 SR 锁存器仿真波形

3.2 比较分析

一般情况下采用三模冗余的结构来对 SR 锁存器进行抗辐射加固,如图 4 所示.三模冗余 SR 锁存器由三个一模一样的 SR 锁存器和一个仲裁器构成,仲裁器比较三个 SR 锁存器的结果,选取占多数比例的逻辑值作为正确输出.

下面分析所设计的抗辐射加固 SR 锁存器相比于三模冗余 SR 锁存器的优点.对于三模冗余 SR 锁存器,为了避免由于仲裁器自身错误引起错误判断,需要对仲裁器也增加冗余量进一步提高可靠性.这导致电路需要更多的晶体管,意味着芯片消耗更大的面积.而且图 4 所示的三模冗余 SR 锁存器~Q1、~Q2 以及~Q3 三个内部节点只连接到两个 MOS

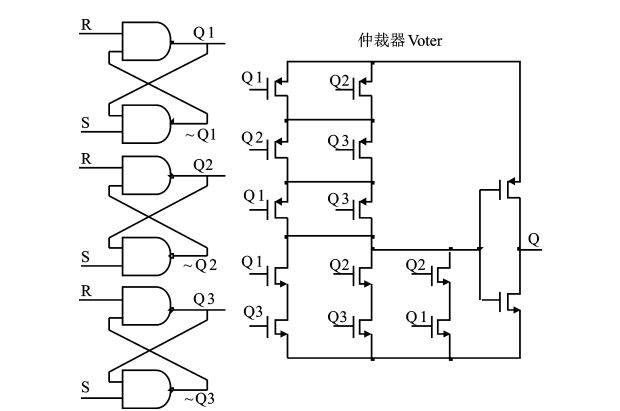


图 4 三模冗余 SR 锁存器电路图

管的栅极,寄生电容较小,节点的临界电荷较小.相比于传统的三模冗余 SR 锁存器,设计的抗辐射加固 SR 锁存器电路需要更少的晶体管与面积.同时,电路内部每个节点都连接到四个 MOS 管的栅极,寄生电容较大,节点的临界电荷较大,这样电路可以承受的最大 LET 值更大,抗单粒子翻转的效果更好.除了上述两个优点之外,当电路内部节点由于辐射粒子的影响同时发生多处翻转的情况下,所设计的抗辐射加固 SR 锁存器相比于三模冗余 SR 锁存器抗单粒子翻转的成功率更高.如表 1 所示,当电路中只有一个内部节点发生翻转时,两种电路结构的抗单粒子翻转成功率都为 100%.当电路中有三个内部节点同时发生翻转时,三模冗余 SR 锁存器抗单粒子翻转成功率变为 0,而设计的抗辐射加固 SR 锁存器抗单粒子翻转成功率仍有 14%.

表 1 电路节点同时发生多处翻转时的抗单粒子翻转成功率

	三模冗余 SR 锁存器抗单粒子翻转成功率/%	设计 SR 锁存器抗单粒子翻转成功率/%
只有一个电路节点发生翻转	100	100
两个电路节点同时发生翻转	20	42
三个电路节点同时发生翻转	0	14

4 结束语

文中研究了一种新颖的抗辐射加固 SR 锁存器电路,通过电路层次和版图层次上的抗辐射加固设计,该辐射加固的 SR 锁存器电路可以抗最大总剂量为 100 kRad(Si),抗单粒子效应的能力可以达到 LET 为 85 MeV·cm²/mg 的指标.相比于三模冗余 SR 锁存器,设计的抗辐射加固 SR 锁存器电路的晶

体管数目更少,电路节点的临界电荷更大以及在电路节点同时发生多处翻转的情况下,抗单粒子翻转的成功率更高.由于采用环栅晶体管结构以及空间冗余设计导致设计的抗辐射加固 SR 锁存器占用芯片面积过大,但为了获得更好的抗辐射性能,只能牺牲芯片面积,体现了面积换性能的思想.

参考文献:

[1] 韩郑生. 抗辐射集成电路概论[M]. 北京: 清华大学出版社, 2008: 1-20, 83, 181.

[2] Guilherme S. Cardoso, Tiago R. Balen. Study of layout accuracy on W/L estimation of ELT in analog design flow[C]// 2016 IEEE 7th Latin American Symposium on Circuits & Systems. IEEE, 2016: 279-282.

[3] Tong Lin. Experimental Investigation into Radiation-Hardening-By-Design (RHBD) Flip-Flop Designs in a 65nm CMOS Process[C]// 2016 IEEE International Symposium on Circuits and Systems, . IEEE, 2016: 966-969.

[4] Liu M N, Whitaker S. Low power SEU immune CMOS memory circuits[J]. IEEE Transactions on Nu-

clear Science, 1992(39): 1679-1684.

[5] Chen Tai-Hua. Ultra-low power radiation hardened by design memory circuits[J]. IEEE Transactions on Nuclear Science, 2007(54): 2004-2011.

[6] 胡明浩. 基于 RHBD 技术 CMOS 锁存器加固电路的研究[J]. 微电子学与计算机, 2010, 28(27): 206-209.

作者简介:

苏霖 男, (1992-), 硕士研究生. 研究方向为模拟集成电路设计. E-mail: sulin@mail.nwpu.edu.cn.

王佳 男, (1983-), 博士, 讲师. 研究方向为传感器芯片.

高武 男, (1982-), 博士, 教授. 研究方向为前端微电子系统集成.

郑然 男, (1981-), 博士, 讲师. 研究方向为 CMOS 图像传感器设计.

魏晓敏 女, (1984-), 博士, 助理研究员. 研究方向为抗辐射集成电路设计.

胡永才 男, (1956-), 博士, 教授. 研究方向为前端微电子和集成电路设计.

(上接第 135 页)

总的来说,使用计算机可视化程序对 DTR 算法进行控制的优点是显而易见的,在程序中易于对积分方法和现有的算法进行进一步完善,例如加入考虑裂纹萌生间隔的算法.因此,采用计算机智能化对疲劳损伤进行控制与分析,具有重要的意义.

参考文献:

[1] 张显余,葛子厚,付长安. 飞机结构疲劳强度损伤容限额定值评价法分析[J]. 飞机设计. 2013, 33(1): 30-34.

[2] 王生楠,李贞培. 飞机 DTR 体系的面向对象设计与实现[J]. 西北工业大学学报. 2005, 23(2): 165-170.

[3] 田秀云,刘立明. 一种改进的 DTR 算法[J]. 中国民航学院学报, 2006, 24 (3): 35-37.

[4] 应亮. Matlab 的图形用户界面的应用[J]. 电脑知识与技术, 2005, 12(11): 75-76.

[5] 邓方宝,姜丽红,吴连发. MATLAB 在科学计算可视化中的应用[J]. 上饶师范学院学报(自然科学版), 2002, 22 (3): 65-68.

[6] 郑晓玲. 民机结构耐久性与损伤容限设计手册(下册)[M]. 北京: 航空工业出版社, 2003.

[7] 关治,陆金甫. 数值分析基础[M]. 北京: 高等教育出版社, 1998.

[8] Federal aviation administration [S]. USA: Department of Transportation, 1994.

作者简介:

赵昆 男, (1987-), 博士研究生. 研究方向为疲劳断裂及损伤容限计算分析. E-mail: zhaok8782@163.com.

王生楠 男, (1963-), 博士, 教授, 博士生导师. 研究方向为结构疲劳、断裂、可靠性及损伤容限计算分析.

张继豪 男, (1996-). 研究方向为机械电子工程设计.