

引用格式:周欢欢,陈岚,尹明会,等. LOD效应和 WPE效应在纳米工艺 PDK中的应用[J]. 微电子学与计算机,2019,36(2): 1-5. [ZHOU H H, CHEN L, YIN M H, et al. The apply of LOD effects and WPE effect in nanometer process PDK [J]. Microelectronics & Computer,2019,36(2):1-5.]

LOD 效应和 WPE 效应在纳米工艺 PDK 中的应用

周欢欢^{1,2}, 陈 岚^{1,2}, 尹明会^{1,2}, 王 晨^{1,2}, 张卫华^{1,2}

(1 中国科学院 微电子研究所, 北京 100029;

2 三维及纳米集成电路设计自动化技术 北京市重点实验室, 北京 100029)

摘 要: 本文研究了自主开发的 40 nm 工艺 PDK 中的 LOD 效应和 WPE 效应. LOD 参数 SA 和 WPE 参数 left 影响 CMOS 器件特性, 尤其饱和电流 I_{dsat} 和阈值电压 V_{TH} . 随着 SA 减小, NMOS 的 I_{dsat} 减小 4.25% 而 V_{TH} 增大 2.79%; PMOS 的电参数与 SA 关系曲线与 NMOS 的一致, 但比 NMOS 趋势要强, I_{dsat} 减小 8.32% 而 V_{TH} 增大 6.78%; 并解释了 LOD 效应的物理机制. 随着 left 的减小, NMOS 的 I_{dsat} 减小 9.03% 而 V_{TH} 增大 12.5%; PMOS 的电参数与 left 关系曲线比 NMOS 的要弱, I_{dsat} 减小 8.50% 而 V_{TH} 增大 4.61%, 并提出了 WPE 效应下器件电参数变化原因. 在纳米工艺 PDK 中, LOD 效应和 WPE 效应的准确应用可以更好地模拟器件性能并改善电路设计精度.

关键词: PDK; LOD; WPE; 纳米工艺

中图分类号: TN40

文献标识码: A

文章编号: 1000-7180(2019)02-0001-05

The Apply of LOD Effects and WPE Effect in Nanometer Process PDK

ZHOU Huan-huan^{1,2}, CHEN Lan^{1,2}, YIN Ming-hui^{1,2},
WANG Chen^{1,2}, ZHANG Wei-hua^{1,2}

(1 Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

2 BeiJing Key Laboratory of 3D& Nano IC Design Automation, Beijing 100029, China)

Abstract: In this paper, We research LOD and WPE effects of self-developed 40nm process PDK. The parameter SA of LOD effect and the parameter left of WPE effect influence the characteristics of CMOS device, especially the saturation current I_{dsat} and the threshold voltage V_{TH} . With the decrease of SA, I_{dsat} of NMOS decreases by 4.25% and V_{TH} increases by 2.79%. The relationship between electrical parameters and SA of PMOS is consistent with that of NMOS, but the trend is stronger than NMOS, I_{dsat} decreases by 8.32% and V_{TH} increases by 6.78%. The physical mechanism of LOD effect is explained. With the decrease of left, the I_{dsat} of NMOS decreases by 9.03% and V_{TH} increases by 12.5%. The relationship between the electrical parameters of PMOS and left is weaker than that of NMOS, I_{dsat} decreases by 8.50%, and V_{TH} increases by 4.61%. The cause that the electrical parameters change under WPE effect is proposed. In the nanometer process PDK, the accurate application of LOD and WPE effects can better simulate device performance, and improve the precision of circuit.

Key words: PDK, LOD, WPE, Nanometer Process

1 引言

在深亚微米条件下,芯片尺寸持续缩小以降低成本和提升性能. 随着 CMOS 工艺尺寸不断缩小,尤其到达 90nm 以下,晶体管特性不仅取决于栅宽和栅长,还依赖版图几何参数和周围器件,这就叫版图依赖效应(layout dependent effects, LDEs). LDEs 主要包括 LOD(length of oxide diffusion)效应、WPE(well proximity effect)等. LOD 效应和 WPE 效应对器件性能影响比较明显,已经成为纳米工艺 PDK 开发中不可忽视的严重问题.

Zhang Yu 等人通过典型的纳米级两级 CMOS 运算放大器结构,基于 BSIM 模型,使用曲线和曲面拟合接近 STI 应力效应和 WPE;采用几何编程方式优化了电路,并且通过仿真确认优化结果满足电路设计规格^[1]. Li Ruoyuan 等人探讨 28 nm 工艺晶体管 LDEs 效应背后的物理机制,提出了 LDEs 影响 N/PMOS 电学特性的物理模型,并证实掺杂分布和迁移率改变是引起 LDEs 的两个主要因素^[2]. 虽然目前有一些学者致力于 LOD 效应和 WPE 效应的原理及模型,但尚未发现这两种效应在 PDK 开发中应用方面的研究.

工艺设计工具包 PDK 是一套完整的工艺文件集合,是连接模拟/混合信号集成电路设计和工艺制造的桥梁. 准确计算 LOD、WPE 参数对器件特性的影响,在 PDK 设计中占极其重要的作用. 为了更好地模拟器件性能、改善设计精度,我们使用 TCL 语言开发了一套 40 nm 工艺 PDK,并研究了 LOD 效应和 WPE 效应在 PDK 中的应用、这两种效应的参数对 N/PMOS 器件特性 I_{dsat} 和 V_{TH} 的影响及其成因.

2 LOD 效应

对于深亚微米工艺,需要在 MOS 器件的有源区边界做浅槽隔离,之后隔离工艺会产生许多隔离岛,浅槽的蚀刻会产生双轴压应力,其应力传导至沟道. 对于相同大小栅极,因为有源区面积和栅极在有源区相对位置的不同,应力状态是不均匀的. 进而影响载流子迁移率和离子注入的分布. 离子注入分布则会影响阈值电压. 随着工艺尺寸急剧缩小,LOD 效应愈发显著. STI 明显影响器件特性,特别是先进 CMOS 工艺中 MOS 器件的饱和电流 I_{dsat} 和阈值电压 V_{TH} ^[3].

在 TCL 语言开发的 40nm 工艺 PDK 中,LOD

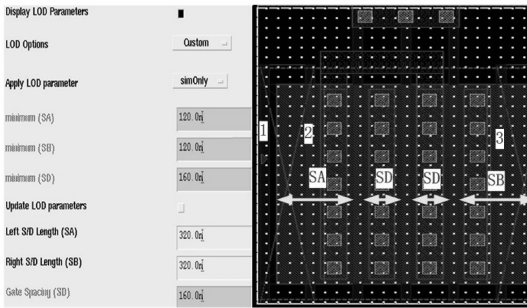


图 1 PDK 中显示 LOD 参数

效应可以通过 SA(栅到有源区左边缘的距离)和 SB(栅到有源区右边缘的距离)这两个参数来描述, LOD 参数设计如图 1 所示. Display LOD Parameters 显示 LOD 相关参数. SA 受左边 dummy gate 数量和 gate 间距的影响,SB 受右边 dummy gate 数量和 gate 间距的影响. SD 是相邻栅间距的仿真参数. 当管子段数是 1 时,SD 被自动设为 0;管子段数为多段时,SD 值恒定. 此外,设计规则规定了金属间距,当栅长尺寸过小时,SD 受源漏区金属间距的限制.

本文采用 PDK 中 1.1V RVT(Regular - VH, 常规阈值)薄栅氧 NMOS 和 PMOS 器件,沟道宽长比为 $1\mu\text{m}/0.04\mu\text{m}$, WPE 参数 left/Right/Top/Bottom 的值为 $2\mu\text{m}$,假设 SB 与 SA 的值一致,SA 值有效范围为 120 nm 至 $5\mu\text{m}$,栅源电源为 1.1 V,从 0 V 到 1.1 V 直流扫描漏源电压,分别测试 SA 在 0.2 μm 、0.5 μm 、1 μm 、2 μm 、3 μm 、4 μm 和 5 μm 条件下的 I_{dsat} 和 V_{TH} . 经过 Spectre 仿真,测试结果如表 1 所示. I_{dsat_N} 和 V_{TH_N} 代表 NMOS 的漏极饱和电流和阈值电压; I_{dsat_P} 和 V_{TH_P} 代表 PMOS 的漏极饱和电流和阈值电压,取绝对值后与 NMOS 的相应值比较. 表 1 为不同 SA 尺寸下 N/PMOS 电参数.

表 1 不同 SA 尺寸下 N/PMOS 电参数

SA/ μm	$I_{dsat_N}/\mu\text{A}$	V_{TH_N}/mV	$ I_{dsat_P} /\mu\text{A}$	$ V_{TH_P} /\text{mV}$
0.12	524.188	508.467	257.604	549.887
1	544.84	496.235	278.327	518.889
2	546.481	495.272	279.967	516.447
3	547.036	494.946	280.521	515.623
4	547.315	494.783	280.8	515.209
5	547.483	494.684	280.967	514.956

图 2 为 N/PMOS 电参数与 SA 尺寸的关系曲线. 对于 NMOS 器件,随着 SA 减小, I_{dsat} 减小 4.25%而 V_{TH} 增大 2.79%. LOD 效应影响器件的性

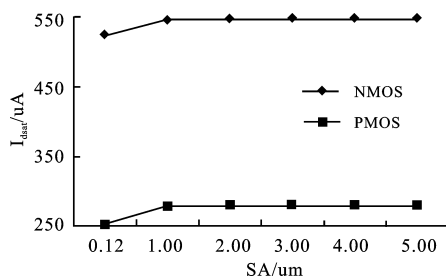
能可以用 STI 应力解释. STI 应力是由 Si 和 SiO₂ 之间热扩散系数不同引起的. LOD 效应引起的能带区改变诱发迁移率变化,双轴应力降低电子迁移率,这与 SMIC 官方实验数据结论一致. 根据应力 Stress 与 LOD 参数之间的函数关系:

$$\text{Stress} = 1/(SA + L/2) + 1/(SB + L/2) \quad (1)$$

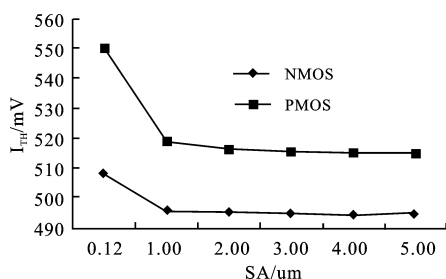
公式(1)中 L 指栅长. 假设 SA 与 SB 值一样,随着 SA 减小,压应力 Stress 变大,STI 应力对有源区 AA 影响越强烈,电子迁移率减小显著. 根据 NMOS 的饱和漏电流公式:

$$I_{\text{dsatn}} = 1/2 \mu_n C_{\text{ox}} W/L (V_{\text{GS}} - V_{\text{THn}})^2 \quad (2)$$

NMOS 的饱和漏电流减小. 这与图 2(a) NMOS 中 I_{dsatn} 随 SA 减小而减小的曲线相吻合. SMIC 研究发现: LOD 效应引起的掺杂剖面图变化,改变 MOS 阈值电压 V_{TH} . 当 SA 变小时,掺杂分布会引起 NMOS 阈值电压变大. 此时电子迁移率减小显著,即使栅源电压 V_{GS} 值很大,根据饱和漏电流公式, NMOS 阈值电压变大仍加剧漏电流变小趋势. PMOS 电参数与 SA 的关系曲线走势与 NMOS 的一致, I_{dsat} 减小 8.32% 而 V_{TH} 增大 6.78%. 随着 SA 尺寸减小,应力对 AA 影响强烈,但由于 LOD 效应引起的能带区改变提高了空穴迁移率,所以趋势要比 NMOS 的强.



(a) I_{dsat} 与 SA 的关系曲线



(b) V_{th} 与 SA 的关系曲线

图 2 N/PMOS 电参数与 SA 尺寸的关系曲线

由应力 Stress 与 LOD 参数之间的函数关系可知,增加 SA 和 SB 可以减小 STI 效应,这就需要为

待保护的 MOS 器件添加 dummy 管,而且这些 dummy 管与 MOS 器件共处同一个有源区才有效. 图 1 中标出了 dummy 管 1、2、3、4,且 dummy 管 2、3 与 MOS 器件共处同一个有源区,根据参数 SA 和 SB 的定义,dummy 管 2、3 有效.

3 WPE 效应

芯片制造过程中,当形成 MOSFET 的 N 型阱、P 型阱、或深 N 型埋层时,注入的离子在光阻材料侧面发生了散射. 在光阻边缘,散射离子进入到阱硅表面,影响了边缘区域的掺杂浓度,从而影响器件的阈值电压、迁移率及体效应,这种影响叫做阱邻近效应^[4,5].

在设计 40 nm 工艺 PDK 中,WPE 参数显示如图 3. Display WPE Parameters 显示相关 WPE 参数. WPE options 提供“minDR”、“EnterSCabc”、“CalcFromSC1234”和“noWpeEffect”四个选项. “minDR”基于最小设计规则估计 SCA/SCB/SCC 的值,会导致 WPE 效应的最坏情况. “EnterSCabc”允许用户直接输入 SCA/SCB/SCC 的值. “CalcFromSC1234”是默认选项,为用户提供了一种估算 WPE 参数的简单方法. 基于用户输入晶体管左/右/上/下有源区与阱边缘之间的间距 left/right/top/bottom 这四个值,按照复杂的 WPE 计算公式,计算 SCA/SCB/SCC 的值. “noWpeEffect”允许用户快速转换到一个几乎没有 WPE 效应的设定值,SCA/SCB/SCC 值为 2 μm .

left/right/top/bottom 在“CalcFromSC1234”模式下显示并允许用户输入,其值有最小间距限制,当用户输入值小于最小间距值时,自动更新 left/right/top/bottom 的值. 对于核心 NMOS, Pwell 是远的,其值为 Pwell 边缘距离晶体管 AA 的最大间距;对于 IO NMOS,其值为 DG 层边缘到晶体管 AA 的间距;对于 PMOS,其值为 Nwell 边缘到晶体管 AA 的间距. 为了增加性能,器件沟道区到阱边缘的最大距离有限制.

栅连接 Gate Connection 有 None、Top、Bottom、Both 四种方式. 源漏连接 S/D Connect 有 None、Source、Drain、Both 四种方式. 衬底偏置连接类型 Bodytie Type 有 None、Integrated、Detached 三个循环选项. 默认的情况下为不连接 None. 对于 Detached 这种情况,用户可以有 Left Tap(在器件左面放置衬底接触)、Right Tap(在器件右面放置衬底接触)、Top Tap(在器件上面放置衬底接触)和

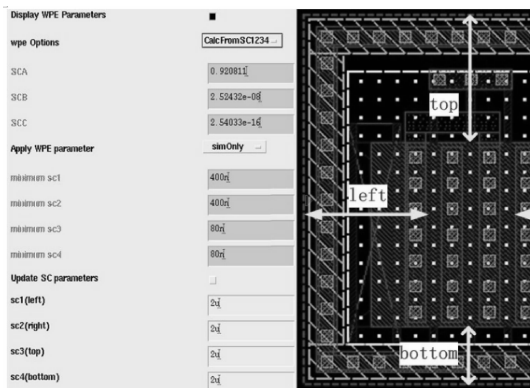
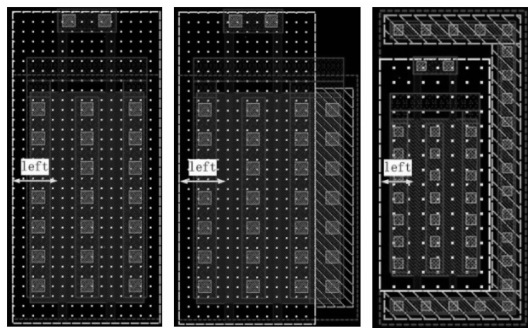


图3 PDK 中显示 WPE 参数

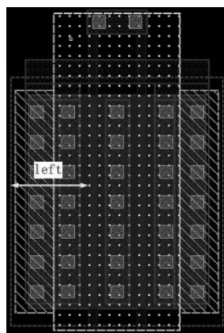
Bottom Tap(在器件下面放置衬底接触)四个方向来定义器件的衬底连接,当四个方向都选择的话,就形成了 GuardRing. Integrated 型有 Left Tap 和 Right Tap 两个方向定义器件的衬底连接.

由图 4 可知,在不考虑源漏区金属宽度、Dummy 参数和有源区 Diff 向外伸展距离的前提下, left 的值有三种情况:(1)器件左面无衬底接触,如图 4(a)所示,第一个为 None 型 Bodytie、第二个为 Integrated 型 Bodytie 且 Left Tap 不选中、第三个为 Detached 型 Bodytie 且 Left Tap 不选中;(2)器件左边放置集成型衬底接触,图 4(b)所示,Integrated 型 Bodytie 且 Left Tap 选中;(3)器件左边放置分离型衬底接触,图 4(c)所示,Detached 型 Bodytie 且 Left Tap 选中,此值还与器件上衬底接触向外伸展的距离 Tap Extension 有关, right 与 left 类似. 在忽略源漏区金属宽度的条件下, Top 分三大类情况:①Top 受 tap 的影响分为两大类: tap 为 "Detached" 且 TopTap 选中,还与 Left Tap Extension 参数有关; tap 为 "None"、tap 为 "Integrated"、或 tap 为 "Detached" 且 TopTap 未选中. ②Top 受 Gate Connection 的影响分为两大类: Top 或 Both; None 或 Bottom. ③Top 受 S/D Connect 的影响分为两大类: Source 或 Both; None 或 Drain. 由此可知,通过组合方式, Top 值共“ $2 \times 2 \times 2$ ”种情况. Bottom 情况与 Top 类似.

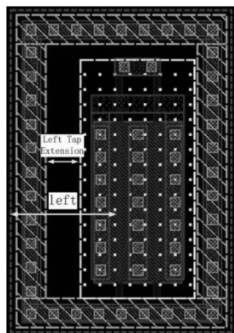
SCA、SCB 和 SCC 是例化参数,代表散射阱掺杂的第一/第二/第三分布函数. SCA、SCB、SCC 是 left/right/top/bottom 的函数. 对于前仿真, left/right/top/bottom 用来计算 SCA、SCB、SCC 的值. 阈值电压、体效应和迁移率是 SCA、SCB、SCC 的多项式函数. SMIC 的模型方法基于阱邻近效应导出,把阈值电压、体效应和迁移率的影响考虑进去. 在这个模型中,阱邻近效应是 MOSFET 和阱边缘间距的函数. 根据阱邻近效应的现象学模型通过以下方



(a) 无衬底接触



(b) 集成型衬底接触



(c) 分离型衬底接触

图4 PDK 中显示器件左边衬底接触(Left Tap)情况程描述^[6]:

$$V_{th0} = V_{th0org} + KVTH0WE \cdot (SCA + WEB \cdot SCB + WEC \cdot SCC) \quad (3)$$

$$K2 = K2_{org} + K2WE \cdot (SCA + WEB \cdot SCB + WEC \cdot SCC) \quad (4)$$

$$\mu_{eff} = \mu_{eff,org} \cdot (1 + KU0WE \cdot (SCA + WEB \cdot SCB + WEC \cdot SCC)) \quad (5)$$

式中, KU0WE、WEB、WEC 是适配系数.

本文采用该套 PDK 中 1.1 V RVT 薄栅氧 N/PMOS 器件, 沟道宽长比为 $1 \mu\text{m}/0.04 \mu\text{m}$, SA 和 SB 的值为 120 nm, 假设 left/right/top/bottom 的值一致, 其值有效范围为 300 nm 至 $2 \mu\text{m}$, 栅源电源为 1.1 V, 从 0 V 到 1.1 V 直流扫描漏源电压, 分别测试 left 在 0.3 μm 、0.5 μm 、1 μm 、1.5 μm 和 2 μm 条件下的 I_{dsat} 和 V_{TH} . 测试结果如表 2 所示. 根据表 2 绘制器件电参数与 WPE 的对应关系, 如图 5 所示.

表2 不同 left 尺寸下 N/PMOS 电参数

left/ μm	I_{dsat_N}/mA	V_{TH_N}/mV	$ I_{dsat_P} /\mu\text{A}$	$ V_{TH_P} /\text{mV}$
0.3	476.875	572.016	235.699	575.233
0.5	505.722	520.679	248.245	559.686
1	519.981	511.237	255.469	552.109
1.5	523.033	509.226	257.018	550.496
2	524.188	508.467	257.604	549.887

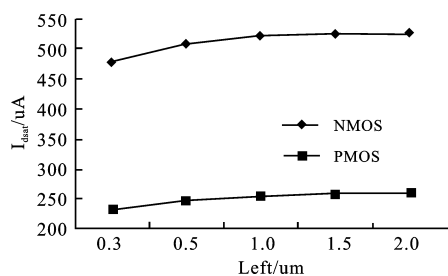
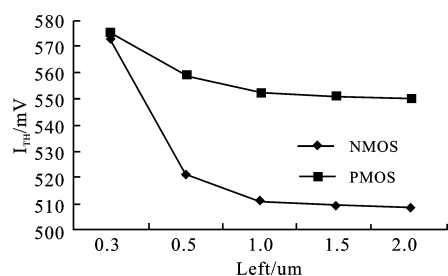
(a) I_{dsat} 与 WPE 关系(b) V_{TH} 与 WPE 关系

图5 N/PMOS电参数与WPE的对应关系

图5显示了N/PMOS电参数和WPE的关系。随着left的减小,NMOS的 I_{dsat} 减小9.03%和 V_{TH} 增大12.5%。它可以通过WPE机制解释。在临近阱的硅上,光阻边缘散射的植入离子引入额外的掺杂原子。因为阱边缘临近MOS的有源区AA,掺杂浓度将增加,引起 I_{dsat} 减小和 V_{TH} 增大^[3,7]。此外,额外的掺杂原子将导致迁移率降低,器件性能变差。PMOS的WPE效应比NMOS的WPE效应要弱, I_{dsat} 减小8.50%和 V_{TH} 增大4.61%,这可能是阱散射较小和植入种类对PMOS载流子迁移率影响较小的原因。

4 结束语

文中利用TCL语言开发的40 nm工艺PDK,研究了LOD效应和WPE效应在PDK中的应用、这两种效应参数对器件特性尤其是 I_{dsat} 和 V_{TH} 的影响。LOD效应中,随着SA减小,对于NMOS, I_{dsat} 减小4.25%而 V_{TH} 增大2.79%;PMOS电参数与SA的关系曲线与NMOS的一致,但比NMOS趋势要强, I_{dsat} 减小8.32%而 V_{TH} 增大6.78%,这是由于LOD效应引起的能带区改变提高了空穴迁移率;并解释了LOD效应的物理机制。WPE效应中,随着left的减小,NMOS的 I_{dsat} 减小9.03%和 V_{TH} 增大12.5%;PMOS的电参数与left的关系曲线比NMOS的要弱, I_{dsat} 减小8.50%和 V_{TH} 增大4.61%;

并解释了WPE效应的物理机制。开发有LOD效应和WPE效应的纳米工艺PDK,有助于更好地模拟器件性能,改善电路设计精度。从而PDK可以稳定、高效地应用到实际工程项目中。

参考文献:

- [1] Zhang Y, Liu B, Yang B, et al. CMOS Op-amp circuit synthesis with geometric programming models for layout-dependent effects [C]// Thirteenth International Symposium on Quality Electronic Design (ISQED). Santa Clara, CA, USA; IEEE, 2012; 464-469.
- [2] Li R Y, Tao J J, Yang T, et al. A systematic study of layout proximity effects for 28nm Poly/SiON logic technology [C]// China Semiconductor Technology International Conference (CSTIC). Shanghai, China; IEEE, 2015; 1-4.
- [3] P. G. Drennan, M. L. Kniffin, D. R. Locascio. Implications of proximity effects for analog design [C]// IEEE Custom Integrated Circuits Conference. San Jose, CA, USA; IEEE, 2006; 169-176.
- [4] C. Ndiaye, V. Huard, R. Bertholon, et al. Layout Dependent Effect; Impact on device performance and reliability in recent CMOS node [C]// 2016 IEEE International Integrated Reliability Workshop (IIRW). South Lake Tahoe, CA, USA; IEEE, 2016; 24-28.
- [5] Hung-Chih Ou, Kai-Han Tseng, Jhao-Yan Liu, et al. Layout-Dependent Effects-Aware Analytical Analog Placement [J]. IEEE Transactions on Computer-Aided design of integrated circuits and systems, 2016, 8(35): 1243-1254.
- [6] SMIC. TD-LO28-SP-2001. 28nm Poly SiON Low Power 1P10M 1.05V/1.8V SPICE Model (Version 1.1) [S]. Joe Li, Aug 2008; 49-54.
- [7] Yi-Ming Sheu, Ke-Wei Su, Shiyang Tian, et al. Modeling the Well_Edge Proximity Effect in Highly Scaled MOSFETs [J]. IEEE Transactions on Electron Devices, 2006, 11(53): 831-834.

作者简介:

周欢欢 女, (1984-), 助理研究员。研究方向为纳米工艺的PDK及标准单元库开发。

陈岚(通讯作者) 女, (1968-), 研究员, 博士生导师。研究方向为超深亚微米芯片设计方法学及计算机体系结构。

E-mail: chenlan@ine.ac.cn.

尹明会 女, (1983-), 副研究员。研究方向为纳米工艺的PDK及标准单元库开发。