

超高速时间交织 ADC 通道失配后台校准算法

秦明龙^{1,2}, 魏淑华¹, 武 锦², 吴旦昱²

(1 北方工业大学 电子信息工程学院, 北京 100144;

2 中国科学院 微电子研究所, 北京 100029)

摘 要: 为了消除多通道时间交织模数转换器(TIADC)三种主要失配误差:通道间的失调失配误差、通道间的增益失配误差及通道间的采样时间失配误差,提出了一种片内数字电路后台校准算法.该算法通过增加一路参考ADC和统计累加的方式,在后台将待校准通道和参考通道的输出作相关运算以提取出误差信息,再通过模拟电路对失配误差进行迭代补偿,从而达到校准的目的.将此算法应用到12位3GS/s四通道TIADC电路模型中,当输入信号归一化频率 $f_m/f_s=0.16569$ 时,校准后,ENOB和SNR分别从4.1765 bits和26.8128 dB提高到11.6993 bits和72.1023 dB,校准效果明显.验证了该后台数字校准算法的有效性.此外,此算法对输入信号类型,输入频率及通道间校准顺序没有严格限制,可以扩展到任意通道数.

关键词: 后台校准;TIADC;失调失配;增益失配;时钟失配

中图分类号: TN453

文献标识码: A

文章编号: 1000-7180(2018)11-0008-05

Background Calibration Algorithm for Channel Mismatch of Super High Speed Time-Interleaved ADC

QIN Ming-long^{1,2}, WEI Shu-hua¹, WU Jin², WU Dan-yu²

(1 College of Electronic and Information Engineering, North China University of Technology, Beijing 100144, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: To eliminate the three main mismatch errors of the multi-channel time-interleaved analog-to-digital converter (TIADC), which are offset mismatch error between channel, channel gain mismatch error and sampling time mismatch error of channel, a background calibration algorithm for in-chip digital circuits is proposed. By adding a way of reference ADC and statistical accumulation, the algorithms perform correlation operation on the output of the calibrated channel and reference channel in order to extract the error information in the background, and then iterate compensation for the mismatch errors through the analog circuit, so as to achieve the purpose of calibration. The algorithm is applied to the 12 bits 3 GS/s four channels TIADC model circuit. When the normalized frequency of input signal is $f_m/f_s=0.16569$, after calibration, the ENOB and SNR increase from 4.1765 bits and 26.8128 dB to 11.6993 bits and 72.1023 dB, respectively, and the calibration effect is obvious. In addition, the algorithm is not strictly limited to input signal type, input frequency and inter channel calibration order, and can be extended to any number of channels.

Key words: background calibration; TIADC; offset mismatch; gain mismatch; timing skew

1 引言

随着4G进入规模商用阶段,面向2020年及未来的第五代移动通信(5G)已成为全球研发热点,高

速、大容量是5G的核心技术方向,超高速模数转换器(ADC)成为了影响5G产业化的关键因素,也是技术难点.5G无线通信系统对ADC有极为苛刻的性能指标要求,必须同时满足高速采样和高分辨率

性能要求,为了平衡速度、精度要求,时间交织结构的 ADC 是必然的选择.时间交织 ADC 原理如下:它总共包含 n 个并行相同的子 ADC,假设每个子 ADC 的采样精度为 M bits,通过时钟控制每个子 ADC 对输入模拟信号 $x(t)$ 进行交替采样,再通过一个复选模块 MUX 将每个子 ADC 的编码进行交替输出,从而保证 ADC 在采样精度为 M bits 的前提下,达到成倍提高采样速度的目的.

但在实际系统设计中,由于工艺因素和应用环境的不同,每个通道之间存在很多细小失配误差,例如:通道与通道之间存在失调失配误差,增益失配误差以及采样时刻失配误差.这些失配误差将会极大地降低 ADC 整体性能,因此需要对这些失配误差进行校准,开发设计有效的算法校准这些失配误差,成为 TIADC 设计亟待解决的重要问题之一.目前已有学者针对不同失配误差提出相关算法,文献[1]中提出的基于 LMS-FIR 及内插滤波的后台校准算法虽然可以有效的达到校准的目的,但是由于其要求 TIADC 的输入信号频率必须满足单通道奈奎斯特频率,故限制了输入信号带宽^[2].文献[3]中提出一种采样时刻校准算法,但是其只适用于双通道以及单频正弦波输入信号,故这一算法无法适用于任意通道和任意输入信号.文献[4]中提出了一种利用信号自相关性校准采样时间失配误差,但是其对通道间的校准顺序有着严格要求,通道间的校准不能同时进行,校准灵活性大大降低.

考虑到以上存在的不足,本文通过增加一路参考通道的方式,并利用参考通道和待校准通道输出信号的自相关性设计出针对时间交织 ADC 三种主要失配误差的片内后台校准技术.

2 校准算法

校准算法主要包括三个部分:失调失配校准算法,增益失配校准算法以及采样时刻失配校准算法.校准算法的整体框图如图 1 所示,其中主要包括失配误差估计模块,补偿电路模块和待校准子 ADC 三个部分.首先误差估计模块得到误差值,再通过补偿电路模块对待校准子 ADC 进行误差补偿,形成一个反馈环路.当对失调失配误差和增益

失配误差校准时,补偿电路模块主要通过数模转换器(DAC)对采样保持电路(THA)进行调节;在对采样时刻失配误差校准时,补偿电路模块主要利

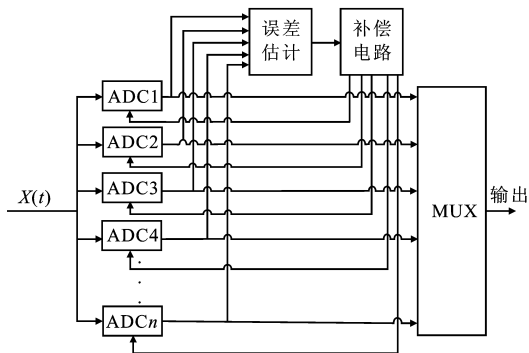


图 1 校准算法整体框图

用数模转换器和可变延时线 (VDL) 直接对时钟相位进行调整,以达到自适应校准失配误差的目的.以上三种校准算法不仅限于四通道,可以扩展到无数通道.

3 失调失配误差估计算法

失调失配误差估计算法框图如图 2 所示,假设子 ADC 存在失调失配误差 offset,如图 3 所示,则子 ADC 采样模拟信号得到的数字信号就会偏离采样数据理论中间值 $(2^n - 1)/2$,故可以将其数字信号通过减法器 and 子 ADC 采样数据理论中间值 $(2^n - 1)/2$ 作减法运算,再将两者差值通过累加器 ACC 不断地进行累加求和,从统计学的角度来说,只要累加周期足够多,再通过反馈环路的迭代补偿,最终将会消除通道与通道之间的失调失配误差值.(其中 n 表示子 ADC 采样精度)

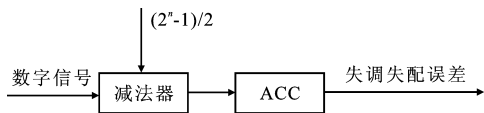


图 2 失调失配误差估计框图

$$E_{\text{offset}} = \sum_{N=1}^{+\infty} (A_i - (2^n - 1)/2) \quad (1)$$

式中, E_{offset} 表示失调失配误差值; A_i 代表 i 通道 ADC 采样的数字信号; $N (N = 1, 2, 3, \dots, n)$ 代表累加次数.

3.1 增益失配误差估计算法

增益失配误差估计算法框图如图 4 所示,图中 abs 代表数值取绝对值运算.在增益失配误差校准过程中,通过增加一路 ADC 作为待校准子 ADC 的参考通道,它与其它待校准子 ADC 采样同一模拟信号 $x(t)$,但其采样频率远远低于待校准子 ADC.

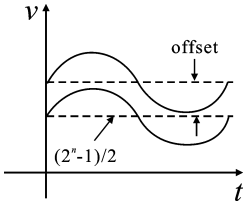


图3 存在失调误差输出数字信号

假设子 ADC 存在增益失配误差 gain, 如图 5 所示, 则子 ADC 采样模拟信号得到的数字信号就会偏离参考通道 ADC 的数字信号, 所以在进行增益误差校准时, 将参考 ADC 和待校准 ADC 采样得到的数字信号分别同时减去采样数字信号理论中间值 $(2^n-1)/2$ 并取绝对值运算, 再将两者取绝对值后的值通过减法器作减法运算, 通过一个累加器 ACC 不断地将两者的差值累加求和, 只要累加周期次数足够多, 再通过反馈环路的迭代补偿, 最终消除通道与通道之间的增益失配误差值。

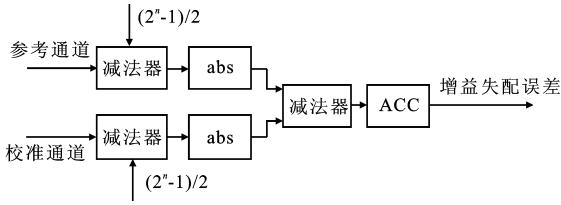


图4 增益失配误差估计框图

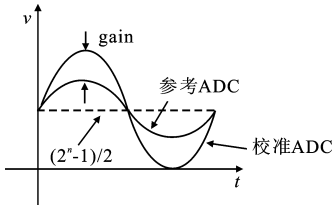


图5 存在增益失配误差输出数字信号

$$G_i = |A_i - A_{\text{idea}}/2| \quad (2)$$

$$G_{\text{ref}} = |A_{\text{ref}} - A_{\text{idea}}/2| \quad (3)$$

$$E_{\text{gain}i} = \sum_{N=1}^{+\infty} (G_i - G_{\text{ref}}) \quad (4)$$

式中, A_i 表示第 i 通道 ADC 采样得到数字信号; A_{ref} 代表对 i 通道校准时参考 ADC 采样得到的数字信号; $A_{\text{idea}}/2$ 代表数字信号理论中间值; $E_{\text{gain}i}$ 代表 i 通道增益失配误差值; $N(N=1, 2, 3, \dots, n)$ 表示累加次数。

3.2 采样时间失配误差估计算法

本文提出的采样时间失配校准算法通过增加一路子 ADC 作为待校准子 ADC 的参考 ADC, 利用待

校准子 ADC 与参考 ADC 输出信号的自相关性和采样值的幅度差近似等于时间差的思想, 通过累加幅度差值得到采样时间失配误差值。

在阐述采样时间失配误差校准算法之前, 我们假设系统的失调失配误差和增益失配误差都已经校准完毕^[5]。以双通道 TIADC 为例, 图 6 是参考 ADC₃ 相对于子 ADC₁ 和子 ADC₂ 的采样时钟分布图, 当参考 ADC₃ 对 ADC₁ 和 ADC₂ 中某一通道校准时, ADC₃ 时钟相位始终会延迟那个子 ADC 时钟相位时间 $T \gg \Delta t$ 。图 7 是双通道 TIADC 采样时间失配示意图, 假设子 ADC₁ 和子 ADC₂ 之间没有采样时间失配误差, 则子 ADC₁ 和子 ADC₂ 采样时间点分别是 A_1 和 A_2 。当子 ADC₁ 和子 ADC₂ 存在采样时间失配误差 Δt 时, 子 ADC₂ 实际时钟采样点 A_{22} 偏离理想时钟采样点 A_2 大小为时钟 Δt , 子 ADC₁ 和子 ADC₂ 实际采样时间点是 A_1 和 A_{22} 。图中的 A_{31} 是参考 ADC₃ 对子 ADC₁ 进行校准时的参考采样时间点, A_{32} 是参考 ADC₃ 对子 ADC₂ 进行校准时的参考采样时间点。

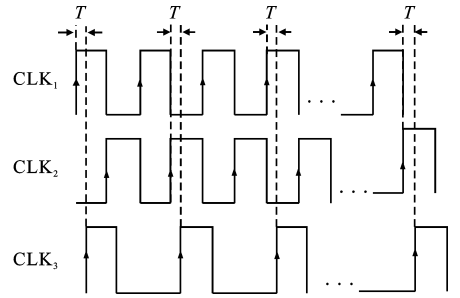


图6 参考通道时钟分布图

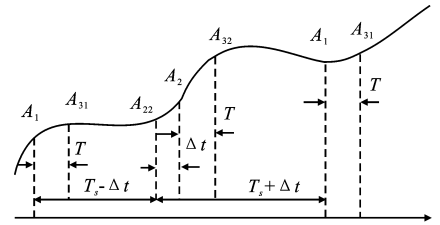


图7 双通道 TIADC 采样时间失配图

图 8 是整个采样时间失配误差校准框图, 当对子 ADC₁ 进行校准时, 让子 ADC₁ 和参考 ADC₃ 输出数字信号作差取绝对值: $|A_1 - A_{13}|$ 。当对子 ADC₂ 进行校准时, 让子 ADC₂ 和参考 ADC₃ 输出数字信号作差取绝对值: $|A_{22} - A_{32}|$ 。从数学期望值角度来说, 这两个绝对值的差值会和通道 1 与通道

2 之间的采样时间失配误差 Δt 呈现一个近似比例关系,再通过一个累加器 ACC 将两者差值累加求和,只要统计的次数足够多,再通过反馈回路对时钟相位进行迭代误差补偿,最终将会消除通道 2 相对于通道 1 的采样时间失配误差值 Δt 。

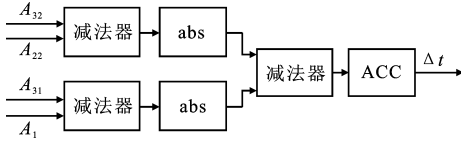


图 8 采样时间失配误差估计框图

$$E_{\text{skew } i} = \sum_{N=1}^{+\infty} (|A_i - A_{\text{ref } i}| - |A_1 - A_{\text{ref } 1}|) \quad (5)$$

式中, A_i 表示第 i 通道 ADC 采样得到数字信号; A_1 表示第 1 通道 ADC 采样得到数字信号; $A_{\text{ref } 1}$ 代表对通道 1 校准时参考 ADC 采样得到的数字信号; $A_{\text{ref } i}$ 代表对 i 通道校准时参考 ADC 采样得到的数字信号; $E_{\text{skew } i}$ 代表 i 通道与通道 1 之间的采样时间失配误差值, $N(N = 1, 2, 3, \dots, n)$ 表示累加的次数。

为了证明算法的有效性: $E(|A_1 - A_{31}| - |A_{22} - A_{32}|) \propto \Delta t$, 可以分别对期望作平方运算, 故:

$$E[(|A_1 - A_{31}|)^2] = E(A_1^2) + E(A_{31}^2) - 2E[A_1 A_{31}] \\ = \sigma_{A_1}^2 + \sigma_{A_{31}}^2 - 2E[A(t_1)A(t_1 + T)] \quad (6)$$

式中, T 是参考 ADC₃ 时钟相位相对于 ADC₁ 时钟相位延迟时间; σ 是指平均功率, 由于输出信号是自相关的, 所以上式可以等效为:

$$E[(|A_1 - A_{31}|)^2] = 2\sigma_x^2 - 2B \cdot R(t_1) \quad (7)$$

同理可得:

$$E[(|A_{22} - A_{32}|)^2] = E(A_{22}^2) + E(A_{32}^2) - 2E[A_{22} A_{32}] \\ = \sigma_{A_{22}}^2 + \sigma_{A_{32}}^2 - 2E[A(t_1 + T_s + \Delta t)A(t_1 + T_s + T)] \\ = 2\sigma_x^2 - 2B \cdot R(t_1 + \Delta t) \quad (8)$$

对于很小的 Δt 来说: $R(t_1 + \Delta t) \approx R(t_1) + \Delta t \cdot dR/dt$, 所以

$$E[(|A_{22} - A_{32}|)^2] - E[(|A_1 - A_{31}|)^2] = -2B \cdot \Delta t dR/dt \quad (9)$$

对于通道数大于 2 时, 其他通道相对于通道 1 的采样时间失配误差也可以通过这种算法进行消除, 最终所有通道(除通道 1 外)采样时间点将会和通道 1 的采样时间点对齐, 从而消除通道间的采样时间失配误差。

通道间的失调失配误差、增益失配误差以及采样时间失配误差分别可以通过以上三种校准算法得到, 就通道间校准顺序来说, 各通道间的失配误差校准互不干扰, 可同时进行或者终止其中任意通道, 就三种失配误差类型校准顺序来讲, 当整个系统中存在失调失配误差与增益失配误差时, 采样时间失配误差不能单独校准, 如果违反以上原则, 则校准之后, 系统性能参数极有可能下降, 即使性能参数转好, 也不会达到校准后的最好结果^[6]。

4 仿真结果

为了验证三种校准算法的有效性, 本文以 VerilogA 语言根据 12 bits 3 Gs/s 四通道 TIADC 芯片搭建了一个电路模型。以输入频率 500 MHz, 共模电压 0.9 V, 输入电压摆幅为 400 mV 的正弦信号作为输入信号。每个通道加的失调误差分别 [10 mV, -10 mV, 0, 5 mV]; 每个通道加的增益误差分别 [0.05, -0.05, 0, 0.03] Vin; 每个通道加的采样时间误差分别 [5 ps, -5 ps, 0, 2 ps]。迭代步长为 $\mu = 2^{-12}$ 。从图 9 的频谱图(纵轴为功率幅度响应, 横轴为信号输入频率)可以看到: 当输入信号归一化频率 $f_{\text{in}}/f_s = 0.16569$ 时, 基波位于 500 MHz 左右, 通道间的失调失配误差在 $\omega_s/2$ 、 $\omega_s/4$ (ω_s 指的是 TIADC 的采样频率)频率点处产生了两个谐波。通道间的增益失配误差及采样时间误差则在 $|\omega_s/4 - f_{\text{in}}|$ 、 $|\omega_s/4 + f_{\text{in}}|$ 、 $|\omega_s/2 - f_{\text{in}}|$ (f_{in} 指的是输入信号频率)频率点处产生三个谐波。图 10 是校准后的频谱图, 从图中可以看出经过校准后, 由三种失配产生的杂散谱被消减到了噪底(图中底部黑色部分)以下, 信噪比 (SNR) 从 26.812 8 dB 提高到 72.102 3 dB, 有效位数 (ENOB) 从 4.176 5 bits 提高到 11.699 3 bits, 校准算法取得了很好的校准效果。

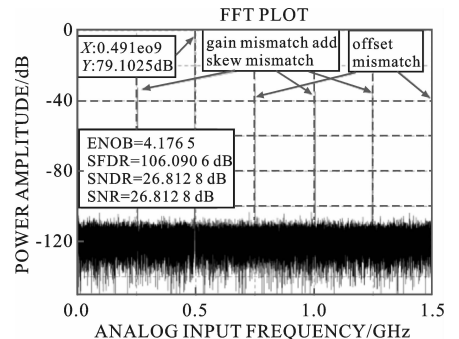


图 9 未校准 TIADC 频谱图

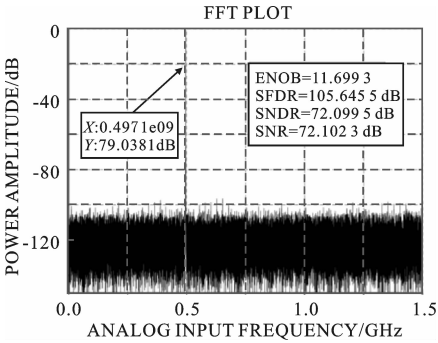


图 10 校准后的 TIADC 频谱图

5 结束语

本文针对时间交织 ADC 的三种主要失配误差分别提出了三种失配误差校准算法,已应用于 12 bits 3GS/s 四通道 TIADC 芯片中,并基 40 nm 工艺投版流片. 相对于传统的校准算法,这三种算法均对信号频率,信号类型和通道数目没有严格要求. 在采样时间失配误差校准中,该算法对通道间的校准顺序没有任何限制,收敛速度快,极大地缩短了校准时间,使得 TIADC 性能得到进一步提升.

参考文献:

[1] 叶凡. 多通道时间交织模数转换器的校准与集成电路实现方法研究 [D]. 上海:复旦大学,2010.

[2] 王晓蕾,王玉莹. 基于过零检测的 ADC 时钟失配校准算法 [J]. 微电子学与计算机,2016,34(5):72-79.

[3] Jama S M, Sing D F M P, Hurst P J, et al. Calibration of sample-time error in two-channel time interleaved analog converter[J]. IEEE Transaction on Circuit and Systems,2004,51(1):130-139.

[4] Wei Hegong, Zhang Peng, Bibhu Datta Sahoo, et al. An 8bits 4GS/s 120 mw CMOS ADC [J]. IEEE Journal of Solid-State Circuits,2014,49(8):1751-1761.

[5] 尹生勇,潘云胜,陈红梅. 一种时间交织 ADC 的时间失配后台校准算法 [J]. 华中科技大学学报(自然科学版),2016,44(2):56-60.

[6] 邓红辉,刘言言,陈红梅. 时间交织 ADC 时间失配后台数字校准算[J]. 微电子学,2016,46(4):542-546.

作者简介:

秦明龙 男,(1994-),硕士研究生. 研究方向为数模混合集成电路设计.

魏淑华 女,(1978-),博士,讲师,硕士生导师. 研究方向为混合信号测试及可测试性设计.

武 锦(通讯作者) 女,(1978-),博士,研究员,硕士生导师. 研究方向为数模混合集成电路设计.

E-mail: wujin@ime. ac. cn

吴旦昱 男,(1985-),博士,副研究员. 研究方向为数模混合集成电路设计.