

基于 FPGA 的 MMC 实时仿真异构计算平台的设计及实现

李雄飞¹, 贺光辉¹, 项胤兴²

(1 上海交通大学 电子信息与电气工程学院, 上海 200240; 2 福建省电力科学研究所, 福建 福州 350007)

摘 要: 基于采用替代电路的模块化多电平换流器 (Modular-Multilevel-Converter, MMC) 桥臂等效模型, 本文提出了一种基于 FPGA 的实时仿真异构计算平台, 用以对含有 MMC 的电网系统进行实时仿真计算。该系统将 MMC 电路与电网解耦, 实现了电网主电路与 MMC 桥臂等效电路的并行计算。此外, 针对 MMC 桥臂等效电路计算中的电压电阻多数据集合并问题, 本文提出了一种改进的分组循环累加电路, 实现了不同子模块串上的电压电阻值快速合并, 并且提出了该 FPGA 系统的优化策略。最后, 对含有 MMC 的电网系统在该异构平台上进行实时仿真计算实验, 表明了该系统计算的准确度、仿真速度等都达到了令人满意的结果。

关键词: MMC; FPGA; 电磁暂态仿真; 异构计算

中图分类号: TP39

文献标识码: A

文章编号: 1000-7180(2018)08-0011-05

Design and Implementation of Heterogeneous Computing Platform Based on FPGA for MMC Grid Real-time Simulation

LI Xiong-fei¹, HE Guang-hui¹, Xiang Yin-xing²

(1 School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China; 2 Fujian Electric Power Research Institute, Fuzhou 350007, China)

Abstract: Based on the alternative circuit equivalent model of MMC bridge arm, a real-time simulation heterogeneous computing platform based on FPGA to simulate real-time simulation of MMC-containing power system is proposed. The system decouples the MMC circuit from the grid, and realizes the parallel calculation of the equivalent circuits of the main circuit and MMC bridge. In addition, in order to solve the problem of multi-data set reduction of voltage and resistors in the equivalent circuit calculation of MMC bridge arm, an improved packet cyclic accumulating circuit is proposed to realize the rapid merging of voltage and resistance values from different sub-module strings. And optimization strategy of FPGA system is discussed. Finally, the real-time simulation experiment on the heterogeneous platform with MMC-based power system shows that the accuracy and simulation speed of the system have achieved satisfactory results.

Key words: MMC; FPGA; electromagnetic transient simulation; heterogeneous computation

1 引言

MMC 以其低谐波、低开关频率、高模块化和良好的可扩展性等优点, 被广泛应用于电力网络的中高压应用场合^[1-2]。复杂的电路拓扑和控制系统对系统的稳定性和可靠性提出了挑战, 这使得含有

MMC 的电气网络系统的电磁暂态仿真成为了电磁暂态仿真的研究热点。

FPGA 依靠其可重构和高度并行化架构的特性越来越多地应用于电磁暂态仿真的研究^[3]。被广泛应用于控制器和保护继电器等外部硬件的闭环测试中, 成为电力系统仿真的有力工具^[4-5]。

收稿日期: 2017-11-20; **修回日期:** 2017-12-15

基金项目: 国家自然科学基金(61306026); 国家电网公司总部科技项目(XTB17201700138)

随着大电网电磁暂态仿真研究的深入,有限的 FPGA 的资源与其昂贵的成本成为大规模电磁暂态仿真研究的瓶颈^[6].

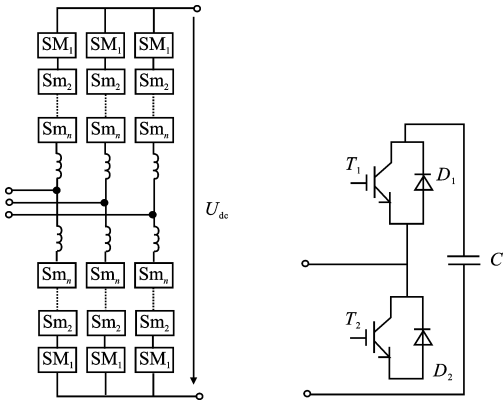
异构计算能够将不同的计算任务分配给不同结构的子系统,提高整个系统的计算性能并降低计算成本,是目前高性能计算的重要研究方向^[7]. 为了满足大电网电磁暂态仿真的计算需求,本文实现了一个基于 FPGA 的 MMC 实时仿真异构计算平台.

2 MMC 数学模型

本部分主要介绍了 MMC 电路的拓扑结构以及采用替代电路 (Surrogate Circuit) 的桥臂等效 MMC 模型.

2.1 MMC 网络拓扑结构

典型 MMC 拓扑结构如图 1(a)所示. 每一相都是由上下 2 个桥臂构成,桥臂之间通过结构相同的 n 个子模块 (Sub Module, SM) 相互连接同时串联一个桥臂电抗器 L 构成. 其中 U_{dc} 为 MMC 的直流侧电压; L 能够抑制相间环流且在严重故障下能够抑制故障电流,保护电路.



(a)MMC 三相拓扑结构 (b)半桥子模块拓扑结构

图 1 典型 MMC 的拓扑结构

半桥子模块 (half bridge sub module, HB-SM) 在 MMC 中应用最为广泛. 如图 1(b)所示, 一个半桥子模块由 2 个 IGBT、2 个反并联二极管以及一个直流电容器组成. MMC 电路工作时, T_1 和 T_2 轮流导通, 若 T_1 导通、 T_2 关断时, 输出电压等于 U_c , 子模块投入工作; 当 T_2 导通, T_1 关断时, 输出电压为 0, 子模块闭锁.

2.2 采用替代电路 (Surrogate Circuit) 的桥臂等效 MMC 模型

采用替代电路的桥臂等效 MMC 模型从桥臂上的限流电抗器上拿出一部分电感 L_i 等值为传输线,

从而将 MMC 电路单独解耦出来. 如此 MMC 桥臂电路可以根据电路原理方便的求解出 MMC 桥臂端口电压和端口电流^[8-9]. 同时, 不含 MMC 支路的外电路部分可以简单等效为一个等值传输线接口. 使用替代电路模型进行解耦的方法, 可以使得 MMC 内部支路和外电路部分的计算并行, 大大提升了含 MMC 网络的电磁暂态仿真计算效率.

基于替代电路的桥臂等效 MMC 模型的求解过程主要分为并行的两部分:

- (1)主电路的等值传输线接口电路求解;
- (2)独立的桥臂等效模型电路的求解.

3 基于 FPGA 的 MMC 异构计算平台架构设计

含有 MMC 的电网系统可以按照电磁暂态计算所需仿真速率划分为大步长网络侧和小步长侧. 其中大步长网络侧包含直流电网和交流电网, 采用较大的仿真计算步长就可以获得相对精确的仿真数据. 小步长侧包含 MMC 电路, 需要较小的仿真计算步长才可以获得精确的仿真数据. 同时 MMC 电路需要一个额外的控制器来控制每一个子模块的触发状态.

3.1 包含 MMC 的电网模型到异构计算平台的映射

如图 2 所示, MMC 外侧的直流电网和交流电网映射到了基于 Linux 服务器的上位机进行仿真计算; 而 MMC 桥臂电路则映射到了 FPGA 上; 同时在仿真 MMC 电路的 FPGA 上外接了一个 MMC 控制器来进行 MMC 电路模型中的子模块触发信号的控制.

3.2 异构平台同步和数据交换

异构平台同步是指上位机、FPGA 以及 MMC 控制器每次交互的都是同一时步的数据. 设上位机的计算步长为 T , FPGA 上的计算步长为 t , $T=kt$, 其中 k 为常整数. 每经过 T 时间, 上位机计算了 $T_0 + T$ 时刻大步长侧的仿真数据, 而 FPGA 计算了 $T_0 + kt$ 时刻小步长侧的仿真数据. 此时上位机和 FPGA 通过 SFP 接口 1 进行光纤通信, 实现电网大小步长两侧数据的传输和交换. 与此同时, FPGA 也会通过另一个 SFP 接口 2 接收 MMC 控制器 $T_0 + T$ 时刻的触发信号, 并发送子模块此时的状态参数给 MMC 控制器用于计算 $T_0 + 2T$ 时刻新的触发信号值.

所有 SFP 光纤通信均采用 Aurora 协议, 支持 5

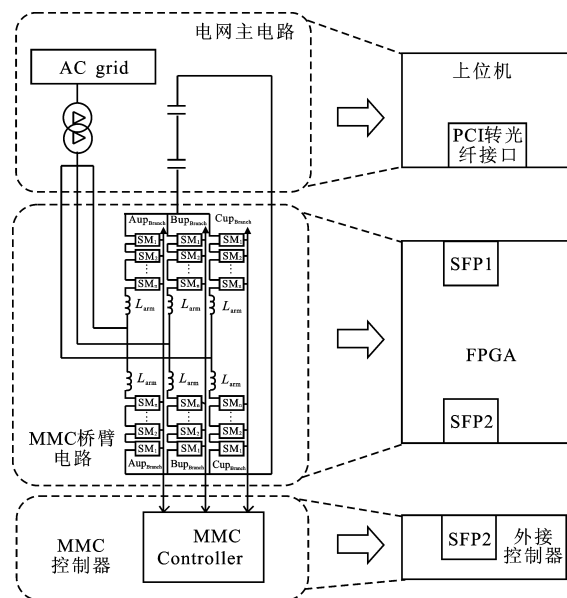


图2 MMC到异构计算平台的映射

G/s 的传输速率。

4 MMC桥臂在FPGA上的实现

本系统中参数 T 选取 $50 \mu\text{s}$, k 取 25, t 取 20 μs . 则基于FPGA的MMC桥臂计算模型每隔 50 μs 接收上位机的仿真数据和MMC控制器的触发信号,然后以 2 μs 的步长连续计算后续 25 个 t 时步的桥臂电路仿真数据并回发给上位机,是MMC网络的核心组成部分。

4.1 MMC桥臂计算流程

根据采用了替代电路的桥臂等效MMC模型,将MMC桥臂的计算流程划分为如图3所示的4个相对独立的计算步骤:

- 步骤1:子模块电压电阻求解;
- 步骤2:子模块电压电阻合并;
- 步骤3:桥臂接口电压电流求解;
- 步骤4:桥臂节点电压和等效支路电流求解。

步骤1根据上一时步计算出来的节点电压 U_{surg} 和等效支路电流 I_{arm} 求解每个子模块当前的开关状态 Status,进而根据各自的开关状态更新每个子模块内部的电压 U_{smc} 和电阻 R_{smc} 。

采用替代电路的桥臂等效MMC模型中,相同开关状态的子模块串联到一起构成一个子模块串。为了求解每个子模块串,需要将子模块串内部的子模块电压电阻进行合并等效。步骤2将步骤1求解出来的 U_{smc} 和 R_{smc} 按照子模块各自的状态 Status 不同,分组求解合并等效电压 $U_{s(x)eq}$

和合并等效电阻 $R_{s(x)eq}$,其中 x 代表子模块的开关状态值。

步骤3根据上一时步的桥臂接口对侧电压 $U_{\text{grid_arm}}$ 和桥臂接口对侧电流 $I_{\text{grid_arm}}$ 计算新的桥臂接口等效电压 $U_{\text{mmc_arm}}$ 和等效电流 $I_{\text{mmc_arm}}$,如图5所示,步骤3的计算可以与步骤1、2的求解完全并行。

步骤4需要根据当前时步的桥臂接口等效电压 $U_{\text{mmc_arm}}$ 、等效电流 $I_{\text{mmc_arm}}$ 、 $U_{s(x)eq}$ 以及 $R_{s(x)eq}$ 来计算新的桥臂节点电压 U_{surg} 和等效支路电流 I_{arm} 。因此需要步骤1至3的计算完成后,步骤4才能开始进行计算。

步骤1至4构成一个完整的小步长迭代计算流程,每当前一个小步长迭代计算完毕后,接着会开始下一个小步长 t 时步的迭代计算。

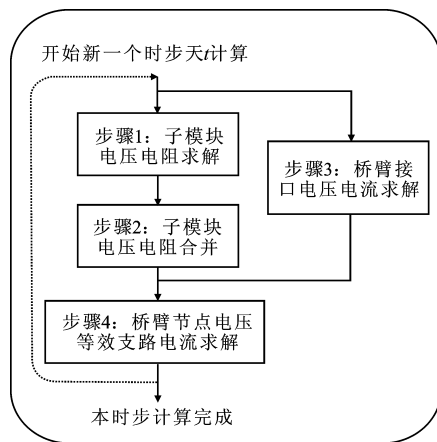


图3 MMC桥臂在FPGA上的计算流程

4.2 子模块电压电阻合并方案

在步骤2计算 $U_{s(x)eq}$ 和 $R_{s(x)eq}$ 的过程中,需要对 Status 不同的子模块分别进行合并。由于 $U_{s(x)eq}$ 和 $R_{s(x)eq}$ 的合并过程完全一致,故只需分析子模块等效电压 $U_{s(x)eq}$ 的合并。在本异构平台中,一个桥臂最多包含 640 个子模块,且该系统所有模块的电压电流电阻数值精度均为浮点数。下面是对本系统的浮点数合并方案的分析和优化。

4.2.1 子模块串电压合并策略

浮点数合并通常采用加法树或者循环累加的方式。如果采用加法树进行合并,则需要使用至少 320 个加法器。该系统的FPGA开发平台采用的是Xilinx公司的Virtex-7 VX690T FPGA,共有 693,120 个 LUT 和 3600 个 DSP。Virtex-7 VX690T 的浮点加法器 IP 所消耗的资源与延时如表1所示。

表 1 Virtex-7 VX690T 的浮点加法器 IP 资源消耗表

延迟	DSP	LUT	时钟频率上限 /MHz	Data Path Delay/ns	
				Logic	route
1	0	329	100	3.458	5.812
2	0	326	200	1.221	3.552
2	2	222	150	4.731	1.415
3	0	330	250	1.338	2.272
4	0	337	250	1.349	1.979
5	0	341	333	1.299	1.389

FPGA 采用分频后 150 MHz 的时钟,同时小步长侧计算步长需要达到 $2\text{ }\mu\text{s}$,结合表 1 中加法器 IP 的计算延迟和时钟频率上限,选用延迟为 2,DSP 为 0 的加法器 IP. 此时若采用加法树,则该步骤的加法器 IP 需要消耗 LUT 共 $326\times 320=104\text{ }320,640$ 个子模块合并延迟为 $2\times 10=20\text{ cycles}$. 加法树的计算延迟较低,但是消耗了大量的 LUT 资源,会导致系统资源的难以满足约束.

如果采用循环累加进行合并计算,则 640 个子模块合并只需要 1 个加法器. 然而其计算延迟则增加到了 $640+1=641\text{ cycles}$,难以满足小步长侧时步 $2\text{ }\mu\text{s}$ 的约束.

因此本文结合资源消耗和计算延时进行折中,采用了并行分组、循环累加以及部分和合并的策略. 将 640 个子模块按照子模块编号平均分为 4 组;每组 160 个子模块采用循环累加的方式得到各自的部分和;最后再将这 4 组部分和进行加法树合并,得到最终的合并结果. 该计算方式中一个桥臂的所有 640 个子模块合并只需要 $4+2=6$ 个加法器,合并延迟为 $160+1+4=165\text{ cycles}$,对于一个时步 $2\text{ }\mu\text{s}$ 的迭代计算来说可以接受.

4.2.2 不同状态的子模块合并

本系统需要对不同 Status 状态的子模块分别合并,因此循环累加时还需要判断每次输入数据的子模块状态. 如果输入的子模块状态与加法器输出的子模块状态不同,则不能直接进行循环累加,而是需要选取相同子模块状态的部分和来进行累加. 这是一个多数据集混合累加的问题^[10]. 本文提出了一种改进的分组循环累加电路来处理上述合并过程. 分组循环累加电路如图 4 所示.

整个分组循环累加电路主要由一个两级加法器,一个 MUX 控制器和 n 个子模块部分和 FIFO 组成(n 为子模块状态的种类个数). 其中 $S_x\text{FIFO}$ 代表储存子模块状态为 S_x 的部分和的 FIFO,如 $S2\text{FIFO}$ 代表子模块状态为 $S2$ 的部分和的 FIFO.

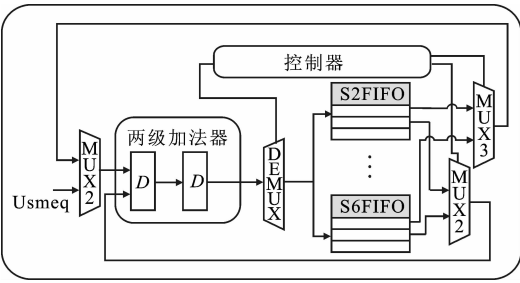


图 4 改进的分组循环累加电路

分组循环累加主要流程可以划分为:(1)流水线输入数据的部分和累加;(2)各个部分和的合并两个过程. MUX1 用于选择输入加法器一端的是流水线输入的数据还是累加后的部分和. MUX3 用于在过程(1)时选择输入加法器的是哪个子模块状态的部分和. MUX2 在过程(1)(2)中均用于选择相应子模块状态的部分和,使得输入加法器的是与加法器上端数据子模块状态相同的部分和.

最终采用分组循环累加电路的合并总延迟为 $160+n\times (2+1)+4=164+3n\text{ cycles}$,本系统共有 5 种状态的子模块需要进行电压合并,故合并总延迟为 179 cycles.

4.3 FPGA 时序与资源的总体优化

基于 FPGA 的 MMC 计算模型共含有 6 个桥臂模型,如果各个桥臂完全并行会带来极大的板上逻辑资源消耗,因此需要尽可能地计算资源的复用. 计算步骤(1)求解得到的 $U_{s(x)\text{eq}}, R_{s(x)\text{eq}}$ 和 Status 是计算步骤(2)的输入,因此步骤(1)也可以采用与步骤(2)相同的分 4 组并行流水的计算策略,这样可以将步骤(1)流水线的输入延迟完全隐藏在步骤(2)中. 最终步骤(1)需要额外消耗的延迟只有其计算延迟 17 cycles. 另外,6 个桥臂各自的步骤(3)(4)过程基本一致,相互之间没有数据依赖,因此可以采用同一套流水线依次计算每个桥臂的步骤(3)(4)以节省计算资源,产生的流水线输入延迟为 6. 步骤(3)与步骤(1)(2)时序上并行,故计算延迟能隐藏在步骤(2)中. 步骤(4)产生的计算延迟为 50 cycles. 每个小步长需要花费的总计算延迟为 $179+17+50=246\text{ cycles}$. 考虑系统时钟 150 MHz,则基于 FPGA 的小步长侧系统仿真步长可以控制在 $(1/150)\times 246=1.64\text{ }\mu\text{s}$ 内,满足了小步长侧 $2\text{ }\mu\text{s}$ 的设计约束.

5 仿真验证

FPGA 开发平台采用的是 Xilinx 公司的 Vir-

tex-7 VX690T FPGA,服务器采用 Intel(R) Core (TM) i7-4900 CPU@3.60 GHz 处理器。MMC 实时仿真异构计算平台的服务器大步长侧采用 $50\text{ }\mu\text{s}$ 的仿真时步, FPGA 小步长侧采用 $2\text{ }\mu\text{s}$ 的仿真时步,小步长侧每迭代计算 25 个时步便与大步长侧进行通信和数据交互。

验证采用的 MMC 电网结构如图 4 所示。直流侧额定电压为 150 kV,桥臂电流额定值为 1.15 kA,桥臂电感为 48 mH,子模块电容值为 $120\text{ }\mu\text{F}$,每个桥臂子模块数为 640。

图 5 为该电路在 MMC 换流器正常工作时交流电网侧入口的母线电压标幺化仿真波形。表明 MMC 输出的交流波形非常接近正弦波,与理论波形相符,证明了基于 FPGA 的 MMC 实时仿真异构平台计算的正确性。

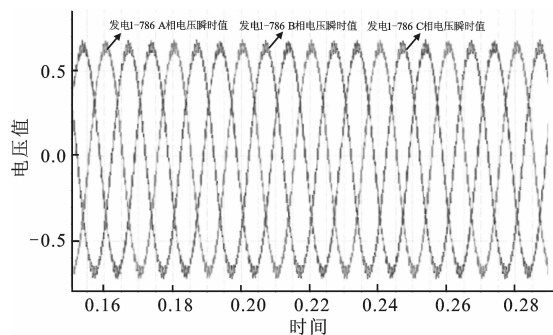


图 5 交流电网入口侧母线电压

图 6 表明了从被仿真的时长与仿真所用的时长的关系。可以明显的观察到,仿真所用时长与被仿真的时长成正比。并且仿真相同的时长, CPU 计算所用时间是基于 FPGA 的异构计算平台的 60 倍。而基于 FPGA 的异构计算平台可以做到仿真时长与被仿真时长相等的速度。

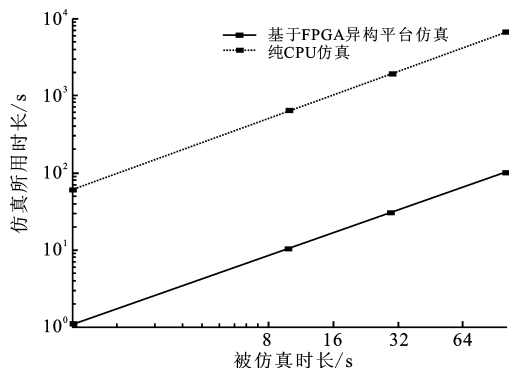


图 6 CPU 平台和基于 FPGA 异构平台仿真速度对比

以上仿真结果表明,本文所提出的基于 FPGA 的 MMC 实时仿真异构平台能够有效的对含有

MMC 的电网进行仿真,并且满足电磁暂态计算实时性的要求。

6 结束语

本文提出了一个用于计算含有 MMC 的电网模型的基于 FPGA 的电磁暂态仿真异构计算平台。主要介绍了该异构平台的系统架构和 FPGA 上的实现小步长侧电路仿真的计算流程。并且针对小步长侧仿真电路中电压合并策略进行了详细的分析。面对电压合并导致的多数据集混合累加的问题,本文提出了一种改进的分组循环累加电路来处理该合并过程。同时结合其它的一些 FPGA 时序与资源的总体优化策略,成功实现了 FPGA 上的小步长侧 $2\text{ }\mu\text{s}$ 的计算时序约束。最后通过仿真结果验证了本文所提出的电磁暂态仿真异构计算平台的有效性与实时性。该基于 FPGA 的电磁暂态仿真异构计算平台在保证仿真计算实时性的同时,将仿真速率要求不高的电路网络实现在服务器上,减小了系统对 FPGA 计算资源的消耗,控制了电磁暂态实时仿真计算的成本,具有良好的经济优势。

参考文献:

- [1] 张文亮,汤广福,查鲲鹏,等. 先进电力电子技术在智能电网中的应用[J]. 中国电机工程学报, 2010, 30(4): 1-7.
- [2] Tu Qingrui, Xu Zheng, Xu Lie. Reduced switching frequency modulation and circulating current suppression for modular multilevel converters[J]. IEEE Trans. on Power Delivery, 2011, 26(3): 2009-2017.
- [3] Parma G, Dinavahi V. Real-time digital hardware simulation of power electronics and drives[J]. IEEE Trans. Power Del., 2007, 22(2): 1235-1246.
- [4] Dufour C, Be'langer J, Lapointe V. Fpga-based ultra-low latency hil fault testing of a permanent magnet motor drive using rt-labxsg[J]. IEEE Powercon, 2008, 84(2-3): 161-171.
- [5] Matar M, Iravani R. Massively parallel implementation of ac machine models for fpga-based real-time simulation of electromagnetic transients[J]. IEEE Transactions on Power Delivery, 2011, 26(2): 830-840.
- [6] Chen Y, Dinavahi V. An iterative real-time nonlinear electromagnetic transient solver on fpga[J]. IEEE Trans. Ind. Electron., 2011, 58(6): 2547-2555.
- [7] 胡雷钧,陈乃刚,李健,等. FPGA 异构计算平台及其应用[J]. 电力信息与通信技术, 2016, 3(7): 6-11.

(下转第 20 页)

在以下不足:(1)为了更加有效地获取全局最优解,需要比较大的种群规模,这时如果使用串型算法,则运行算法需要大量的时间.考虑到各个体间适应度的计算是相互独立的,所以后期可以考虑对该算法进行分布式改进.(2)本文选取的适应度函数并不能很好地与聚类准确率保持一致的单调性.因此,虽然算法可以取得具有最优适应度的鸟巢,但聚类的结果相对于其他一些优秀聚类算法的准确率可能不是最优的,针对这个问题后期还需要找寻更好的适应度函数来改进该算法.

参考文献:

- [1] Han Jiawei, Kamber. 数据挖掘概念与技术[M]. 范明, 孟小峰. 北京: 机械工业出版社, 2008.
- [2] 孙吉贵, 刘杰, 赵连宇. 聚类算法研究[J]. 软件学报, 2008, 19(1): 48-61.
- [3] Xu Jinhua, Liu Hong. Web users clustering analysis based on k-means algorithm[C]//IEEE 2010 international conference on information, networking and automation, Kunming, China, IEEE, 2010.
- [4] 谢娟英, 王艳娥. 最小方差优化初始聚类中心的 K-means 算法[J]. 计算机工程, 2014, 40(8): 205-211.
- [5] Goyal M, Kumar S. Improving the initial centroids of k-means clustering algorithm to generalize its applicability[J]. Journal of the Institution of Engineers, 2014, 95(4): 345-350.
- [6] 邢长征, 谷浩. 基于平均密度优化初始聚类中心的 k-means 算法[J]. 计算机工程与应用, 2014, 50(20): 135-138.
- [7] 陈光平, 王文鹏, 黄俊. 一种改进初始聚类中心选择的 K-means 算法[J]. 计算机系统, 2012, 33(6): 1320-1323.
- [8] Deb S, Yang X S, et al. Towards enhancement of performance of K-means clustering using nature-inspired optimization algorithms[J]. The Scientific World Journal, 2014: 564-829.
- [9] Yang X S, Deb S. Cuckoo search via Lévy flights[C]//NaBIC 2009: Proceedings of the 2009 World Congress on Nature & Biologically Inspired Computing, Piscataway, NJ: 2009: 210 - 214.
- [10] 陆林花, 王波. 一种改进的遗传聚类算法[J]. 计算机工程与应用, 2007, 43(21): 170-172.
- [11] 陶新民, 徐晶. 一种改进的粒子群和 K 均值混合聚类算法[J]. 电子与信息学报, 2010, 32(1): 92-97.
- [12] 刘长平, 叶春明. 具有 Lévy 飞行特征的蝙蝠算[J]. 智能系统学报, 2013, 8(3): 240-246.
- [13] Yang X S, Deb S. Engineering optimization by cuckoo search[J]. Computers & Operations Research, 2013, 40(6): 1616-1624.
- [14] 沈艳, 余冬华, 王浩类. 粒子群 K-means 聚类算法的改进[J]. 计算机工程与应用, 2014, 50(21): 125-128.
- [15] 王李进, 尹义龙, 钟一文. 逐维改进的布谷鸟搜索算法[J]. 软件学报, 2013, 23(11): 2687-2698.
- [16] 张永韩, 汪镭, 吴启迪. 动态适应布谷鸟搜索算法[J]. 控制与决策, 2014, 29(4): 617-622.
- [17] 邓洪清, 周永权. 一种自适应步长布谷鸟搜索算法[J]. 计算机工程与应用, 2013, 49(10): 68-70.

作者简介:

孙伟鹏 男, (1990-), 硕士研究生. 研究方向为聚类分析、数据挖掘. E-mail: sunwp244372610@163.com.

孟 斌 男, (1980-), 高级工程师. 研究方向为数据挖掘.

吴锡生 男, (1959-), 博士, 硕士生导师. 研究方向为聚类分析、数据挖掘、模式识别.

(上接第 15 页)

- [8] 袁威, 郝正航, 张宏俊. 带光储系统的模块化电力电子变压器在配电网中的仿真研究[J]. 电测与仪表, 2016, 53(17): 85-91.
- [9] 唐庚, 徐政, 刘昇. 改进式模块化多电平换流器快速仿真方法[J]. 电力系统自动化, 2014, 38(24): 56-61.
- [10] Zhuo L, Morris G R, Prasanna V K. High-performance reduction circuits using deeply pipelined operators on FPGAs[J]. IEEE Transactions on Parallel & Distributed Systems, 2007, 18(10): 1377-1392.

作者简介:

李雄飞 男, (1993-), 硕士研究生. 研究方向为电磁暂态仿真和硬件加速. E-mail: 448134158@qq.com.

贺光辉 男, (1980-), 博士, 副研究员. 研究方向为通信系统、VLSI、硬件加速等.

项胤兴 男, (1986-), 硕士, 工程师. 研究方向为电力系统仿真.