

# 硅中介层中高速互连的优化设计

莫宁基<sup>1</sup>, 关 宁<sup>2</sup>, 蒋剑飞<sup>1</sup>, 王 琴<sup>1</sup>

(1 上海交通大学 电子信息与电气工程学院, 上海 200240;

2 上海航天电子通讯设备研究所, 上海 201108)

**摘 要:** 基于硅中介层的新型集成方法可以实现高速光电互连, 其中的互连设计面临信号完整性的挑战. 为适应硅中介层中高速光电互连的需求, 本文对高速差分互连线设计, 提出采用交叉的设计方法来提高传输信噪比. 基于电磁场仿真工具, 对于差分互连线进行建模与仿真, 仿真结果表明本文提出的采用交叉的差分互连线具有显著的串扰抑制作用. 本文还对互连线的尺寸和交叉位置提出进一步的优化设计方法, 进一步改进了互连性能. 仿真结果表明, 本文中提出的设计方法, 可以用来改进硅中介层的高速互连线设计.

**关键词:** 硅中介层, 高速互连, 串扰抑制; 优化设计

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)08-0021-05

## Design Optimization of High Speed Interconnect on Silicon Interposer

MO Ning-ji<sup>1</sup>, GUAN Ning<sup>2</sup>, JIANG Jian-fei<sup>1</sup>, Wang Qin<sup>1</sup>

(1 School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China;

2 Shanghai Aerospace Electronics and Communication Equipment Research Institute, Shanghai 201108, China)

**Abstract:** Silicon interposer based integration methodology can achieve high-speed optoelectronic interconnection, but there are many signal integrity problems. In order to meet the demand of high-speed optoelectronic interconnection on silicon interposer, this paper proposes a twisting method to improve the signal-to-noise ratio. Base on the electromagnetic simulation tool, the high-speed differential interconnects are modeled and simulated. The simulation results show that the proposed twisted differential interconnect has significant performance improvement on crosstalk cancelling. This paper also proposes optimization methods for the differential wires by adjusting the size and twisting position, which can further improve the transmission performance. Base on the simulation results, the proposed method can be used to improve the design of high-speed interconnect of silicon interposer.

**Key words:** Silicon interposer; high-speed interconnect; crosstalk; design optimization

### 1 引言

当前, 芯片之间的互连带宽是制约系统性能提升的一个重要因素. 在基于电信号的高速 SerDes 互连中, 由于导线的传输损耗, 其每比特传输能耗和传输速率受互连距离的显著影响; 在基于光信号的高速互连中, 利用光纤的低损耗特性可以实现远距离

的通信<sup>[1-2]</sup>. 一种较理想的芯片间互连方案是尽量减少电信号的传输距离, 使用电光转换后基于光信号实现较长距离的传输. 因为基于 CMOS 工艺的芯片还难以集成光器件, 电光转换需要在芯片外部完成, 基于硅中介层 (Silicon Interposer) 的三维封装技术为实现这种电光转换提供了解决方案, 新的高速互连场景如图 1 所示<sup>[3-4]</sup>.

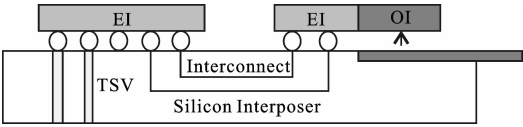


图 1 基于硅中介层的光电转换结构

硅中介层为电光互连提供了基础,但硅中介层中高速互连面临新的信号完整性问题,比如因为有限信道带宽引起的码间串扰,相邻信道间的电感和电容所引起的串扰问题. 针对传输线中的串扰抑制问题,文献[5-7]主要从电路结构出发,在发送端研究预加重技术或在接收端研究使用均衡器技术. 本文研究硅中介层中高速信号的传输特性,拟从互连线的结构设计出发,研究基于交叉的设计对于改善信号完整性的影响,提高互连性能.

2 差分互连线建模与仿真

高速互连中普遍使用差分技术来提高互连的传输性能,本文将对于硅中介层中的差分互连线,采用类似双绞线的交叉技术,研究这种设计其对于降低互连线之间串扰的影响.

为了研究硅中介层中的高速互连线传输特性,本文采用 ANSYS 的 HFSS 电磁场仿真软件进行建模,在建模中互连线的长度为 3 mm,互连线的其他参数如图 2 所示. 为了分析改进后的交叉差分互连线传输特性,本文以同样条件下传统差分线作参照;并在此基础上,分析交叉点的数量对差分互连线传输特性的影响,建模与仿真过程中交叉点均匀分布于长度一定的差分互连线上. 如图 3 所示,本文设计的差分互连线共使用了三层金属,其中金属层 M2 为主要的走线层. 信号线的布线方式如图 3 所示,图中其交叉点数量为 2. 为了使差分线具有较好的对称性,本文利用接触孔和 M1、M3 层金属构成交叉点.

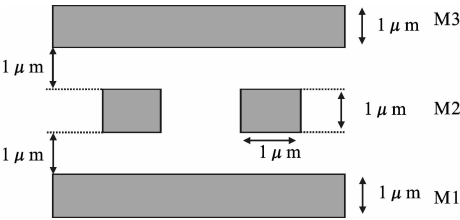


图 2 双绞线金属层横截面

首先通过 S 参数分析差分互连线在不同交叉数量下传输线特性,并与普通的差分线进行对比.

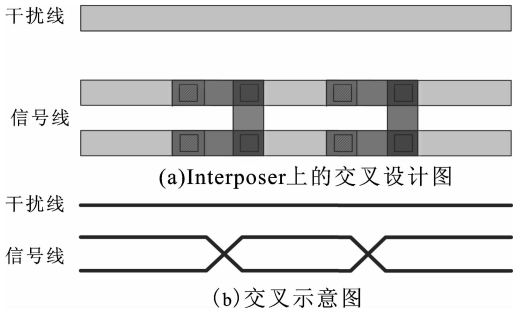
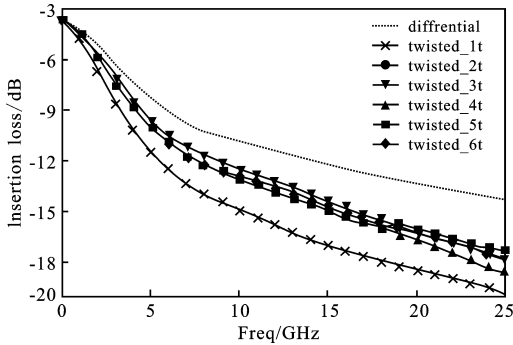
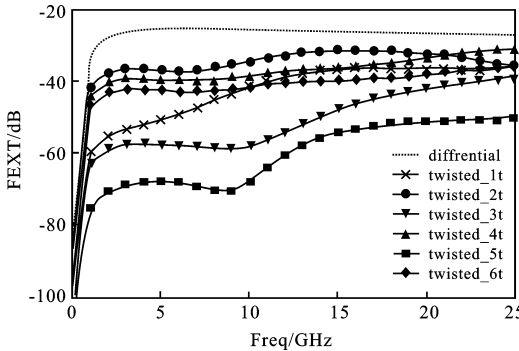


图 3 交叉差分线

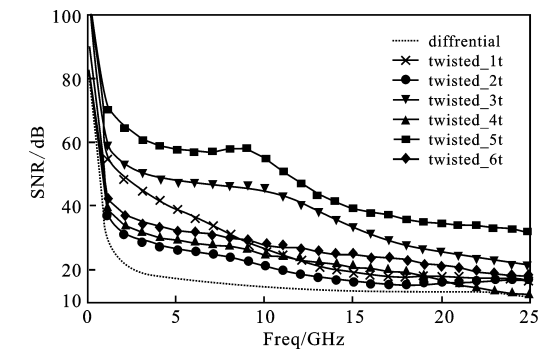
图 4 对比了交叉互连线交叉点数量为 1 到 6 时,和普通差分线的传输特性比较. 从图 4(a)中可以看出,高频时基于交叉的互连线的插入损耗均比普通差分线的大,其主要有两个因素. 首先,由于交叉设计中增加了接触通孔,实际上增加了信号线的长度;其次,接触通孔的尺寸与信号线尺寸相比较小,增加了信号的传输损耗. 图 4(b)中对比了交叉设计和普通设计的远端串扰. 从仿真结果看,交叉设计具有显著的串扰抑制能力. 当频率为 10 GHz 时,交叉点数量为 5 的设计中远端串扰仅为 -67.8 dB,而普通差分线的串扰高达 -25.7 dB. 从图 4(b)中还可以看到,随着交叉点数量的增加,干扰线对信号线产生的串扰越小,当交叉点数量为奇数时,双绞线的串扰抑制能力相对地要比交叉点数量为偶数时的更显著.



(a) 插入损耗



(b) 远端串扰



(c)信噪比

\* differential 指普通差分线, twisted\_nt 表示交叉点数量为 n 时的差分线

图 4 普通差分线与不同交叉点数量下差分线的 S 参数

为了比较交叉设计和普通设计在高频信号中的性能,本文使用了 SNR 来衡量信号经过传输线之后的质量,其中将远端串扰视为噪声信号,由传输线的 S 参数得

SNR = S<sub>21</sub> - S<sub>23</sub>

(1)

式中, S<sub>21</sub> 为插入损耗; S<sub>23</sub> 为远端串扰. 如图 4(c) 所示. 当仿真频率大于 10 G 时,基于交叉的差分线设计的信噪比有显著的提高. 当交叉次数为 3 时,在 10 GHz 时信噪比可以达到 45.3 dB. 在设计中,为了获取更高的信噪比,可以增加交叉的次数.

3 差分互连线的优化设计

3.1 传输线尺寸优化

互连线在高速传输中会呈现出趋肤效应,电流趋向于导体的表面分布,且越接近导体的表面则电流密度越大. 通常我们将导体内部电流密度衰减到表面电流密度的 1/e 时的深度称之为趋肤深度 δ, 其大小为<sup>[8]</sup>.

$$\delta = \sqrt{\frac{1}{\pi \mu \sigma f}}$$

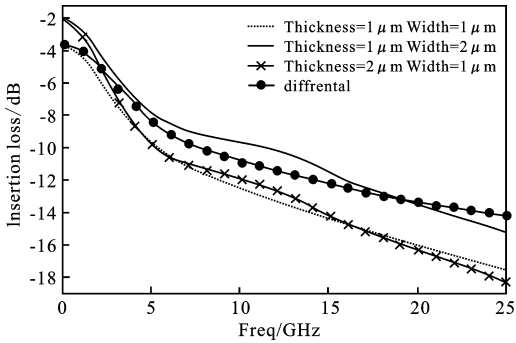
(2)

随着工作频率的增加,由于趋肤效应导体的有效横截面积就越小. 在高频电路中,为减小传输线的有效电阻,可以增加导体横截面的周长,减小信号衰减.

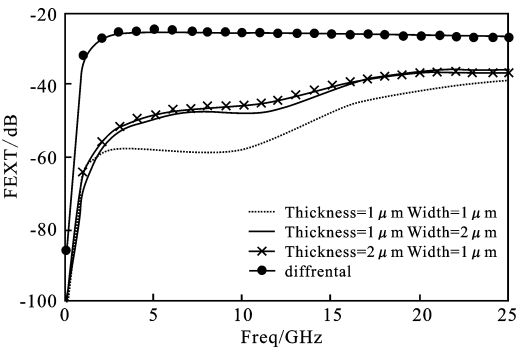
表 1 优化前后传输线的尺寸

|                   | 普通<br>差分线 | 交叉差分线 |   |   |
|-------------------|-----------|-------|---|---|
|                   |           | a     | b | c |
| 宽度/ $\mu\text{m}$ | 1         | 1     | 2 | 1 |
| 厚度/ $\mu\text{m}$ | 1         | 1     | 1 | 2 |

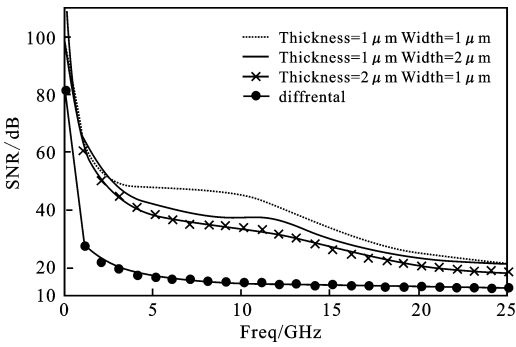
在图 4(a)中,可以观察到在采用交叉的设计中存在额外的插入损耗,在 10 GHz 频点处,普通差分线的拆入损耗比交叉点数量为 3 的差分线低 2.1 dB,而通过增加传输线的横截面积可以有效的降低信号插入损耗. 一般来说有两种方案,一是增加传输线的厚度,二是增加传输线的宽度. 在图 5(a) (b) 中,以交叉点数为 3 的差分线为例,对比了两种实现方案下,传输线的插入损耗和远端串扰的变化,优化前后传输线的尺寸如表 1 所示. 交叉设计中需要增加导线尺寸来提高信噪比.



(a)插入损耗



(b)远端串扰



(c)信噪比

图 5 不同宽度和厚度的交叉差分线的 S 参数和信噪比

保持导线截面积不变,不同宽度和厚度的交叉差分线的 S 参数和信噪比在图 5 中进行比较. 图 5 中,当增加传输线的厚度或者宽度,交叉差分线在低频中的插入损耗非常接近. 随着频率的增加,厚度增加的传输线的插入损耗下降很快,并趋近于原传输线. 在高频阶段,宽度增加的传输线比厚度增加的传输线插入损耗高. 对于远端串扰,由于信号线与干扰线的相对面积增加,导致互感电容增加,所以厚度增加的信号线的串扰略高于宽度增加的信号线;相比于没有使用交叉的传输线,二者的远端串扰抑制性能均有显著增加.

当交叉差分线的宽度从  $1\text{ }\mu\text{m}$  增加到  $2\text{ }\mu\text{m}$  后,其横截面积的增加可有效的抵消由接触孔而带来的插入损耗,且插入损耗整体上低于宽度为  $1\text{ }\mu\text{m}$  的普通差分线.

本文图 5(c)对比了这四种情形下的信噪比. 宽度和厚度均为  $1\text{ }\mu\text{m}$  的交叉差分线的信噪比是四者中最高的,交叉差分线在宽度和厚度不同的情况下,依然高于普通差分线的. 如果考虑到插入损耗,相比较改变厚度而言,改变信号线的宽度是一种更好的选择.

3.2 交叉点位置对信号完整性影响

在相同的交叉点数量下,当改变交叉点的位置时,交叉差分线的信号特性会产生一定的变化. 为了分析这种变化,本文以交叉点数设置为 2 时的互连线为例,如图 6 所示,在保持对称性和总长度为  $3\text{ mm}$  的情况下,调整 Length 的长度,改变交叉点的相对位置,并进行仿真. 仿真中传输线的宽度和厚度均为  $1\text{ }\mu\text{m}$ .

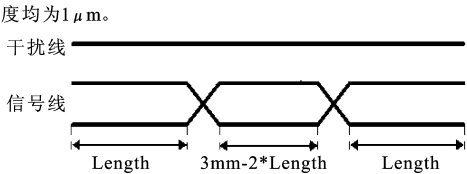
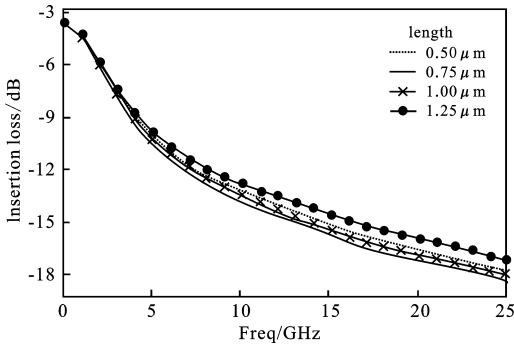


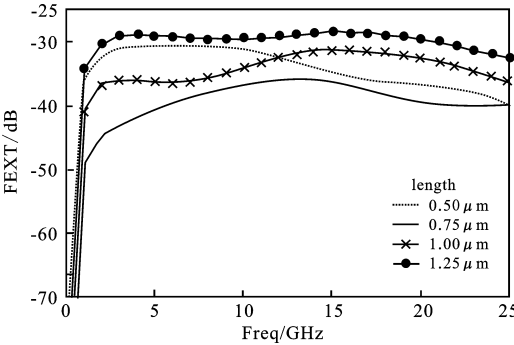
图 6 交叉点为 2 时的交叉差分线

从图 7 中可以看出,传输线的插入损耗随着交叉点位置的不同而产生微小的变化,而远端串扰的变化则非常显著. 当 length 为  $0.75\text{ }\mu\text{m}$ ,即交差点位于传输线的  $1/4$  和  $3/4$  处时,尽管传输线具有相对大的插入损耗,但其串扰抑制能力却有显著提升. 互连线长度不同时的信噪比如图 7(c)所示,可以看出

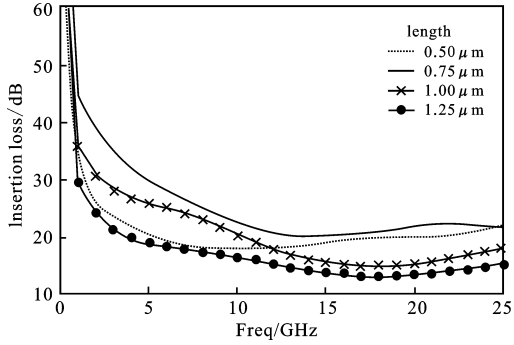
通过调整交叉点的位置,可以优化插入损耗和信噪比.



(a)插入损耗



(b)远端串扰



(c)信噪比

图 7 交叉点处于不同位置时,交叉差分线的 S 参数和信噪比变化

4 结束语

本文为解决高速光电互连的需求,对硅中介层中的高速差分互连线进行建模与仿真,并提出采用交叉的差分线设计方法来提高传输信噪比. 与普通的差分线对比,采用交叉的差分互连线具有更加显著的串扰抑制作用和更高的信噪比. 本文还针对交叉设计的互连线进行尺寸优化和交叉位置优化,仿真结果表明这些优化方法可以改善交叉互连的线的信噪比. 本文中提出的设计方法,可以用来改进硅中

介层的高速互连性能.

### 参考文献:

- [1] Dehlaghi B, Chan Carusone A. A 0.3 pJ/bit 20 Gb/s/wire parallel interface for die-to-die communication[J]. IEEE Journal of Solid-State Circuits, 2016, 51(11): 2690-2701.
- [2] Gu X. High-density silicon carrier transmission line design for chip-to-chip interconnects[C]//2011 IEEE 20th Conference on Electrical Performance of Electronic Packaging and Systems. San Jose, CA, 2011: 27-30.
- [3] Yang H S, Zhang C, Zia M L, et al. Interposer-to-interposer electrical and silicon photonic interconnection platform using silicon bridge[C]//2014 Optical Interconnects Conference. San Diego, CA, 2014:71-72.
- [4] Yang Y. 3D silicon photonics packaging based on tsv interposer for high density on-board optics module[C]//2016 IEEE 66th Electronic Components and Technology Conference (ECTC). Las Vegas, NV, 2016: 483-489.
- [5] Jacobs L, Guenach M, Moeneclaey M. MIMO preequalization and DFE for high-speed off-chip communication[C]//2016 13th International Multi-Conference on Systems, Signals & Devices (SSD). Leipzig,

2016: 177-182.

- [6] Jacobs L, Guenach M, Moeneclaey M. Application of MIMO DF equalization to high-speed off-chip communication[C]//IEEE EUROCON 2015 International Conference on Computer as a Tool (EUROCON). Salamanca, 2015: 1-4.
- [7] Sham K J, Ahmadi M R, Gerry Talbot S B, et al. FEXT crosstalk cancellation for high-speed serial link design[C]//IEEE Custom Integrated Circuits Conference 2006. San Jose, CA, 2006: 405-408.
- [8] Ramos H M G, Postolache O, Alegria F C, et al. Using the skin effect to estimate cracks depths in metallic structures[C]//2009 IEEE Instrumentation and Measurement Technology Conference. Singapore, 2009: 1361-1366.

### 作者简介:

**莫宁基** 男,(1993-),硕士研究生.研究方向为高速集成电路设计、三维集成电路设计.

E-mail:monj2015@sjtu.edu.cn.

**蒋剑飞** 男,(1979-),助理研究员.研究方向为高速集成电路设计.

**王琴** 女,(1975-),副教授.研究方向为大规模集成电路设计、先进集成电路设计方法.