

一种用于磁隔离驱动电路的编解码方案设计

彭 锐^{1,2,3}, 蔡小五^{1,2}, 刘海南^{1,2}, 罗家俊^{1,2}, 赵海涛^{1,2}, 吴秀龙³

(1 中国科学院 微电子研究所, 北京 10029; 2 中国科学院 硅器件技术重点实验室, 北京 100029;

3 安徽大学 电子信息工程学院, 合肥 230601)

摘 要: 采用体硅 0.25 μm BCD 工艺, 设计了一种用于磁隔离驱动电路的编解码方案, 将需要传输的数字信号编码成两个不同宽度的高频脉冲, 这些高频脉冲从变压器初级线圈耦合到次级线圈, 并且由次级端电路检测, 最后在输出端重新恢复成输入的信号。相对于传统的磁隔离驱动电路的编解码方案, 本文设计的磁隔离驱动电路的编码和解码方式新颖, 电路实现简单, 使传输的信号延迟时间大大减小, 并且工作频率更高。仿真结果表明, 电路在 3~5 V 的电压下能正常工作, 可以实现最大数据隔离传输速率达到 125 Mbps, 延迟时间最大仅有 8 ns, 静态电流 1.64 mA, 动态功耗 0.37 mA/Mbps。

关键词: 磁隔离; 高频脉冲; 延迟时间; 功耗

中图分类号: TN482

文献标识码: A

文章编号: 1000-7180(2018)09-0042-05

Design of An Codec Scheme for Magnetic Isolation Drive Circuit

PENG Rui^{1,2,3}, CAI Xiao-wu^{1,2}, LIU Hai-nan^{1,2}, LUO Jia-jun^{1,2},
ZHAO Hai-tao^{1,2}, WU Xiu-long³

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 10029, China;

2 Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China;

3 School of Electronics and Information Engineering, Anhui University, Hefei 230601, China)

Abstract: Based on bulk silicon 0.25 μm BCD process, a codec scheme for magnetic isolation drive circuit is designed. The digital signal to be transmitted is encoded into two high-frequency pulses with different widths. The primary winding of the transformer is coupled to the secondary winding and is detected by the secondary side circuit and finally restored to the input signal at the output. Compared with the codec scheme for traditional magnetic isolation drive circuit, the magnetic isolation drive circuit designed in this paper has a novel encoding and decoding method, and the circuit is simple to be realized. The delay time of the transmitted signal is greatly reduced and the frequency is higher. The simulation results show that the circuit can work normally under the voltage of 3~5 V, which can achieve the maximum data isolation transfer rate of 125Mbps. The maximum delay time is only 8ns, and the quiescent current is 1.64mA with the dynamic power of 0.37mA / Mbps.

Key words: magnetic isolation; high-frequency pulse; delay time; power consumption

1 引言

在实际应用中, 驱动电路实现的功能是主电路和控制回路之间的接口, 常用的驱动方式主要有直接驱动与隔离驱动, 直接驱动方式电路实现简单, 常用于驱动一些小功率电路, 而隔离驱动则被广泛应

用于各类功率器件的驱动。隔离驱动一般分为光电隔离和磁隔离。传统的技术使用光电隔离, 这种光电隔离器的内部绝缘层很厚, 通过电—光—电的转换, 能够实现从输入到输出的高压隔离, 但光电隔离的开关速度较慢, 传输延迟很大, 可靠性低。

随着半导体技术的发展, 对隔离驱动电路的数

据传输速率要求越来越高,基于片上微型变压器的磁隔离驱动电路已经逐渐成为市场的主流,磁隔离技术是利用芯片大小的微型变压器电磁耦合效应来进行信号传输,相对于传统的光电隔离,不仅降低了整体功耗,提高了传输速度,并且集成度更高.磁隔离技术根据对信号编解码的不同,主要有巨磁电阻隔离器^[1]和脉冲调制变压器隔离器.

ADI公司推出一种基于 iCoupler 技术^[2]的脉冲调制变压器隔离器,其传输波形如图1所示,上升沿编码成两个1 ns的脉冲,下降沿编码成一个1 ns的脉冲,这些高频脉冲在解码部分由检测信号 DD 恢复成输入信号,由于 iCoupler 技术中编码部分需要将上升沿编码成两个1 ns的脉冲,此编码电路实现较为复杂,并且解码后的信号相对输入信号产生较大的延迟.为了解决上述技术中存在的问题,我们在这个方案的基础上,设计一种新型脉冲宽度编解码方法,这个方案原理简单,电路易于实现,延迟时间更小,能够实现更高频率的信号传输.

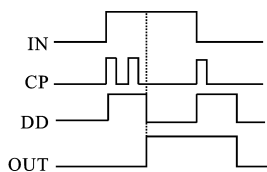


图1 iCoupler 编解码波形图

2 磁隔离驱动电路的编解码方案原理

2.1 原理分析

图2显示本文设计的编解码的原理传输图,用一个窄脉冲代表上升沿,一个更宽的脉冲代表下降沿,将输入信号编码成两个不同宽度的脉冲目的是将输入信号的上升沿和下降沿区别开来,使解码部分能够正确识别并解码.在解码部分,一个单稳态电路可以产生检测脉冲 DD 信号,如果检测到一个窄脉冲,输出将被置为高;另一方面,如果检测到为宽脉冲,输出就会被置为低.

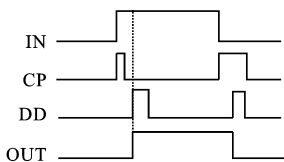


图2 编解码原理波形图

对比图1可知, iCoupler 技术解码后的输出信号边沿跳变总是跟随 DD 信号的下降沿,这造成了解码后的信号相对于输入信号产生一个固定的延

迟,而在本设计中,解码后的信号边沿跳变是随着 DD 信号的上升沿,这个改变会让解码后的信号相对输入信号减小一个相当大延迟,并且使磁隔离驱动电路的传输速率有了一个很大的提高.

2.2 原理框图

整个系统主要分为编码模块和解码模块,如图3为本文提出的磁隔离驱动电路编解码的原理图.在编码模块中输入信号首先经过滤波电路滤除信号的噪声,然后进入编码电路,其功能是完成对输入信号边沿跳变进行编码,上半部分电路由于 Delay₁ 电路产生1 ns的延迟,与原始信号与非后,上升沿编码成一个1 ns的脉冲,相应的下半部分引入4 ns的延迟,下降沿编码成脉冲宽度为4 ns的脉冲,最后通过一个与非门再将两个脉冲信号进行合成.编码部分还有一个刷新电路,其包括一个1 μs 定时电路(1 μs_Timer)和脉冲产生电路(PG),刷新电路主要作用是检测输入信号在1 μs 期间是否发生跳变,在正常的情况下 S₁、S₂ 输出1,如当输入信号在高电平产生1 μs 时间后仍然保持不变,此时1 μs 定时电路发出指令,PG 模块选通 S₁,输出一个脉冲宽度为1 ns 的信号.在低电平保持1 μs 时间后,PG 模块选通 S₂,输出脉冲宽度为4 ns 的信号.通常编码部分只有在接收输入信号边沿跳变时才发送脉冲,因此由于刷新电路的作用使电路可以隔离传输低频和直流信号,这在很大程度上保证了磁隔离驱动电路信号传输的正确性.

解码模块作用是根据接收到编码信号的宽度,获得原信号的变化信息,将原信号恢复出来.通过变压器传输过来的信号首先经过施密特触发器进行整形,当接收到脉冲宽度为1 ns 的信号时,解码部分输出一个高电平,接收到4 ns 的脉冲信号输出低电平.其中 D 触发器为上升沿触发, R 为复位端低电平有效,第一级触发器与延迟电路组成单稳态电路,当接收到编码信号的上升沿触发后,产生宽度2 ns 的脉冲信号 DD,并且延迟2 ns 输出,这可由 Delay₃ 电路实现,输出 DD 信号作为下一级 D 触发器的触发信号.编码脉冲信号经过一个反相器后接入第二级 D 触发器的信号输入端,当 DD 信号第一个上升沿到来的时候,此时脉冲宽度为1 ns 信号已经完成整个翻转,因此输入端输入高电平,此时输出端被置为高电平,当 DD 信号第二个上升沿到来的时候,由于第二个脉冲宽度为4 ns,此时还没发生完全翻转,输入端为低电平,因此输出信号为低电平,至此完成一个完整的解码过程.解码部分还有一个5 μs 定时

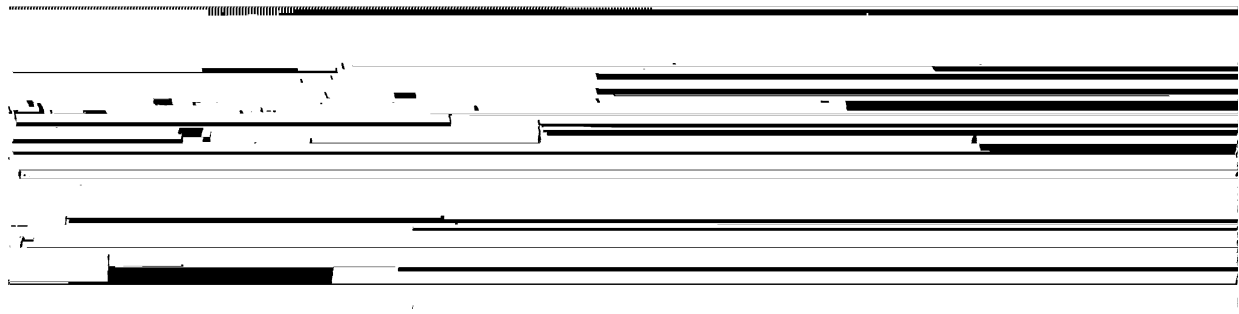


图 3 磁隔离驱动电路编解码的原理图

电路(5 μ s_Timer),这个电路的作用是检测解码部分 5 μ s 时间内是否接收到脉冲信号,如当解码部分 5 μ s 后还没有检测到脉冲,可以肯定电路此时发生了故障,这时立即发出停止信号,关闭输出端,从而保护设备安全.

2.3 片上微型变压器

片上微型变压器由金属螺旋式线圈构成,中间加绝缘层,这可以用不同的方式设计,片上变压器的设计在文献[3]中有详细的介绍.片上变压器一般可以由两类结构实现,第一类为平面变压器,变压器的线圈制作在同一个金属层上;第二类为层叠式变压器结构,该类变压器的初级电感线圈和次级线圈由上下两层金属堆叠组成,这种层叠式变压器具有高的自感和很好耦合系数,隔离效果好,因此广泛应用于磁隔离驱动电路中.

层叠式片上变压器采用立体堆积结构,因此集成度高,对层叠式变压器等效电路模型的建模和参数提取的研究一直在不断发展^[4],其中典型的电路模型是单 π 模型,但是其结构相对复杂,模型中各个参数计算较为复杂,本文采用了文献[5]提取的一种简单实用的片上变压器模型,其模型电路图 4 如所示,该模型在高频使耦合系数达到 80%以上.

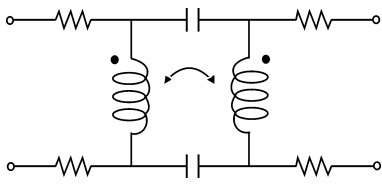


图 4 片上微型变压器模型

3 电路设计

由图 3 可知,本方案实现的编解码功能大部分由数字模块组成,在设计仿真这些数字模块时应采用最低的功耗实现功能.这其中使用的延迟电路是整个电路中功耗最多的电路模块,也是在编解码模块中使用

较多的模块,以下重点介绍编解码电路中延迟电路的实现,这些延迟电路具有不同的延迟时间,分别要实现 1 ns、2 ns、4 ns 的延迟,这主要是通过调整电容和充电电流的大小来精确控制不同的延迟时间.

图 5 为 Delay 模块电路图,左侧为主延迟电路,右侧为施密特触发器,对延迟后的信号进行整形输出.其中 M_1 和 M_2 为开关管, M_3 和 M_5 镜像输入一个与电源电压有关的基准电流源, M_4 和 M_6 镜像输入一个与电源电压无关的基准电流源,两个电流源叠加对电容充电,这样做的目的是消除施密特触发器翻转电压跟随电源电压变化所产生的影响,保证电源电压 3~5 V 的范围内工作.施密特触发器使用文献[6]提出了一种新型施密特触发器,其具有全摆幅输出、几乎不存在静态功耗、传输延迟几乎与负载无关等优点,非常适合在低功耗、高速度电路中使用.这种施密特触发器的翻转电压 V_{T+} 、 V_{T-} 可由电路准确设置得到,电容充电延迟时间 T_1 和放电延迟时间 T_2 计算公式为式(1)(2)所示.如果设计使得 $I_1 = I_2$,可以使上下沿具有相等的延迟时间.

$$T_1 = \frac{C \cdot V_{T+}}{I_1} \tag{1}$$

$$T_2 = \frac{C \cdot (V_{DD} - V_{T-})}{I_2} \tag{2}$$

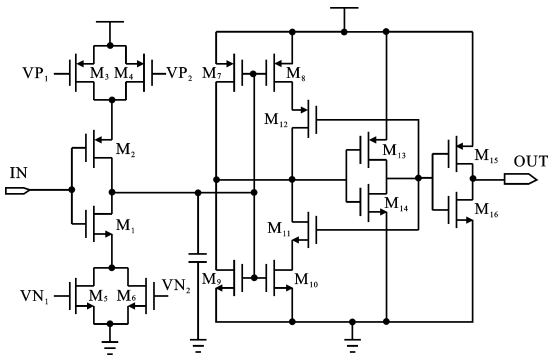


图 5 Delay 电路图

4 系统仿真

电路采用体硅 0.25 μm BCD 工艺,使用 Cadence Spectre 进行仿真,在电路各个模块设计仿真通过后,加入片上微型变压器模型进行整体的仿真.本次仿真中,编码和解码部分的电路分别采用 5 V 电源电压单独供电,输入端测试信号为周期方波.图 6 为整体电路仿真结果图,从仿真结果可以看出,解码输出的信号相对于输入信号仅有 7 ns 的延迟,相对于传统的磁隔离驱动电路的数据传输延迟时间大大减小,并且实际测试最大数据传输速率达到 125 Mbps.

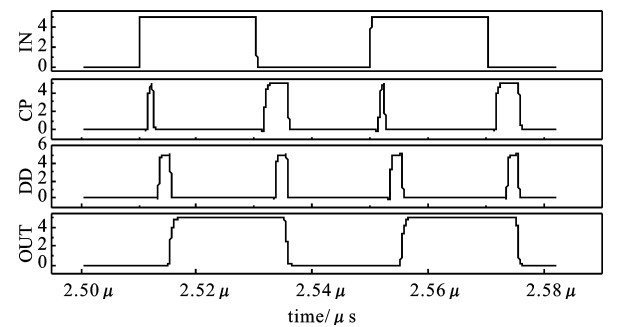


图 6 编解码波形图

表 1 给出编码和解码部分电路分别在 5 V 供电时,输入信号传输速率从 DC 到 125 Mbps 功耗仿真结果,其中 I_1 、 I_2 分别编码和解码部分电源漏电流,Type 是在 tt 工艺角下仿真结果,结果显示,满足磁隔离驱动电路的功耗设计指标要求.利用表 1 可以计算编码部分和解码部分的动态功耗,其计算方式为数据传输速率每增加 1 Mbps 功耗的变化,计算可得编码部分动态功耗 $I_{DD1}=0.22\text{ mA/Mbps}$,解码部分为 $I_{DD2}=0.15\text{ mA/Mbps}$.

表 1 功耗仿真结果

测试条件	参数	Type/mA	Max/mA
DC	I_1	1.07	1.25
DC	I_2	0.23	0.39
10Mbps	I_1	4.67	4.92
10Mbps	I_2	0.71	1.21
25Mbps	I_1	5.14	6.12
25Mbps	I_2	1.21	1.50
50Mbps	I_1	8.32	11.21
50Mbps	I_2	2.89	3.22
100Mbps	I_1	15.75	20.44
100Mbps	I_2	6.59	6.73
125Mbps	I_1	21.24	27.82
125Mbps	I_2	10.53	15.12

表 2 给出了输入信号数据传输速率从 10 Mbps 到 125 Mbps 下整体电路一些技术指标测量结果,其中包括信号从低到高的传输延迟时间(t_{PLH})、从高到低传输延迟时间(t_{PHL})、信号上升时间(t_R)、下降时间(t_F)和脉宽失真(PWD).表 3 列出了本文设计与参考文献性能参数比较,与其他相关文献的设计相比,本文设计的磁隔离驱动电路编解码方案具有较好的综合性能.

表 2 传输波形参数

测试条件	t_{PLH}	t_{PHL}	t_R	t_F	PWD
10 Mbps	7.69	7.36	0.86	0.63	0.33
25 Mbps	7.21	6.96	0.82	0.61	0.25
50 Mbps	6.92	6.64	0.79	0.58	0.28
100 Mbp	6.69	6.49	0.80	0.62	0.20
125 Mbps	6.62	6.41	0.81	0.59	0.21

表 3 本文与其他磁隔离驱动电路编解码方案性能比较

参数	文献[7]	文献[8]	本设计
工艺/ μm	0.5	—	0.25
传播延迟/ns	20	18	8
最大速度/Mbps	50	100	125
静态功耗/mA	0.57	2.0	1.64
动态功耗/(mA/Mbps)	0.21	0.16	0.37
脉宽失真/ns	<3	<2	<2
工作电压/V	5	3~5	3~5

5 结束语

本文提出了一种适用于磁隔离驱动电路的编解码方案,该方案的编解码电路主要采用数字模块实现,使用新型的编解码方式实现数字信号的隔离传输.仿真结果表明该方案的信号传输延迟时间最大仅有 8 ns,编解码部分整体的静态功耗和动态功耗分别为 1.64 mA、0.37 mA/Mbps.本次设计编解码电路简单,易于集成在超大规模集成电路中,满足高速度、低功耗的要求,并且可以与其他半导体功能集成在一起,因此可广泛应用在各种磁隔离驱动电路中.

参考文献:

[1] Hermann T M, Black W C, Hui S. Magnetically coupled linear isolator[J]. IEEE Transactions on Magnetics, 1997, 33(5): 4029-4031.

[2] Wayne S. iCoupler[®] Digital Isolators Protect RS-232, RS-485, and CAN buses in industrial, instrumenta-

tion, and computer applications[J]. Analog Dialogue, 2005, 39(10): 1-4.

[3] El Gharniti O, Kerherve E, Begueret J B. Modeling and characterization of on-chip transformers for silicon RFIC[J]. IEEE Transactions on Microwave Theory and Techniques, 2007, 55(4): 607-615.

[4] Cheng Ran, Chen Bo, Luo Danting, et al. Direct extraction method of equivalent circuit parameters for stacked transformer[J]. Journal Of Infrared And Millimeter Waves, 2016, 35(2): 172-176.

[5] 张风体. 基于片上变压器的数字隔离器的分析与设计[D]. 成都:电子科技大学, 2014.

[6] 冯勇, 刘诗斌, 李晓骏. 一种新型 CMOS 施密特触发器[J]. 计算机测量与控制, 2008, 16(11):1692-1694.

[7] 张风体. 一种基于片上变压器的数字隔离器编解码方案[J]. 微电子学与计算机, 2014, 31(1):164-167.

[8] Chen B, Wynne J, Kliger R. High speed digital isola-

tors using microscale on-chip transformers[J]. Elektronik magazine, 2003.

作者简介:

彭 锐 男, (1992-), 硕士研究生. 研究方向为功率驱动电路设计. E-mail: pengrui@ime. ac. cn.

蔡小五 男, (1979-), 博士, 研究员, 博士生导师. 研究方向为智能功率集成电路设计.

刘海南 男, (1979-), 硕士, 副研究员. 研究方向为集成电路的高可靠性设计.

罗家俊 男, (1973-), 博士, 研究员, 博士生导师. 研究方向为可靠性集成电路与器件设计技术.

赵海涛 男, (1983-), 硕士, 助理研究员. 研究方向为大容量存储器设计、智能功率集成电路设计等.

吴秀龙 男, (1979-), 博士, 教授, 博士生导师. 研究方向为超大规模集成电路设计.

(上接第 41 页)

参考文献:

[1] Cox R V. Speech and language processing for next-millennium communications services[J]. the IEEE, 2002, 88(8): 1314-1337.

[2] Lecun Y, Bengio Y, Hinton G. Deep learning[J]. Nature, 2015, 7553(521): 436-444.

[3] 方睿, 刘加贺, 薛志辉, 等. 卷积神经网络的 FPGA 并行加速方案设计[J]. 计算机工程与应用, 2015, 51(8):32-36.

[4] 李彦冬, 郝宗波, 雷航. 卷积神经网络研究综述[J]. 计算机应用, 2016, 36(9): 2508-2515.

[5] Qian Y. Very deep convolutional neural networks for noise robust speech recognition [J]. IEEE/ACM Transactions on Audio Speech & Language Processing, 2016, 24(12): 2263-2276.

[6] Qiu J. Going deeper with embedded FPGA platform for convolutional neural network[C]//Acm/sigda International Symposium on Field-Programmable Gate Arrays [s. l.]. 2016 :26-35.

[7] Gokhale V. A 240 G-ops/s mobile coprocessor for

deep neural networks[C]//Computer Vision and Pattern Recognition Workshops. USA Columbus, Ohio, 2014.

[8] Chen, Y H. Eyeriss: An energy-efficient reconfigurable accelerator for deep convolutional neural networks [J]. IEEE Journal of Solid-State Circuits, 2016, 52 (1):262-263.

[9] Ma Y. Scalable and modularized RTL compilation of convolutional neural networks onto FPGA [C]//International Conference on Field Programmable Logic and Applications. South Africa, 2016:1-8.

作者简介:

屈家丽 女, (1993-), 硕士研究生. 研究方向为数字电路. E-mail: qujiali@sjtu. edu. cn.

贺光辉 男, (1980-), 博士, 副研究员. 研究方向为通信系统、VLSI、硬件加速等.

王国兴 男, (1975-), 博士, 副教授. 研究方向为生物医疗电子、集成电路设计.