

一种高可靠 SoC 芯片的系统级设计方法

柳泽辰¹, 蒋剑飞¹, 王 琴¹, 关 宁²

(1 上海交通大学 电子信息与电气工程学院, 上海 200240;

2 上海航天电子通讯设备研究所, 上海 201108)

摘 要: 为了实现 SoC 在系统级的高可靠设计, 文本搭建了一个包括 PowerPC、DRAM、DMA、SRAM 模块的 SoC 系统级设计平台, 并采用 VCI 总线协议实现互连. 针对高可靠性问题, 本文提出并实现了三模冗余与 ECC 纠错编码相结合的存储加固方法, 通过一个图像数据处理程序, 分析比较了利用冗余和编码带来的可靠性提升. 系统级仿真结果表明, 本文提出的高可靠设计可以显著提高 SoC 的可靠性.

关键词: 系统级芯片; 三模冗余; 错误检测和纠正; 电子系统级设计; 高可靠

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2018)07-0054-04

A System Design Methodology for High Reliable SoC

LIU Ze-chen¹, JIANG Jian-fei¹, WANG Qin¹, GUAN Ning²

(1 School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China;

2 Shanghai Aerospace Electronics and Communication Equipment Research Institute, Shanghai 201108, China)

Abstract: In this paper, the reliability problem of the SoC is analyzed in system level. In order to implement the high reliable SoC in system level, a SoC system is designed which includes VCI bus, PowerPC processor, DMA controller, SRAM and DRAM interfaces. As for the high reliable SoC, this paper proposed a high reliable storage mechanism based on a TMR and ECC hybrid structure. An image processing program is design to simulate the reliability of the SoC system in system level. The simulation result shows that the proposed high reliable structure can improve the reliability of the SoC system.

Key words: SoC; TMR; ECC; ESL; high reliability

1 引言

随着系统级芯片(System on Chip, SoC)的广泛应用,对处理器可靠性提出了更高的要求.当前,有不同的方法可以提高系统芯片的可靠性.比如,在制造工艺上,采用 SOI 工艺可以减少闩锁的发生^[1];在电路设计中,使用环形栅器件可以实现 CMOS 可靠性的提高^[2];在芯片架构设计中,使用冗余结构、编码检验与纠错技术、锁步技术等来提高芯片的可靠性.

在 SoC 芯片设计中,如果从系统级架构出发,研究高可靠 SoC 的设计方法,并对其可靠性进行验

证,能够对整个系统有着较为准确的把握,有助于实现高可靠的系统芯片设计^[3].本文从系统级角度出发,研究 SoC 芯片的高可靠设计问题,通过系统级设计和仿真,验证所提出的高可靠设计方法对于提高 SoC 芯片可靠性的作用.

2 电子系统级设计

2.1 电子系统级设计的优点

对于 SoC 设计来说,随着软硬件设计复杂度的不断增加,芯片设计的周期与风险都在增加.电子系统级设计利用高层次的抽象与建模方法,在系统级实现架构设计与优化,进行软硬件协同设计与验证,

不仅可以加快 SoC 的软硬件开发速度,还可以减少整个芯片的设计风险. 尽管系统级的设计需要

各种在高层次抽象的 IP 来实现. 如图 1 所示, 为了实现系统设计, 处理器、存储器、其他 IP 都需要在一定的通信和运算精度内进行建模. 由于 SoC 系统比较庞大, 这些 IP 的精度要低于寄存器传输模型, 才能实现系统的快速建模和仿真, 但 IP 问题是系统级设计中遇到的主要挑战之一. 尽管如此, 由于系统建模的优点, 当前越来越多的 SoC 设计中开始使用系统级设计方法. 在 SoC 的系统级设计中, 系统级平台可以提供一些常用的高层次抽象 IP 和仿真建模框架, 提高系统级设计的效率. 比如, 商业的 EDA 软件, Carbon design system 的 SoC designer^[4] 或者开源的 SoClib^[5] 能够提供这样的平台.

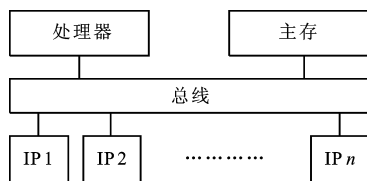


图 1 SoC 芯片结构

2.2 电子系统级实现

本文的 SoC 系统级设计选择基于开源的 SoClib 平台. SoClib 平台是一个用于多核 SoC 系统架构设计的电子系统级建模与仿真平台, 由法国 TIMA Lab、Lip6 等研究机构与 ST Microelectronics 等知名企业联合开发. 在前文中分析了系统级设计与基本框架的要求, 利用 SoClib 的设计与仿真平台, 以及高层次 IP 模型, 本文 SoC 的基本框架如图 2 所示. 由于本课题所设计的框架是基于 SystemC 的系统级仿真, 因此需要对所选用的非 SystemC 建模的 IP, 用 SystemC 进行包裹.

如图 2 所示, 本课题所设计 SoC 系统的基本框架包括总线、处理器、主存三部分, 并在此基础上增加各种功能 IP 模块, 所有 IP 模块都要求基于同一种总线协议. 在本文设计的结构中, 采用的是 VCI 总线作为整个系统内部各个模块互联的框架. SoC 系统的内核选择 PowerPC405 作为主核, 该处理器包括指令和数据缓存, 系统中的片上 SRAM 用于存放应用程序所需的相关数据和指令. 在此基础上增加了直接内存存取模块 (DMA) 主要用于帮助处理器处理一些块数据传输操作; 用于仿真数据打印的虚拟终端 TTY; 存放图像数据帧缓存 (Framebuffer). 外部用于数据存储的 DRAM 和接口控制

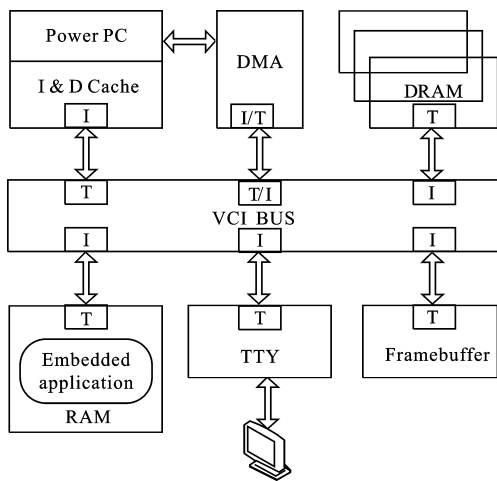


图 2 SoC 系统结构图

器; DRAM 模型和 DRAM 控制器选择马里兰大学研究的 DRAMSIM2 进行模拟. DRAMSIM2 系统模拟器, 可以模仿大部分 DRAM 存初期的时序并且提供各种接口, 通过修改内存参数以及映射机制, 可以实现较强的拓展^[6].

通过以上平台和模块的选择, 本文的 SoC 系统具备周期精确的系统仿真能力.

3 SoC 高可靠性设计

3.1 SoC 高可靠设计方法

当前 SoC 的高可靠设计主要通过以下几种技术实现.

一种方法是对于关键模块实现多模冗余设计 (NMR, N-Modular Redundancy), 如核心运算单元或者流水线关键硬件进行冗余设计, 最为常见的多模冗余设计是三模冗余设计 (TMR, Triple Modular Redundancy). 在三模冗余设计中, 有三个功能相同的模块同时执行相同的操作, 并对于输出进行表决, 以多数相同的输出作为系统的正确输出. 在三模冗余设计中, 三个模块中只要不同时出现两个相同的错误, 就可以实现错误的检出, 从而保证系统的正确输出.

另一种提高系统可靠性的方法是采用检查和纠正技术, 其广泛应用在数据存储和传输中. 最常的编码包括奇偶校验和一种称为检查纠错码的 ECC (Error Correcting Code) 编码技术. 在实现中, 有不同的编码技术可以实现不同数量比特的检查和纠正能力, 本文采用的 ECC 编码能够纠正 1 bit 错误, 检查出 2 bit 错误, 通过这种检查和纠错方式, 将使系统数据存储和传输大幅降低^[7].

还有一种提高系统可靠性的方法是采用锁步技术(Lockstep). 在锁步系统中,往往有多个相同的执行单元,通常是处理器,执行相同的操作,并通过比较输出来发现执行中的错误. 最常见的锁步系统是使用两个处理器,也有系统中使用三个处理器进行锁步.

在本文中采取三模冗余和 ECC 编码技术来提高 SoC 存储器系统的可靠性.

3.2 高可靠性系统实现

在本文的系统中,ECC 模块能发现 2 位 error 并能够纠正 1 位 error. 如图 3 中虚线框所示的 ECC 模块结构,主要由编码、译码和纠错电路以及 controller 三部分组成.

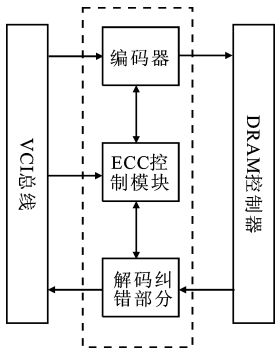


图 3 处于总线与控制器之间的 ECC 模块

(1)编码器:将总线上发射的写操作附带的 64 bits 的数据通过汉明编码,变成 72 bit 后再发送给 DDR 进行存储.

(2)译码及纠错电路:将 DDR 传送过来的 72 bits 数据解码成 64 bits 的数据后发送给总线通常是进行读操作时完成此步操作. 若有 1 位 error, ECC 纠错电路会将其纠正;有 2 位 error 时,无法纠正 error,只能检查出来,此次操作会反馈给 ECC controller,controller 产生中断直接交由处理器处理,本文没有做中断处理.

(3)ECC controller:控制编码和译码电路工作. 当然,还会产生中断,就如之前当发生 2 位 error 时会作的处理.

本课题在 DDR 控制器前插入这一级 ECC 模块,可以将 VCI 总线传输的 64 bit 数据包装成 72 bit 数据,ECC 模块首先拿到 64 bit 信号,再根据汉明编码成 72 bit 发给 DDR 控制器;对于 DDR 传输出的 72 bit 数据,进行解码后变为原来的 64 bit 数据传输回 VCI 总线.

当存储器的某一块区域受到高温或电磁干扰等

因素影响时,有可能会出现大面积的失效,导致存储的字出现多个 bit 的错误,为了应对这个问题,运用三模冗余可以比较恰当地解决这个问题. 本文将原来的 ECC 模块与 VCI 总线间插入一级三模冗余选择器,并将 ECC 模块对 DRAM 控制器的接口拓展成原来的三倍,用这种方法,可以将三个存储器发来的数据进行解码后再进行 TMR 对比,从而提高了可靠性,如图 4 所示.

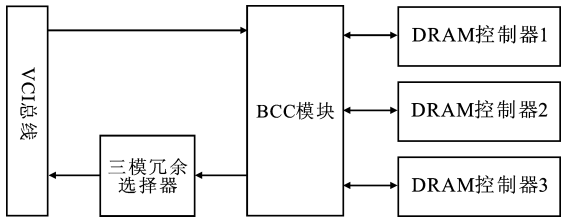


图 4 ECC 模块 + TMR 三模冗余组成结构

4 测试和分析

为了验证可靠性设计对于提高 SoC 系统可靠性的影响,本文在硬件设计的基础上进行了软硬件协同仿真,使用相应的图像处理程序进行验证.

SoC 的硬件包括 PowerPC 处理器、帧缓存、DRAM 和显示模块. 系统里帧缓存模块的帧缓存为 320×200 像素,以 YUV420 方式存储图像数据. SoC 系统的软件运行过程中,将 DRAM 中存储的数据导入到帧缓存中,这里本文考虑一种模型:假设每个 bit 都以相同的某个概率发生错误,因此,DRAM 的每个存储单元(1 Byte)也会以某一概率发生错误,为了使数据的错误率易于观察,用帧缓存每一个像素点来反映一个字节的的信息,帧缓存上反映出的黑点就代表存在错误的区域,如图 5 所示.

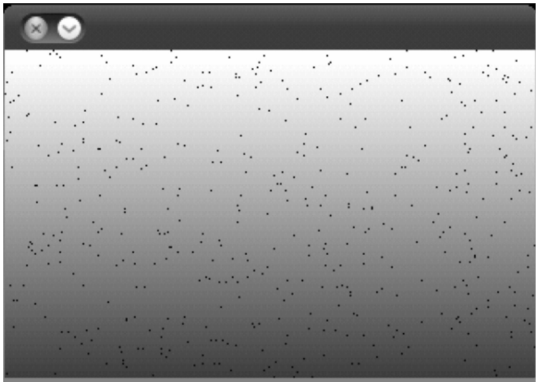


图 5 通过显示模块显示的错误分布

本文在三种结构下进行仿真和分析,分别是没有使用可靠性设计的 DRAM 存储、使用 ECC 冗余

的 DRAM 存储,使用 ECC 与 TMR 相结合的 DRAM 存储.实验结果如表 1 所示.本文实验了每个 bit 错误率为 1%,0.5%,0.1%(实际情况下错误率并没有那么高),由表 1 中可以看到,进行数据流传输时,普通的 ECC 能过滤掉相当一部分错误,而本文结合 ECC 与 TMR,又能将错误率下降几个数量级,当错误率非常低时,采用 ECC+TMR 结构将呈指数级下降.实际上,在高可靠应用中,

表 1 实验结果				
序号	出错概率			
	1 bit	1 byte	ECC	ECC+TMR
1	1%	7.61%	3.44%	4.51E-4
2	0.5%	3.90%	0.99%	4.25E-5
3	0.1%	0.82%	4.58E-4	5.00E-8

错误往往会比较集中在存储器的某些区域^[8],可能发生同一个字节中有相当多个误比特,此时 ECC 的单 bit 纠错就发挥不了作用,而三模冗余很好的解决了这种情况,大大提高了可靠性.

在仿真中,帧缓存大小会影响错误的检测率,在本文中,帧缓存设置为 320 * 200,一次能够实现 10⁽⁻⁵⁾量级左右的错误检测,在错误率较低的情况下,本文循环统计 10⁴ 次实验结果取平均,因此可以得到≈10⁻⁸量级的误码精度.

5 结束语

本文通过电子系统级设计方法,提出了一种针对高可靠 SoC 系统的设计方案,并给出了具体实现.通过在该结构上运行图像数据处理的程序,并通过修改 DRAM 控制器部分形成不同的结构并得到了不同的执行结果,验证了该系统级的设计方案的可行性,并且程序运行结果显示出 ECC+TMR 的

结构在可靠性方面较普通 ECC 结构有较为大幅的提升.

参考文献:

[1] 徐佳丽,杨阳,黄文刚. 一种 0.6μm SOI 抗辐照运算放大器的版图设计[J]. 微电子学,2013,43(3):337-340.

[2] 赵馨远,张晓晨,王亮,等. 晶体管栅形状对单粒子瞬态脉冲特性的影响研究[J]. 微电子学与计算机,2014,31(10):76-80.

[3] 孙铭泽,郭炜,周红月,等. 周期精确/位精确的 Cache 事务级建模方法[J]. 计算机工程,2013,39(8):74-76.

[4] SoC designer [EB/OL] [2017-10-09]. <http://www.carbondesignsystem.com>.

[5] SoCLib Platform. [EB/OL] [2017-09-27]. [www. So-CLib. fr](http://www.SoCLib.fr).

[6] Rosenfeld P, Cooper-Balis E, Jacob B. DRAMSIM2: a cycle accurate memory system simulator [J]. IEEE Computer Architecture Letters, 2011, 10(1):16-19.

[7] Li Zhanghui, Ni Xiaoqiang, Wang Yongwen. Implementation and design of error-correcting codes in high performance processor[C]//the 15th Computer Engineering and Industrial Meeting. Beijing,2011:65-69.

[8] Koren I, Koren Z. Defect tolerance in VLSI circuits: techniques and yield analysis[J]. IEEE, 1998, 86(9): 1819.

作者简介:

柳泽辰 男,(1993-),硕士研究生.研究方向为 SoC 设计与系统集成. E-mail:361616298@qq.com.

蒋剑飞 男,(1979-),助理研究员.研究方向为高速数字集成电路设计.

王 琴 女,(1975-),副教授.研究方向为大规模集成电路设计、先进集成电路设计方法.

(上接第 53 页)

[10] Guthaus T, Ringenberg M R, Ernst J S, et al. MiBench: a free, commercially representative embedded benchmark Suite[C]// IEEE International Workshop on Workload Characterization. Austin, 2001:3-14.

作者简介:

徐若玢 男,(1993-),硕士研究生.研究方向为粗粒度可重

构处理器编译器后端技术.

E-mail:xuruobin54@sjtu.edu.cn.

赵仲元 男,(1989-),博士研究生.研究方向为可重构计算的编译架构.

绳伟光 男,(1977-),助理研究员.研究方向为高可靠集成电路设计.

何卫锋 男,(1976-),副研究员.研究方向为 SoC 设计与系统集成.