

一种低失调电压的轨到轨运算放大器

史 柱,魏海龙,刘文平,兰 蕾

(西安微电子技术研究所,陕西 西安,710065)

摘 要:设计了一种低失调电压的轨到轨运算放大器,复合式折叠共射-共基结构作为电路的输入级和中间级,既保证了轨到轨的输入特性,又提高了增益.输出级采用 AB 类输出结构以达到轨到轨的输出摆幅.基于西岳电子技术有限公司 $6\ \mu\text{m}$ 40 V 标准双极工艺,Spectre 仿真测试表明:5 V 电压下,该运算放大器的直流开环增益达到 160 dB,单位增益带宽为 6.07 MHz.改进的中间级结构在偏置电路中 pJFET 阈值电压波动 20% 时,失调电压降低为传统结构的 10%.

关键词:失调电压;轨到轨;运算放大器

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)10-0058-04

A Rail-to-Rail Operational Amplifier with Low Offset Voltage

SHI Zhu, WEI Hai-long, LIU Wen-ping, LAN Lei

(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: An input and output rail-to-rail operational amplifier with low offset was introduced. The input and output stages of the circuit adopt compound folded common emitter and base structure which can not only get the input amplitude near to power supply rails but attain a high gain. Class-AB output structure is utilized to accomplish rail-to-rail output. Based on Xiyue corporation's $6\ \mu\text{m}$ 40 V standard bipolar process, simulation results of Cadence Spectre demonstrate that the low-frequency gain and unity-gain bandwidth of the proposed circuit are 160 dB and 6.07 MHz respectively. It also shows offset voltage can be reduced to 10% of the traditional circuit with the 20% change of pJFET's threshold voltage in modified middle stage.

Key words: fset voltage; rail-to-rail; operational amplifier

1 引言

随着现代集成电路朝低压低功耗的方向不断发展,高精度的 ADC、DAC 以及滤波电路为保持高的信噪比,使用到了轨到轨运算放大器.然而运算放大器的失调电压是一个处理的难点,一方面失调电压直接影响数模或者模数转换的精度,另一方面该电压通常又无法避免.因此,电路设计者的一个重要任务就是尽可能地降低失调电压.通常降低失调有两种手段,一种是通过合理的版图设计来抑制失调,另一种是采用特殊的电路结构来降低失调电压.文献[1,2]分别采用了自动调零和斩波调制技术.这两种方法很好地抑制了失调电压,但都引入了额外的电

路结构,显著地增大了电路的版图面积,不利于单片集成电路的成本降低.本文通过研究分析传统双极型轨到轨运算放大器的电路结构,论述了一种降低失调电压的方法,从而避免引入复杂的电路结构.

2 电路结构分析

图 1 为运算放大器的原理框图.本文的运放设计结构,主体电路共分为 3 级.其中,输入级采用并联的 NPN 和 PNP 差分对管实现轨到轨输入;中间级用于提高增益;输出采用 AB 类结构,在较低的静态电流下产生较大的输出电流以实现轨到轨的输出摆幅;偏置电路为以上各部分电路提供合适的静态工作点.

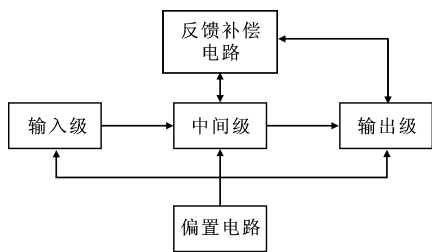


图1 运算放大器基本结构

2.1 偏置电路

偏置电路用于产生运算放大器工作的电压和电流基准,是运放工作的基础。本设计电路的偏置部分如图2所示。

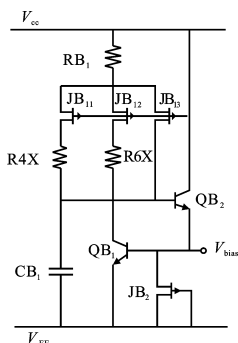


图2 偏置电路

pJFET负责开启电路,通过耗尽型pJFET调节QB₂的基极电压,确保在不同电源电压下QB₁可产生较为稳定的基准电流,提供给主体电路使用。其中RB1拟采用多次并联组成的金属薄膜电阻,以实现基准电流大小的控制。由于该工艺过程中电阻值难以精确控制,使得基准电流产生误差,因此将不可避免地引入失调电压。

2.2 输入级和中间级

如图3所示,为传统的复合式折叠共射-共基结构组成的输入级和中间级,既保证了轨到轨的输入特性又实现高增益^[3]。现将该部分电路的具体工作模式阐述如下。

V_{bias}是由偏置部分产生的基准电压,其通过RB₃使得QB₃导通,为NPN输入对管提供恒定的偏置电流;同理,QB₆镜像QB₄支路的电流对PNP输入对进行偏置。根据输入对管的工作模式,可将输入共模范围分为三部分^[4]:

(1) $V_{EE} < V_{COM} < V_{EE} + V_{CEsat3} + V_{BE3,4}$ (V_{COM} 为输入共模电压, V_{CEsat3} 为QB₃的饱和压降, $V_{BE3,4}$ 为Q₃或Q₄管的发射结导通电压),仅有PNP输入对导通,此时总跨导为:

$$G_m = g_{mnp} = \frac{I_{C1,2}}{V_T} = \frac{1}{2} \frac{I_S \exp \frac{V_{bias}}{V_T}}{V_T} \quad (1)$$

式中, I_C 为PNP输入对单管的集电极电流。

(2) $V_{EE} + V_{CEsat3} + V_{BE3,4} < V_{COM} < V_{CC} - V_{CEsat6} - V_{EB1,2}$ (V_{CEsat6} 为QB₆的饱和压降绝对值, $V_{EB1,2}$ 为Q₁或Q₂管的发射结导通电压的绝对值),两对输入差分对管同时工作,此时的跨导为:

$$G_m = g_{mnp} + g_{mnpn} = 2 \frac{I_{C3,4}}{V_T} = \frac{I_S \exp \frac{V_{bias}}{V_T}}{V_T} \quad (2)$$

(3) $V_{CC} - V_{CEsat6} - V_{EB1,2} < V_{COM} < V_{CC}$, 仅有NPN输入对导通,此时的跨导表达式和式(1)相同。

根据上述分析,当输入共模电压处于中间电平时,输入级的总跨导是输入接近电源轨时的2倍。因此,在采用此种输入级结构时,跨导恒定的中间电平范围越大越接近轨到轨的输入范围。

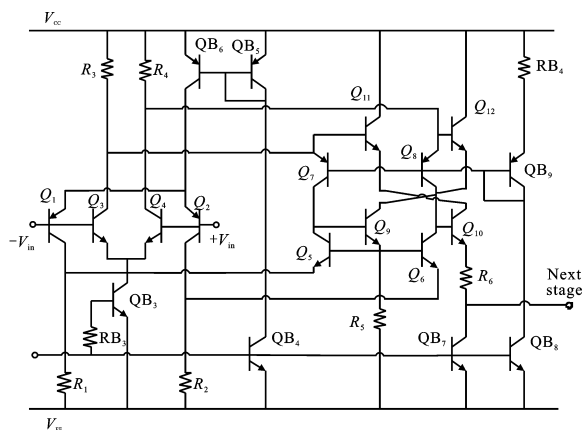


图3 传统的输入级和中间级

该中间级是以Q₇、Q₈和Q₅、Q₆形成的共基级电路组成,其中QB₉通过RB₄为Q₇、Q₈提供恒定电压;而Q₅、Q₆的基极由Q₉和Q₁₂进行偏置。文献[5]中关于对CMOS差分对的输入失调电压定量分析公式为:

$$\sigma^2(V_{os}) = \sigma^2(\Delta V_{Tp}) + \frac{\beta_n}{\beta_p} + \sigma^2(\Delta V_{Tp}) + \frac{I}{2\beta_p} \left| \frac{\sigma^2(\Delta\beta_p)}{\beta_p} + \frac{\sigma^2(\Delta\beta_n)}{\beta_n} \right| + \sigma^2(\Delta\lambda_p) \left(\frac{V_{Dsp}}{1 + \lambda_p V_{Dsp}} \right)^2 + \sigma^2(\Delta\lambda_n) \left(\frac{V_{Dsn}}{1 + \lambda_p V_{Dsn}} \right)^2 \quad (3)$$

式中, β_n 和 β_p 分别为跨导参数; $\sigma^2(\Delta V_{Tp})$ 和 $\sigma^2(\Delta V_{Tn})$ 为阈值电压方差; $\sigma^2(\Delta\beta_p)$ 是PMOS的跨导方差; $\sigma^2(\Delta\beta_n)$ 是NMOS镜像电流源的跨导方差; $\sigma^2(\Delta\lambda_p)$ 是PMOS的沟长调制系数方差; V_{Dsp} 是输入级的漏源电压。从上式可以看出可供电路设计者

更改的设计变量为偏置电流 I 和输入级的 ΔV_{DS} ,但是偏置电流降低会使得运算放大器的转换速率受到影响,所以失调电压降低的主要手段在于减小输入级 PMOS 的 ΔV_{DS} . 因此,在图 3 所示的传统双极型轨到轨放大器的输入级电路中就是要减小 PNP 输入对管 Q_1 和 Q_2 的集电极电压失配.

在输入级电路中, Q_1 和 Q_2 的集电极电流是由流经负载电阻的电流和注入中间级的射极电流组成. 其中 Q_5 和 Q_6 的射极电流分别为 I_{E5} 和 I_{E6} ,它们分别由各自的集电极电流 I_{C5} , I_{C6} 和基极电流 I_{B5} , I_{B6} 构成. 然而,

$$I_{C5} = I_{C7} + I_{B9} = I_{C7} + \frac{I_{E9}}{\beta} \tag{4}$$

$$I_{C6} = I_{C8} + I_{B10} = I_{C8} + \frac{I_{E10}}{\beta} \tag{5}$$

以上两式中 β 为三极管电流放大倍数, I_{C7} 和 I_{C8} 大小相同; I_{E9} 是由 Q_5 和 Q_6 基极偏置电压在电阻 R_5 上产生的恒定电流,而 I_{E10} 则是偏置电路的镜像电流,其值因 RB_1 阻值而产生波动. 这两路电流的差异使得输入级 PNP 对管的集电极产生压差,从而形成失调电压.

图 4 为改进后的输入级和中间级电路结构. 与传统的双极型轨到轨运算放大器中间级结构相比,本设计使用 QR_5 管用来形成基准的镜像电流,同时把 R_5 的调到和 R_6 相同的阻值.

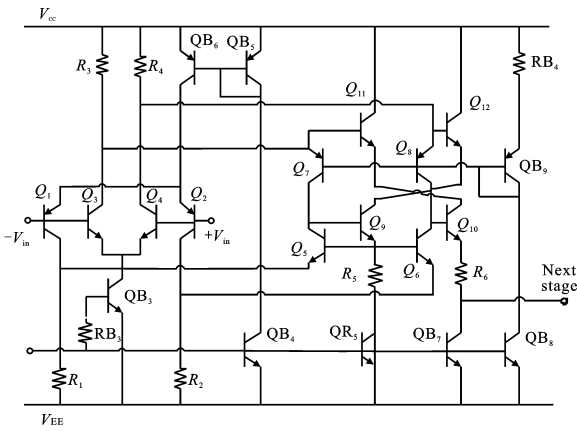


图 4 改进的输入级和中间级

由于提高线路的对称性将使得输入级 PNP 管的集电极电压失配减小^[6],从而使得失调电压降低. 具体的失调降低效果将在后续的仿真结果中详细阐明.

2.3 其它模块设计

为实现轨到轨的输出摆幅,输出级采用 AB 类输出拓扑结构,静态电流小而输出电流大,能够驱动

较大的容性负载,同时有较小的交越失真. 另外,频率补偿电路是针对于跨导恒定的中间电平输入模式下设计的.

3 仿真和测试分析

为了方便频率补偿,本设计要求在中间电平范围内保持输入级的跨导恒定^[7]. 图 5 是跨导随共模电压变化的曲线图,该图是在单电源 5 V 的电压下仿真得到的.

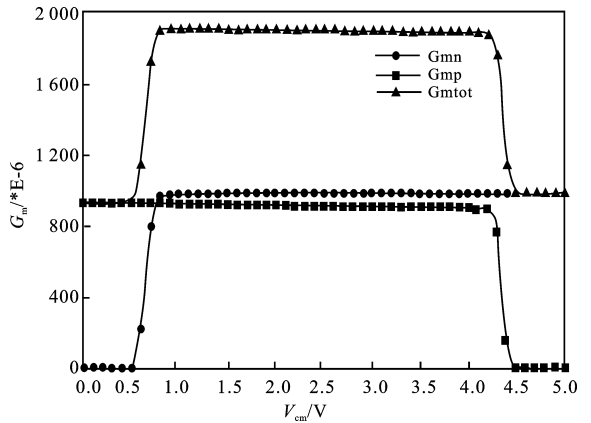


图 5 跨导随共模电压变化情况

图 5 中带菱形曲线表示输入 NPN 管的跨导随输入共模电压的变化,带方块曲线表示 PNP 管;总的等效跨导的变化用带三角形曲线表示. 从该仿真图中清楚地看出,5 V 电压下,中间跨导恒定的范围为 0.8~4.3 V,基本实现了恒跨导的轨到轨输入. 放大器的动态特性也是重点仿真对象. 如图 6 所示,同为 5 V 电压、空载条件下对本设计进行仿真,结果表明:该运放的直流开环增益可达到 160 dB,单位增益带宽 6.07 MHz,相位裕度为 48.4°.

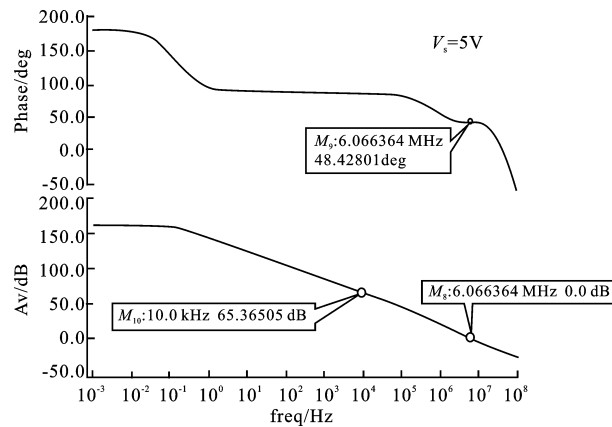


图 6 开环频率响应特性

本文在前面已经根据拟采用的工艺分析了本设

计中失调电压产生的重要来源,即 RB_1 的阻值控制精度. RB_1 的阻值波动最终会引起基准电流的变化,这一结果和偏置电路中 pJFET 的阈值电压变化是等效的. 因此,为模拟 RB_1 阻值变化引起的失调电压,本文仿真了 pJFET 阈值电压变化 20% 引起的传统中间级线路结构和改进的中间级线路结构的失调电压,其结果如下表 1 和表 2 所示.

表 1 传统中间级结构失调电压				
参数	条件	传统中间级		
		标准	↓ 20%	↑ 20%
V_{th}	$T=25\text{ }^{\circ}\text{C}$	-1.56V	-1.87V	-1.25V
		4.7 μ	10.7 μ	-12.4 μ
V_{OS}	$-40\leq T\leq 125\text{ }^{\circ}\text{C}$	1.4~6.3 μ	8.7~18 μ	-37~12 μ

表 2 改进中间级结构失调电压				
参数	条件	改进中间级		
		标准	↓ 20%	↑ 20%
V_{th}	$T=25\text{ }^{\circ}\text{C}$	-1.56V	-1.87V	-1.25V
		2 μ	1.9 μ	2.7 μ
V_{OS}	$-40\leq T\leq 125\text{ }^{\circ}\text{C}$	1.2~4.6 μ	0.8~4.5 μ	1.8~5.4 μ

以上两表的仿真数据显示,在 pJFET 设定相同的阈值电压下,常温时,本设计的失调电压为 2 μ V,小于传统结构的 4.7 μ V;在阈值电压波动 20% 的情况下,整个工作温度范围内,传统结构的失调电压最大变化为 43.3 μ V,而本设计的失调电压最大变化约为 4.2 μ V,不到传统结构的 10%. 因此,本设计失调电压明显小于传统中间级结构的放大器.

设计的其他性能参数仿真结果由表 3 给出,所有的参数都是按照相应的测试方法在 $T=25\text{ }^{\circ}\text{C}$ 仿真得到.

表 3 其他性能参数仿真结果	
指标	仿真值
电源电压范围/V	3~15
偏置电流/nA	≤450
输入失调电流/nA	≤50
压摆率/(V/ μ S)	≥2.4
开环增益/(V/mV)	≥150
共模抑制比/dB	≥80
电源电压抑制比/dB	≥90

4 结束语

本文提出了一种输入输出轨到轨的运算放大器设计,在输入共模电压下,实现了恒定跨导. 通过分析失调电压产生原因,采用改进的中间级线路结构,仿真结果表明阈值电压波动 20% 的情况下,失调电压降低为传统中间级结构轨到轨运放的 10%. 该设计可作为 DAC 的输出模块或者 ADC 的输入缓冲模块使用.

参考文献:

[1] 刘帘曦,杨银堂,朱樟明. 基于 MOSFET 失配分析的低压高精度 CMOS 带隙基准源[J]. 西安电子科技大学学报(自然科学版),2005,32(3):348-352.

[2] Tesch B J, Pratt P M, Bcrania K, et al. 14-b 125 MSPS digital-to-analog converter and bandgap voltage reference in 0.5um CMOS[C]//Proc of ISCAA'99. Orlando:IEEE,1999: 452-255.

[3] Adel S Sedra, Kenneth C Smith. Microelectronic circuits[M]. 5th ed. Beijing: Publishing House of Electronics Industry,2006:505-511.

[4] Hogervorst R, Tero J P, Eschauzier R G H. A compact power-efficient 3V COMS rail-to-rail input/output operational amplifier for VLSI cell libraries [J]. IEEE Solid-State Circuits, 1994(29):1505-1512.

[5] Xiao Ben,Xiao Ming. Design of CMOS operational amplifier offset voltage reduction [J]. Electronic Sci&Tech, 2015,20(2):139-142.

[6] Paul R Gray, Paul JHurst. Analysis and design of analog integrated circuits[M]. 张晓林,译. 北京:高等教育出版社,2005:397-399.

[7] 张为,彭颜豪,齐步坤,等. 前馈型轨到轨恒跨导恒增益 CMOS 运算放大器[J]. 华中科技大学学报:自然科学版,2011,39(1):19-23.

作者简介:

史柱男,(1993-),硕士研究生. 研究方向为集成运算放大器设计. E-mail:1257106914@qq.com.

魏海龙男,(1976-),博士,研究员,硕士生导师. 研究方向为模拟集成电路设计.

刘文平男,(1957-),研究员,硕士生导师. 研究方向为宇航级模拟集成电路设计.