

一种单粒子效应加固 RS 触发器电路设计

王 佳¹, 李 萍¹, 郑 然¹, 魏晓敏¹, 胡永才²

(1 西北工业大学 计算机学院, 陕西 西安 710072; 2 斯特拉斯堡大学, 法国 斯特拉斯堡 67037)

摘 要: 提出了一种结构新颖的 RS 触发器电路结构. 基于双互锁存储单元结构, 实现了单粒子翻转加固. 为进一步消除单粒子瞬态的影响, 提出的电路采用了一个保护门电路和一个施密特触发器. 该电路基于一种 0.25 μm 商用标准 CMOS 工艺进行了电路设计和版图物理实现. Spectre 仿真结果表明提出的 RS 触发器对一个单粒子事件完全免疫, 输出电压波形不受单粒子翻转和单粒子瞬态脉冲的影响. 与三模冗余结构相比, 在同等可靠性的情况下, 该触发器面积减小 27.8%, 功耗降低 43.1%.

关键词: 单粒子效应; 单粒子翻转; 单粒子瞬态脉冲; 辐射加固; 触发器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2018)09-0055-04

Design of a Single Event Effects Hardened RS Flip-Flops

WANG Jia¹, LI Ping¹, ZHENG Ran¹, WEI Xiao-min¹, HU Yong-cai²

(1 College of Computer Science, Northwestern Polytechnical University, Xi'an 710072, China;

2 University of Strasbourg, Strasbourg 67037, France)

Abstract: A novel RS flip-flop is proposed in order to degrade the influence of single event upset and single event transient. The proposed circuit can resist single event upset with the help of dual interlocked cell. Moreover, a guard gate and a Schmitt trigger are employed to be immune to single event transient. The proposed circuit is implemented in a 0.25 μm commercial standard CMOS process. The Spectre simulation results demonstrate that the proposed circuit is immune to the single event upset and single event transient as only one single event happens. Compared with the triple modular redundancy providing same reliability, the die area and power dissipation of the proposed circuit are decreased by 27.8% and 43.1%, respectively.

Key words: single event effects; single event upset; single event transient; radiation hardness; flip-flop

1 引言

近年来,在空间环境下,单粒子翻转(Single Event Upset, SEU)等单粒子效应成为芯片失效的主要因素^[1]. 另外,芯片工作时钟频率逐渐提高,单粒子瞬态脉冲(Single Event Transient, SET)对组合逻辑电路的影响日益显著^[2]. 因此,亟需对单粒子效应进行加固. 绝缘体上硅(Silicon On Isolator, SOI)等抗辐射工艺可以在不改动电路结构的基础上得到较好的抗辐射性能,但是此类工艺的制造成本较高.

而辐射加固设计(Radiation Harden By Design, RHBD)方法基于标准商用工艺,通过系统、电路和版图三个设计层次上进行改进实现辐射加固目的. 由于其制造成本更低, RHBD 方法越来越受到设计者青睐. 本文提出的触发器电路就是在电路结构和版图设计上进行改进实现辐射加固.

RS 触发器是数字电路中的常用模块,可用作寄存器和生成内部时钟等关键信号. 其处于保持锁存状态时,若存储节点被高能粒子击中状态翻转,则发生 SEU 现象. 处于置位/复位状态时,输出节点可

收稿日期: 2017-12-08; 修回日期: 2018-01-05

基金项目: 国家自然科学基金项目(61504108, 61504109); 中央高校基本科研业务费专项资金(3102017zy028); 陕西省自然科学基金项目(2017JM6084)

以恢复为正确值,但是波形上存在瞬态脉冲.即,SET 现象.如果作为时钟使用,可能给后续电路造成功能错误.因此必须针对 SET 和 SEU 进行加固设计.研究者们多基于空间/时间上的冗余技术进行加固^[3].三模冗余(Triple Modular Redundancy, TMR)技术可以避免发生 SEU 现象,但是牺牲了面积,而且无法消除 SET 影响^[4].T. Calin 等人提出的双互锁存储单元(Dual Interlock Cell, DICE)结构消耗相对较小的面积就能够很好的消除 SEU,但是输出节点仍存在 SET^[5].通过增加滤波电阻电容的方法,可以在一定程度上消除 SET,但是降低了电路的速度,增大了面积^[6].为了能够在尽量不牺牲电路面积和速度的基础上,同时消除 SEU 和 SET,本文基于 DICE 电路提出了一种新颖的 RS 触发器结构.

2 电路设计与版图设计

提出的 RS 触发器在保证功能正确的前提下,分别在电路设计和版图设计层面进行了相应的辐射加固.不仅考虑了 SEU、SET,同时考虑了总剂量电离效应和单粒子门锁的加固方法.下面分别介绍电路设计及晶体管级实现,辐射加固版图设计.

2.1 电路设计及晶体管级实现

如图 1 所示,提出的电路由基于 DICE 结构的 RS 触发器、保护门电路、施密特触发器三部分组成.普通 RS 触发器一般由两个与非门或者或非门的输入输出相互交叉连接实现其功能.考虑到 NMOS 晶体管在总剂量效应下阈值电压下降,或非门更易失效,本文工作采用与非门来实现 RS 触发器.为了实现冗余,将普通的二输入与非门结构改为三输入,如图 2 所示.其中输入 A 和 B 为逻辑值完全相同信号,作为冗余.输入 C 连接复位或置位端,保证 RS 触发器的正常逻辑功能.

提出电路中的四个与非门晶体管尺寸完全相同.每个与非门的输出分为两路,分别连接到与其相邻与非门的输入端 A 和 B.即每个输出信号都连接到一个 NMOS 管和一个 PMOS 管的栅极.这样顺次连接,将四个与非门连接为一个整体.然后,输入端 C 依次分别连接 R 和 S,形成 RS 触发器.实际上,若 R 和 S 均为逻辑“1”处于锁存保持状态时,该电路的动作和 DICE 完全相同.触发器的每个输出被存储在两个独立物理节点上,因此当其中一个节点发生 SEU 错误,另外一个节点可以通过反馈回路将其恢复.为了说明该电路的 SEU 加固原理,进行

以下分析.

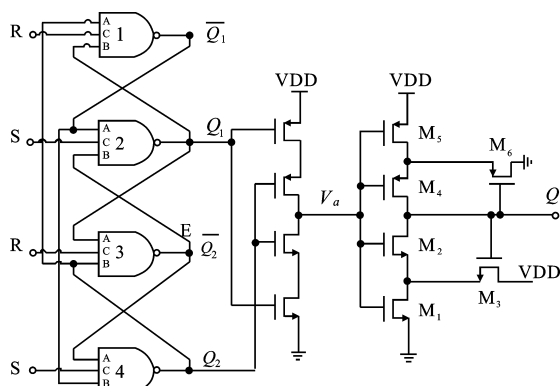


图 1 提出的 SEU 和 SET 加固 RS 触发器电路

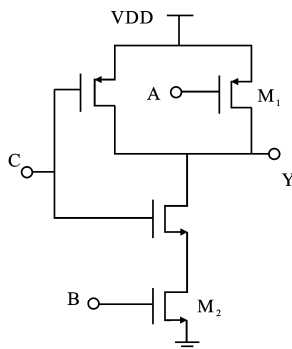


图 2 三输入与非门的晶体管级电路

因为 RS 触发器只有在保持阶段才会发生 SEU 事件,所以下面分析时,R 和 S 信号均设置为逻辑“1”.假设节点 Q_1 被高能粒子击中,其电压发生翻转.具体分为两种情况:

(1) Q_1 初始值为逻辑“0”,被击中后翻转为逻辑“1”.与 Q_1 相连接的与非门 3 中的 PMOS 管 M_1 和 NMOS 管 M_2 均关断,为高阻态.而非门 1 中 M_1 和 M_2 均导通,输出无法确定.所以翻转的错误信号无法继续传播, Q_2 仍为逻辑“0”.其可以将与非门 1 的输出 $\overline{Q_1}$ 重置为逻辑“1”,关闭与非门 2 中的 PMOS 管 M_1 ,隔断其输出与电源之间的通路,进而将 Q_1 重新恢复为逻辑“0”.最终结果不变.

(2) Q_1 初始值为逻辑“1”,被击中后翻转为逻辑“0”.此时,与非门 1 中的 PMOS 管 M_1 和 NMOS 管 M_2 均关断,为高阻态.而非门 3 中 M_1 和 M_2 均导通,输出无法确定.所以翻转错误信号无法继续传播, Q_2 的值仍为逻辑“1”.其可以将与非门 3 的输出 $\overline{Q_2}$ 重置为逻辑“0”,关闭与非门 2 中的 NMOS 管 M_2 ,隔断其输出与地之间的通路,进而将 Q_1 重新恢复为逻辑“1”.最终结果不变.

其他三个输出节点发生 SEU 事件的分析,与节

点 Q_1 类似,不再赘述。因此,当只有一个节点的电压被破坏时,触发器输出结果不变,可以不受单个 SEU 事件的影响。然而,需要指出的是,被击中节点处的电压会发生变化,然后再恢复为原值,其波形上会出现瞬态脉冲。另外,在复位或置位阶段,输出波形上也会出现瞬态脉冲。即,存在 SET 现象。这种情况若出现在时钟或其他关键控制信号上,将导致系统错误。为了消除 SET 的影响,本文提出的电路结构中,增加了一个保护门电路和一个施密特触发器。

保护门电路实质上是对信号在空间和时间上进行冗余设计^[7]。其工作原理是,只有当两个输入端电平完全相同时,才会输出结果,其他情况下,都是高阻状态^[8]。考虑到前级触发器中存在逻辑值相同的两个输出 Q_1 和 Q_2 , 并且 Q_2 波形中瞬态脉冲的幅度与 Q_1 相比较小得多,因此,可以利用保护门电路将 Q_1 上的瞬态脉冲屏蔽掉。同时,可以适当增加晶体管的尺寸,提高寄生电容,进一步减小幅度。为了避免延迟单元影响电路速度,保护门电路中去掉了延迟单元。当 SET 较为严重或受到其他外界噪声干扰时,保护门电路输出波形上可能会出现小幅度尖峰。为了消除可能出现的尖峰信号,实现逻辑值的反相操作,最后一级采用施密特触发器。从而实现可同时 SEU 和 SET 免疫的触发器设计。

2.2 版图设计

本文提出的电路采用 $0.25\ \mu\text{m}$ 2P4M 商用标准 CMOS 工艺进行了电路设计和版图设计。如图 3 所示,电路的物理实现面积约为 $76\ \mu\text{m} \times 68\ \mu\text{m}$ 。与非门 1—4 对称摆放。为了防止 Q_1 和 Q_2 或 $\overline{Q_1}$ 和 $\overline{Q_2}$ 同时被粒子击中,或者通过共享电荷引起多个节点电压发生翻转。版图设计在布局上,进行了仔细考虑。将输出相同逻辑值的与非门 1 和 3, 2 和 4 分开摆放在对角位置,故意拉大了它们之间的物理距离。

另外,为了隔断由总剂量电离效应引起的单个晶体管内部源级和漏极之间的泄露电流通路,电路中的所有 NMOS 晶体管均采用环栅晶体管结构实现。同时,每个晶体管由保护环包围,来隔断相邻器件之间的泄露电流通路并且避免发生单粒子门锁。版图设计时,也拉大了 N 阱与 NMOS 晶体管之间的距离进一步减小由总剂量电离效应引起的寄生电流。因为受版图设计规则限制,采用的 NMOS 晶体管宽度较大。尽管在一定程度上增大了芯片的面积,但是大尺寸晶体管有利于进一步减弱 SET 造成的影响^[3]。

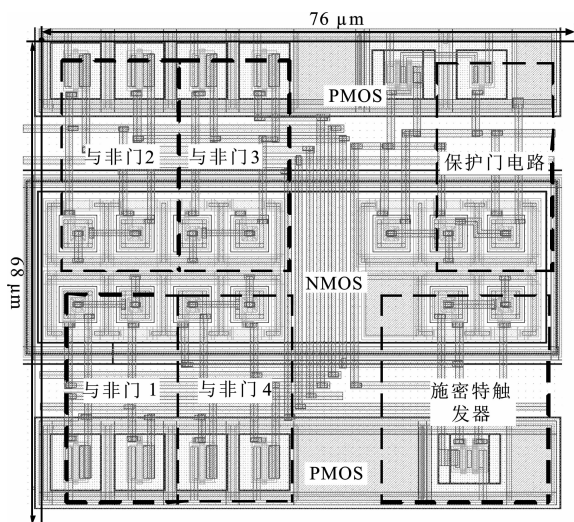


图 3 提出的 RS 触发器版图

3 仿真结果及讨论

为了验证电路的功能和性能,采用 Spectre 工具进行了仿真验证。单粒子事件采用一个双指数电流源模型进行模拟注入到电路内部节点,式(1)给出了其具体表达式^[9-10]。

$$I_p(t) = \frac{Q_m}{\tau_f - \tau_r} [\exp(-\frac{t}{\tau_f}) - \exp(-\frac{t}{\tau_r})] \quad (1)$$

由文献[11]计算得到当 LET 为 $85\ \text{MeV}\cdot\text{cm}^2/\text{mg}$ 时, Q_m 为 $880\ \text{fC}$, τ_f 和 τ_r 分别为 $200\ \text{ps}$ 和 $50\ \text{ps}$ 。为了验证提出的触发器电路的抗 SEU 性能,考虑最差情况。当触发器处于保持状态时,直接在输出节点 Q_1 处分别注入了两种单粒子事件 ($1 \rightarrow 0$, $0 \rightarrow 1$), 仿真结果如图 4 所示。可以看出,节点 Q_1 处电压受注入电流源影响,发生翻转。接着,由于 DICE 结构的反馈回路作用, Q_1 很快恢复为正确电压值。但是,在 Q_1 、 Q_2 、 $\overline{Q_1}$ 和 $\overline{Q_2}$ 的波形中,存在瞬态脉冲。 Q_1 的幅值最大为 $3\ \text{V}$, 其他几个节点电压变化较小。在经过保护门电路后,电压 V_a 的输出波形中几乎不存在瞬态脉冲。电压 V_a 输入到施密特触发器,由于迟滞电压的作用,输出电压 V_Q 的波形中无瞬态脉冲存在。该仿真结果表明,所设计电路能够对 SEU 免疫,同时在输出波形中不会出现瞬态脉冲现象,避免影响后续电路功能。

为了验证电路对 SET 的抵抗能力,分别在触发器的复位和置位阶段,在节点 Q_1 处注入故障电流模拟单粒子事件。如图 5 所示,由于存在输入信号, Q_1 电压在发生翻转后又恢复为原值,从而在波形上表现为一个瞬态脉冲。然而,经过保护门电路和施密特

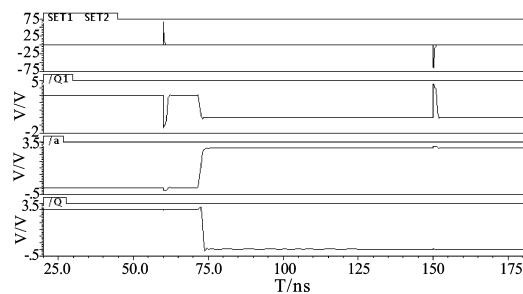


图 4 触发器保持阶段注入 SEU 仿真结果

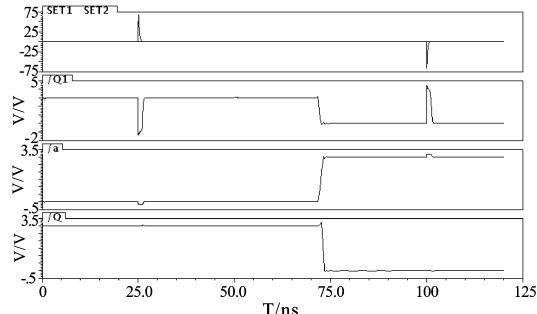


图 5 触发器复位/置位阶段注入 SET 仿真结果

触发器的作用,该瞬态脉冲被消除,未出现在输出电压 Q 的波形上. 这表明,提出的触发器可以抵抗 SET 效应. 因此,能够同时对 SEU 和 SET 免疫,不受其影响.

若粒子刚好击中施密特触发器的输入节点 A 导致其电压值翻转,由于 Q_1 处电压仍为正确值,在其作用下,可保证输出电压的逻辑值不会发生翻转. 但是其波形中会出现瞬态脉冲. 由于节点 A 占的面积相对较小,其他节点为主要敏感节点,所以这种情况出现概率较低.

本文提出的辐射加固触发器与 TMR 结构的主要性能参数对比,如表 1 所示.

表 1 本文触发器与三模冗余触发器的性能对比

参数	提出的触发器	TMR	普通触发器
晶体管数目	26	36	8
传播延迟/ns	1.6	1	0.45
功耗/ μ W	3.57	6.27	1.44
SEU	免疫	免疫	不免疫
SET	免疫	不免疫	不免疫

为了更好的对比这两种结构的性能,具体实现电路中采用相同尺寸的晶体管. 与普通触发器相比,辐射加固设计在一定程度上牺牲了芯片面积、功耗和延迟来达到抗辐射的目的. 与 TMR 结构相比,本文触发器的面积(晶体管数目)减小了 27.8%,功耗

降低了 43.1%. 延迟增大了 60%,这主要来源于施密特触发器的迟滞效应. 若对速度要求较高,不考虑噪声影响,可以将施密特触发器去掉,提高速度. 另外,本文提出的触发器可以同时 SEU 和 SET 免疫.

4 结束语

为了对单粒子效应进行辐射加固设计,本文针对 SEU 和 SET 提出了一种新颖的 RS 触发器结构. 电路包括一个基于 DICE 结构的 RS 触发器、一个保护门电路和一个施密特触发器. 基于 0.25 μ m 2P4M 商用标准 CMOS 工艺完成了电路设计和版图设计. 通过注入故障电流模型,采用 Spectre 进行了仿真验证. 结果表明,所提出的电路能够同时抵抗 SEU 和 SET 的影响. 即使其中一个节点电压翻转,仍能保证输出结果正确,对一个单粒子事件完全免疫. 与三模冗余触发器结构相比,采用的晶体管数量和功耗更小.

因为采用的是标准 CMOS 工艺,提出的电路结构同样适用于其他辐射加固数字电路应用领域. 本文设计的 RS 触发器已应用于一个振荡器原型芯片中. 下一步将对该芯片进行流片和辐射测试工作,验证提出电路的抗辐射能力.

参考文献:

[1] Zhang Z, Ren R, Chen L, et al. A bulk built-in voltage sensor to detect physical location of single-event transients [J]. Journal of Electronic Testing, 2013, 29(2): 249-253.

[2] Shambhulingaiah S, Chellappa S, Kumar S, et al. Methodology to optimize critical node separation in hardened flip-flops [C]// International Symposium on Quality Electronic Design. [s. l.]. 2014: 486-493.

[3] Ferlet-Cavrois V, Massengill L W, Gouker P. Single event transients in digital CMOS-a review [J]. IEEE Transactions on Nuclear Science, 2013, 60 (3): 1767-1790.

[4] Zhang X, Chen L, Wang L, et al. The design and verification of SEU-hardened configurable DFF [C] // IEEE International Conference on Asic. [s. l.]. 2012: 937-940.

[5] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology [J]. Nuclear Science, IEEE Transactions on, 1996, 43(6): 2874 -2878.

性,对于在保持深度网络识别性能的同时进行网络结构和参数的优化是今后需要进一步研究的内容。

参考文献:

[1] Zeiler M D, Fergus R. Visualizing and Understanding Convolutional Networks[C]// European Conference on Computer Vision. Springer, Cham, 2014:818-833.

[2] 张立民,刘凯. 基于深度玻尔兹曼机的文本特征提取研究[J]. 微电子学与计算机, 2015, 32(02):142-147.

[3] 欧阳宁,李子,袁华,陈利霞. 基于自适应稀疏表示的多聚焦图像融合[J]. 微电子学与计算机, 2015, 32(06): 22-26.

[4] Jia, Yangqing, Shelhamer, et al. Caffe: Convolutional Architecture for Fast Feature Embedding[C]// Proceedings of the 22nd ACM international conference on Multimedia. ACM New York, NY, USA 2014: 675-678.

[5] Hinton G E. Training Products of Experts by Minimizing Contrastive Divergence [J]. Neural Computer, 2002,14(8):1771 - 1800.

[6] Bishop C M. Pattern Recognition and Machine Learning

(Information Science and Statistics)[M]. Secaucus, NJ, USA: Springer-Verlag New York, Inc. , 2006: 542 - 546.

[7] Shao J, Du D, Chang B, et al. Automatic weld defect detection based on potential defect tracking in real-time radiographic image sequence[J]. Ndt & E International, 2012, 46(1):14-21.

作者简介:

刘梦溪 女,(1983-),博士研究生,讲师. 研究方向为智能控制,图像与信号处理. E-mail:26702163@qq. com.

王 征 男,(1982-),博士,讲师. 研究方向为故障诊断,智能检测.

宋久旭 男,(1979-),博士,硕士生导师,副教授. 研究方向为智能测控技术及电力电子技术与新型半导体器件.

巨永锋 男,(1962-),男,博士,博士生导师,教授. 研究方向为交通控制与管理、智能测控技术及应用和智能化工程机械.

武晓朦 女,(1974-),博士,硕士生导师,教授. 研究方向为自动控制及智能控制.

(上接第 58 页)

[6] 王少熙,王康,樊晓桢,等. 基于商用工艺的抗辐射触发射器单元设计 [J]. 核电子学与探测技术, 2013, 33 (1): 79-84.

[7] Balasubramanian A, Bhuva B L, Black J D, et al. RHBD techniques for mitigating effects of single-event hits using guard-gates [J]. IEEE Transactions on Nuclear Science, 2006, 52(6): 2531-2535.

[8] 黄正峰,彭小飞,鲁迎春. 基于 C 单元反馈回路的容 SEU 锁存器设计 [J]. 微电子学, 2015, 45 (2): 178-183.

[9] Neto E H, Ribeiro I, Vieira M, et al. Using bulk built-in current sensors to detect soft errors [J]. IEEE Micro, 2006, 26(5): 10-18.

[10] Bajura M A, Boulghassoul Y, Naseer R, et al. Models and algorithmic limits for an ECC-based approach to hardening Sub-100-nm SRAMs [J]. IEEE Transactions On Nuclear Science, 2007, 54(4): 935-945.

[11] 苏霖,王佳,高武,等. 一种新颖的抗辐射加固 SR 锁存器设计 [J]. 微电子学与计算机, 2017, 34(9): 136-140.

作者简介:

王 佳 男,(1983-),博士,副教授. 研究方向为电源管理电路设计、传感器前端读出电路设计、辐射加固设计. E-mail: jwang@nwpu. eed. cn.

李 萍 女,(1993-),硕士研究生. 研究方向为抗辐射 DC-DC 电压变换器设计.

郑 然 男,(1981-),博士,副教授. 研究方向为 CMOS 图像传感器辐射加固设计.

魏晓敏 女,(1984-),博士,助理研究员. 研究方向为单片有源像素传感器设计及辐射加固设计.

胡永才 男,(1956-),博士,教授. 研究方向为传感器前端微电子设计.