

一种 600V 高压超结 VDMOS 结构与优化

王荣超^{1,2,3}, 王立新^{1,3}, 邢心润^{1,3}, 王琳^{1,2,3}, 罗家俊^{1,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学 北京, 100049;

3 中国科学院 硅器件技术重点实验室, 北京 100029)

摘 要: 基于电荷补偿原理的超结 VDMOS(Super-Junction VDMOS, SJVDMOS)器件, 比传统的 VDMOS 具有更低的比导通电阻, 更高的击穿电压. 文中详细介绍了超结 VDMOS 元胞设计步骤, 之后借助 TCAD 仿真对超结 VDMOS 的击穿电压和比导通电阻进行了深入优化, 探究了电荷不平衡、漂移区厚度、衬底反向扩散以及表面结构等对击穿电压和比导通电阻的影响. 对元胞结构的优化使得超结 VDMOS 由最初的击穿电压为 587 V, 比导通电阻为 $7.27 \text{ m}\Omega \cdot \text{cm}^2$, 优化到最终的击穿电压为 662.5V, 比导通电阻为 $6.85 \text{ m}\Omega \cdot \text{cm}^2$, 性能得到明显改善.

关键词: 超结 VDMOS, 比导通电阻, 击穿电压, 结构优化

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)11-0067-06

Design and Optimization of 600V High Voltage Super-Junction VDMOS

WANG Rong-chao^{1,2,3}, WANG Li-xin^{1,3}, XING Xin-run^{1,3},
WANG Lin^{1,2,3}, LUO Jia-jun^{1,3}

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100029, China;

3 Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Based on the charge compensation principle, the super junction VDMOS (Super-Junction VDMOS, SJVDMOS) device has lower specific on-resistance and higher breakdown voltage than the traditional VDMOS. This paper introduces the super junction VDMOS cell design steps in detail. The TCAD is used to simulate the breakdown voltage and the specific on-resistance of super-junction VDMOS. The effects of charge imbalance, drift zone thickness, substrate back diffusion and surface structure on the breakdown voltage and specific on-resistance are investigated. The optimization of cell structure improves the performance of the super junction VDMOS obviously. The initial breakdown voltage improves from 587V to 662.5V, and the specific on-resistance declines from $7.27 \text{ m}\Omega \cdot \text{cm}^2$ to $6.85 \text{ m}\Omega \cdot \text{cm}^2$.

Key words: SJVDMOS, specific on-resistance, breakdown voltage, structural optimization

1 引言

功率半导体器件作为电力电子系统的核心元件, 应用领域十分广阔, 是现代生活不可或缺的重要电子元件^[1]. 作为中小功率领域内主流的功率半导体开关器件, 垂直双扩散金属氧化物半导体功率器件 (Vertical Double-Diffused MOSFET, VDMOS)

备受关注, VDMOS 是开关电源和逆变器的核心电子器件, 它占据着分立功率半导体器件市场的最高份额^[2]. 功率 VDMOS 是单极型导电器件, 开关速度较快, 输入阻抗极高, 应用范围可以覆盖到 30~1.2 kV, 尤其在 600 V 占据稳定的市场. 在导通状态, VDMOS 作为一个开关器件工作在线性区, 其通态损耗主要由器件的导通电阻决定. 但是传统的

VDMOS 一直备受“硅极限”困扰,在高压下很难将比导通电阻降低. 基于电荷补偿原理的超结 VDMOS(Super-Junction VDMOS, SJVDMOS)器件比传统的 VDMOS 具有更低的比导通电阻,可以将电压做的更高,更适用于高压高频领域,所以从 1998 年被西门子(Siemens)公司^[3]研发出至今,一直是功率器件领域的研究热点.

本文设计一款 600 V 级别且比导通电阻较小的超结 VDMOS 器件,并对设计过程中存在的主要问题和关键技术进行研究,利用 TCAD 软件对其特性进行仿真分析,并探究了电荷不平衡、漂移区厚度、衬底反向扩散以及表面结构等对器件击穿电压和比导通电阻的影响.

2 超结 VDMOS 结构和工作原理

超结 VDMOS 器件阻塞电压的机理与传统 VDMOS 不同^[1,4],当超结 VDMOS 的漏源两端施加一个正的偏压 V_{DS} 且栅源两端没有施加偏压或施加的偏压小于阈值电压时,VDMOS 处于关断状态,无电流流过. 关断状态下垂直方向上 P 柱 N 注形成的 PN 结 J2 处于反偏状态,将同时产生横向的耗尽层和内部电场,同时由于表面 P-Base 也与源级相连,漏极和源级之间存在竖直方向的电场,所以漂移区将在水平方向和竖直方向上同时形成耗尽区,产生二维电荷耦合效应. 这种效应,使得超结 VDMOS 的漂移区在关断状态下处于完全耗尽状态,电场在在 y 方向可视为矩形分布,斜率趋向于无穷大,且与掺杂浓度无关,所以我们可以不影响击穿电压的前提下增加漂移区的掺杂浓度,进而降低导通电阻.

当超结 VDMOS 的漏源两端施加一个正的偏压 V_{DS} 且栅源两端施加大于阈值的偏压 V_{GS} 时,VDMOS 处于正向导通状态,有电流通过. 阈值电压的大小可以通过调节 P-Base 区的掺杂浓度实现. 此时沟道中有反型层存在,形成了电子沟道. 电子由源端电极进入 N+源区,然后通过电子沟道进入 N 柱漂移区,接着向下做漂移运动,直到从漏端流出. 由于 N 柱漂移区的浓度要比传统的 VDMOS 大 1—2 个数量级,所以超结 VDMOS 的导通电阻很小. 另外由于 P-Base 区的掺杂浓度很高,且元胞宽度更小,所以沟道电阻也大幅度减小. 同时由于 N 柱漂移区

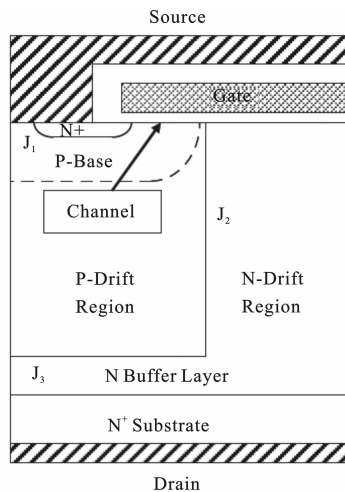


图 1 超结 VDMOS 结构

的浓度很高, N 柱顶部在栅极电场的作用下可以形成一层多子积累层,进一步减小了 JFET 区的电阻.

3 超结 VDMOS 元胞设计

设计超结器件时首先要根据超结理论^[5,6]确定超结结构的主要参数^[7].

根据实际的工艺水平得到几何因子(Geometry Factor),用 C_P 表示超结 VDMOS 的元胞宽度, t_{epi} 表示 N- 外延层(耐压区)的厚度,当满足 $t_{epi}/C_P > 1$ 时,几何因子 f 可近似为

$$f = 0.742C_P/t_{epi} \quad (1)$$

根据设计的耐压值,估计临界击穿电场的大小:

$$E_c = 1.24 \times 10^6 V_B^{-1/6} (1 + 21.7f) - 1/6 \quad (2)$$

根据临界击穿电场和所设计耐压值的大小估计漂移区厚度

$$t_{epi} = 2V_B/E_c \quad (3)$$

估计 P 柱 N 柱的最大掺杂浓度. 如果假设 P 柱 N 柱宽度相同,则最大掺杂浓度为:

$$N_{SJ} = N_A = N_D = \epsilon_s E_c / f q t_{epi} \quad (4)$$

式中, N_A 和 N_D 分别表示 P 柱施主和 N 柱受主的掺杂浓度; ϵ_s 为硅材料的介电常数; q 为电子电荷量. 本次设计中击穿电压 V_B 为 660 V,临界击穿电场 E_c 为 3.55×10^5 V/cm, t_{epi} 为 37.15 μm , N_{SJ} 为 $7.86 \times 10^{15} \text{ cm}^{-3}$.

以上述参数为初始值,对超结 VDMOS 进行仿真验证,仿真的元胞结构如图 2 所示. 为了尽可能减小衬底的电阻,结构中的衬底掺杂浓度设置为 $5 \times 10^{19} \text{ cm}^{-3}$,同时为了弱化衬底反向扩散对超结漂移

区电荷平衡的影响,借助于半超结的理念,在衬底和漂移区之间加了一层缓冲层(Buffer)。元胞是超结 VDMOS 最小的重复单元,单个元胞包含半个 P 柱和半个 N 柱,为了提高效率,后续仿真优化大都使用单个元胞。

仿真得到的击穿电压为 587 V,比导通电阻为 $7.27 \text{ m}\Omega \cdot \text{cm}^2$ 。仿真得到的击穿电压比理论分析估算的值要小,主要是受电荷不平衡的影响,没有考虑超结 VDMOS 顶部的 MOSFET 结构,同时衬底的掺杂浓度一般远大于漂移区,所产生的反向扩散也会导致电荷不平衡。下面进一步对超结 VDMOS 的击穿电压和导通电阻进行优化。

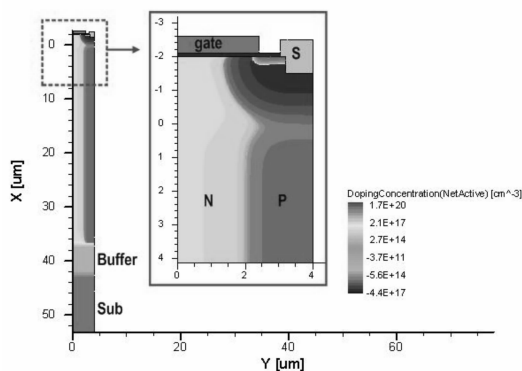


图2 超结 VDMOS 元胞结构

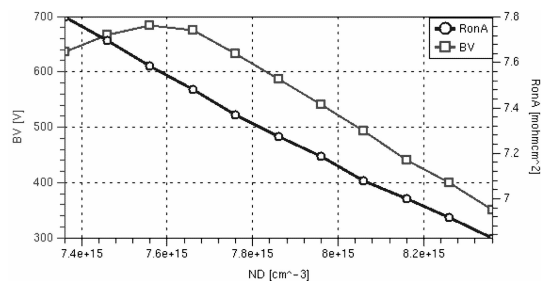
4 超结 VDMOS 元胞优化

4.1 电荷不平衡对击穿电压和比导通电阻的影响

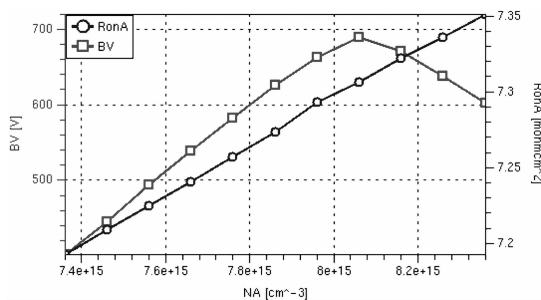
设置元胞宽度为 $4 \mu\text{m}$,漂移区厚度为 $37.15 \mu\text{m}$,首先固定 P 柱的受主掺杂浓度为 $7.86 \times 10^{15} \text{ cm}^{-3}$,使 N 柱的施主掺杂浓度以步长 $0.1 \times 10^{15} \text{ cm}^{-3}$ 从 $7.36 \times 10^{15} \text{ cm}^{-3}$ 增加到 $8.36 \times 10^{15} \text{ cm}^{-3}$,然后固定 N 柱施主掺杂浓度为 $7.86 \times 10^{15} \text{ cm}^{-3}$,同样使 P 柱的受主掺杂浓度以步长 $0.1 \times 10^{15} \text{ cm}^{-3}$ 从 $7.36 \times 10^{15} \text{ cm}^{-3}$ 增加到 $8.36 \times 10^{15} \text{ cm}^{-3}$,得到的结果如图 3 所示。

由图可知,P 柱浓度固定为 $7.86 \times 10^{15} \text{ cm}^{-3}$ 时,击穿电压随 N 柱浓度先增加后减小,N 柱浓度在 $7.56 \times 10^{15} \text{ cm}^{-3}$ 附近时击穿电压最大,比导通电阻随 N 柱浓度的增加单调递减。同时当 N 柱浓度固定为 $7.86 \times 10^{15} \text{ cm}^{-3}$ 时,击穿电压随 P 柱浓度先增加后减小,P 柱浓度在 $8.06 \times 10^{15} \text{ cm}^{-3}$ 附近时击穿电压最大,而比导通电阻随 P 柱浓度的增加单调递

增。可以发现,当击穿电压达到最大时,P 柱的浓度都要高于 N 柱浓度,这主要是因为本文所设计超结 VDMOS 的衬底为 N 型重掺杂,衬底浓度远大于 N 柱 P 柱浓度,反向扩散导致 N 柱浓度增加 P 柱浓度减小,所以需要更大的 P 柱浓度才能达到电荷平衡。另外,超结 VDMOS 正向导通时,电流路径主要集中在 N 柱,P 柱中几乎没有电流通过,所以当 N 柱浓度增加时,比导通电阻减小。同时,N 柱浓度固定,P 柱浓度增加时,会导致漂移区中横向 PN 结在 N 柱中的耗尽区变宽,也就是减小纵向电流路径的宽度,所以比导通电阻增加。



(a) N 柱掺杂浓度变化



(b) P 柱掺杂浓度变化

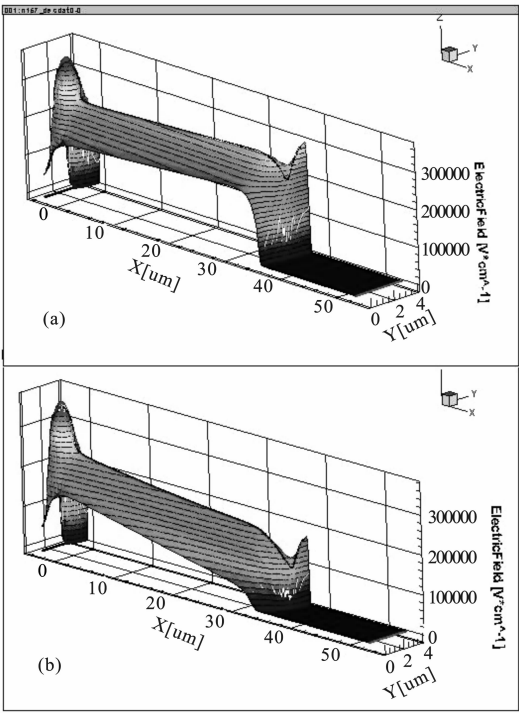
图3 击穿电压和比导通电阻的变化趋势

图 4 所示是电荷平衡和电荷不平衡时的三维电场分布,可以发现当电荷平衡时,在 y 方向中间大部分区域电场保持不变,电场所包围的体积最大,但是当电荷不平衡时,y 方向的电场近似为三角形分布,大幅度减小了电场所包围的面积。

4.2 漂移区厚度对击穿电压和比导通电阻的影响

假设 N 柱 P 柱浓度相等时电荷达到平衡,以此为条件来研究漂移区厚度对击穿电压和导通电阻的影响。

将漂移区的厚度(P 柱 N 柱的高度)由 $38 \mu\text{m}$ 增加到 $45 \mu\text{m}$,步长为 $1 \mu\text{m}$,仿真得到的结果如图 5 所示。可以看出,当其他参数不变,只改变漂移区厚



(a) 电荷平衡时 (b) 电荷不平衡时
图 4 超结 VDMOS 三维电场分布

度时, 击穿电压和比导通电阻都与漂移区厚度成正比. 这很容易理解, 主要是因为漂移区厚度增加时耗尽区宽度增加, 电场所包围的面积也增加, 所以击穿电压增加. 同时根据电阻定律 $R = \rho l / s$, 掺杂浓度不变, 电阻率 ρ 就不变, 漂移区增加, 即增加厚度时, R 增大. 所以直观上可以理解为如果想要大幅度增加击穿电压, 首先就要增加漂移区的厚度. 对超结器件进行设计时一般的原则也是首先根据几何参数和临界击穿电场确定漂移区的厚度, 再以此为依据估算 P 柱 N 柱的最大掺杂浓度.

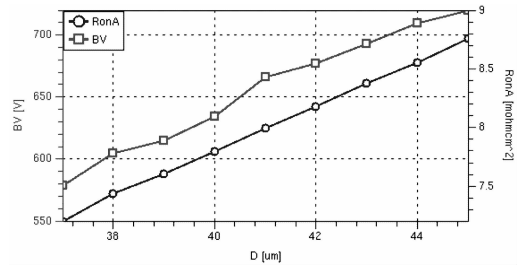


图 5 超结 VDMOS 在不同漂移区厚度下的击穿电压和比导通电阻

4.3 衬底反向扩散对击穿电压和比导通电阻的影响

为了弱化高掺杂衬底反向扩散对 P 柱 N 柱的

影响, 借助于半超结结构的概念, 在高掺杂衬底和漂移区之间添加缓存层 (Buffer), 初始进行仿真时, Buffer 的厚度 t_{buffer} 设置为 $6 \mu\text{m}$, 浓度 C_{buffer} 设置为 $1 \times 10^{18} \text{ cm}^{-3}$, 下面对其进行优化. 缓冲层厚度和浓度确定的原则是其对电荷平衡的影响最小, 进而获得最优的击穿电压值和比导通电阻. 因为缓冲层厚度增加或浓度减小时, 比导通电阻都会增加, 所以应该在击穿电压可以接受的范围内选择最小的厚度和最大的浓度. 仿真时, 保证其他参数一致, 首先将缓冲层浓度的范围设置为 $5 \times 10^{15} \text{ cm}^{-3}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$, 然后使缓冲层厚度以步长 $2 \mu\text{m}$ 由 $2 \mu\text{m}$ 增加到 $12 \mu\text{m}$, 得到的结果如图 6 所示, 其中 legend 标注中的 t2-t12 表示厚度为 $2 \mu\text{m}$ 至 $12 \mu\text{m}$.

首先来观察比导通电阻的变化趋势. 当缓冲层厚度不变时, 比导通电阻随缓冲层浓度增加而减小, 这是因为浓度增加时, 导通状态下的自由载流子数目增加, 从而减小电阻. 另外, 当缓冲层浓度范围在 $5 \times 10^{15} \text{ cm}^{-3}$ 和 $5 \times 10^{17} \text{ cm}^{-3}$ 之间时, 比导通电阻变化的速率随缓冲层厚度的减小而减小, 当浓度范围在 $5 \times 10^{17} \text{ cm}^{-3}$ 到 $1 \times 10^{19} \text{ cm}^{-3}$ 之间时, 比导通电阻变化的速率基本保持一致. 这是因为当缓冲层浓度较低时, 其电导率较小, 此时缓冲层的电阻主要由厚度决定. 但是当其浓度高于 $5 \times 10^{17} \text{ cm}^{-3}$, 厚度对电阻的影响将可以忽略, 此时缓冲层的浓度对器件的导通电阻起主要作用. 缓冲层电导率随浓度的增加缓慢增大. 这就解释了比导通电阻的变化趋势.

再来看击穿电压特性曲线, 因为缓冲层浓度和厚度变化时, 超结漂移区电荷平衡的状态也发生变化, 击穿电压总体而言随缓冲层浓度的增加而减小. 原因一是电荷平衡的破坏程度随缓冲层浓度增加而增加, 二是因为电场强度在缓冲层范围内的对 y 方向斜率随缓冲层浓度增加而减小. 缓冲层的浓度对电荷平衡的影响是击穿电压曲线发生突变转折的原因, 对于不同厚度的缓冲层, 超结 VDMOS 漂移区电荷平衡状态随缓冲层浓度变化所出现的变化趋势不同, 有的超结器件漂移区电荷平衡状态随 Buffer 浓度增加呈单调特性, 有的则不然. 但是缓冲层浓度对 Buffer 区电场斜率的影响, 则是击穿电压整体随缓冲层浓度的增加而减小的真正原因, 其实 Buffer 区的工作机理, 与传统的 VDMOS 基本一致, 这就解释了击穿电压的变化趋势.

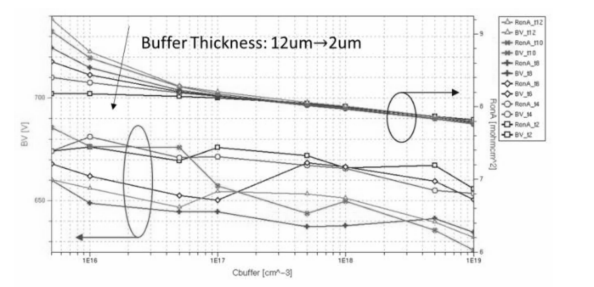


图 6 缓冲层厚度和浓度对超结 VDMOS 击穿电压和比导通电阻的影响

本文所设计超结 VDMOS 的目标耐压为 660 V,在保证达到目标电压基础之上,为了使比导通电阻尽可能的小,缓冲层的浓度选取为 $1.0 \times 10^{19} \text{ cm}^{-3}$ 比较合适,厚度选取为 $2 \sim 6 \text{ }\mu\text{m}$ 比较合适,这里取中间值 $4 \text{ }\mu\text{m}$.

4. 4 表面结构对击穿电压和比导通电阻的影响

在超结 VDMOS 完成沟槽与外延填充形成 P 柱 N 柱以后,需要外延一层 N 型外延层,然后再在表面制备 MOSFET 结构.为了减小 JFET 区的寄生电阻,表面外延层的浓度一般要大于漂移区浓度.对于表面外延层一般的做法设置浓度为 $1 \times 10^{16} \text{ cm}^{-3}$,厚度为 $2 \text{ }\mu\text{m}$,研究时发现表面外延层的厚度对超结 VDMOS 有比较大的影响.

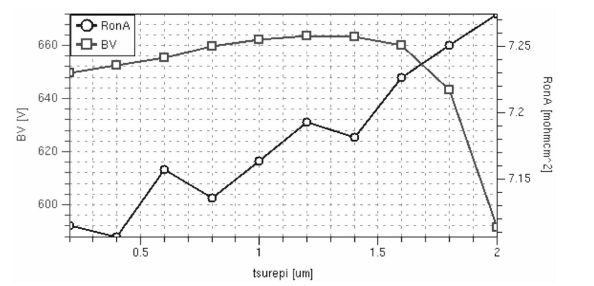


图 7 表面外延层厚度对超结 VDMOS 击穿电压和比导通电阻的影响

仿真时,保持其他参数不变,使表面外延厚度以步长 $0.2 \text{ }\mu\text{m}$ 由 $0.2 \text{ }\mu\text{m}$ 增加到 $2 \text{ }\mu\text{m}$,图 7 所示为仿真得到的结果.可以发现,比导通电阻随表面外延厚度增加呈上升趋势,击穿电压随表面外延厚度增加先增加后减小,且增加时缓慢,减小时急促,击穿电压最大值在表面外延层厚度取值为 $1.4 \text{ }\mu\text{m}$ 附近.图 8 所示为不同表面外延厚度下超结 VDMOS 的浓度分布示意图,可以发现当厚度为 $2 \text{ }\mu\text{m}$,P-Base 区与 P 柱逐渐出现断开的趋势,这就是当表面外延厚度范围为 $1.5 \sim 2 \text{ }\mu\text{m}$ 时,击穿电压随其增加急速

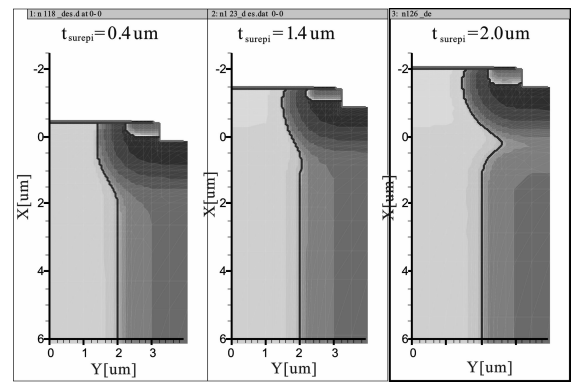


图 8 不同表面外延厚度的超结 VDMOS

下降的原因.同时因为 P-Base 区的掺杂浓度通常远大于漂移区浓度,所以当 P-Base 区距离漂移区很近时,如图 8 中 t_{surepi} 等于 $0.4 \text{ }\mu\text{m}$ 时,会破坏 P 柱 N 柱顶部的电荷平衡,这就是当表面外延厚度范围为 $0.4 \sim 1.4 \text{ }\mu\text{m}$ 时,击穿电压随其减小缓慢下降的原因.显而易见,对于本文设计的超结 VDMOS,表面外延厚度取 $1.4 \text{ }\mu\text{m}$ 为最佳.

4. 5 超结 VDMOS 的最终结构

目前已经分析了电荷不平衡、漂移区厚度、表面外延厚度以及衬底等因素对击穿电压和比导通电阻的影响.将他们最优的参数综合在一起再次进行仿真,仿真结果如图 9,所得到击穿电压已经可以达到 680 V ,比导通电阻也降低到 $7 \text{ m}\Omega \cdot \text{cm}^2$ 以下.

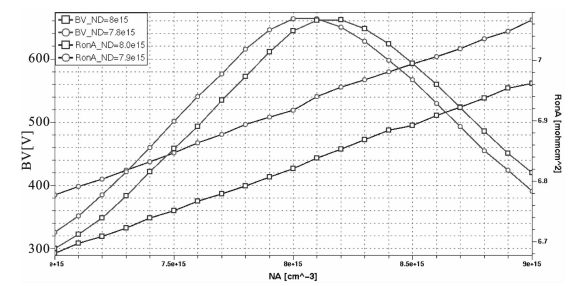


图 9 超结 VDMOS 的最终结果

5 结束语

文中首先介绍了超结 VDMOS 结构与工作原理,详细介绍了超结 VDMOS 元胞设计步骤,之后借助 TCAD 仿真对超结 VDMOS 的击穿电压和比导通电阻进行了深入优化,探究了电荷不平衡、漂移区厚度、衬底反向扩散以及表面结构等对击穿电压和比导通电阻的影响.对元胞结构的优化使得超结 VDMOS 由最初的击穿电压为 587 V ,比导通电阻为 $7.27 \text{ m}\Omega \cdot \text{cm}^2$,优化到最终的击穿电压为 662.5

V,比导通电阻为 $6.85\text{ m}\Omega \cdot \text{cm}^2$,性能得到明显改善.

参考文献:

- [1] 陈星弼. 超结器件 [J]. 电力电子技术, 2008, 42(12): 2-7.
- [2] EDEN R. Power Semiconductor Forecast Report - 2016 [M]. <https://technology.ihc.com/580305/power-semiconductor-forecast-report-2016>. 2016.
- [3] Lorenz L, Deboy G, Knapp A, et al. COOLMOSTM-a new milestone in high voltage power MOS[J]. Proceedings of Ispds, 1999:3-10.
- [4] 黄海猛. 超结器件的模型研究及优化设计 [D]. 成都: 电子科技大学, 2013.
- [5] Chen X B, Wang X, Sin J K O. A novel high-voltage-sustaining structure with buried oppositely doped regions[J]. IEEE Transactions on Electron Devices, 2000, 47(6):1280-1285.
- [6] Chen X B, Sin J K O. Optimization of the specific on-resistance of the COOLMOS TM[J]. IEEE Trans E-

lectron Devices, 2001, 48(2):344-348.

- [7] Kondekar P N, Parikh C D, Patil M B. Analysis of breakdown voltage and on resistance of super junction power MOSFET CoolMOS TM, using theory of novel voltage sustaining layer[C]// Power Electronics Specialists Conference, 2002. Pesc 02. 2002 IEEE. IEEE, 2002:1769-1775.

作者简介:

王荣超 (1992-), 硕士研究生. 研究方向是 DC/DC 电路设计以及功率半导体器件开发. E-mail:769460941@qq.com

王立新 (1976-), 研究员, 博士生导师. 研究方向为半导体器件的开发及器件可靠性.

邢心润 (1991-), 硕士研究生. 研究方向是 DC/DC 电路设计以及可靠性研究.

王琳 (1993-), 硕士研究生. 研究方向是功率器件抗辐照加固.

罗家俊 (1973-), 研究员, 博士生导师. 研究方向为深亚微米集成电路低功耗设计技术、高性能深亚微米数模混合集成电路设计技术、智能功率集成电路设计技术等.