

引用格式:顾昌山,张立军,郑坚斌,等. 一种新型存储器测试辅助分析方法 [J]. 微电子学与计算机, 2019, 36(2): 93-96. [GU C S, ZHANG L J, ZHENG J B, et al. A new type of memory test aided analysis method [J]. Microelectronics & Computer, 2019, 36(2): 93-96.]

一种新型存储器测试辅助分析方法

顾昌山¹, 张立军¹, 郑坚斌², 彭增发², 于 跃²

(1 苏州大学, 江苏 苏州 215006; 2 苏州兆芯半导体科技有限公司, 江苏 苏州 215006)

摘 要: 为了解决存储器测试数据映射到失效存储单元效率较低且精确度不够的问题, 本文提出一种存储器测试辅助分析的方法: 首先通过修改存储器编译器(memory compiler), 使其自动生成存储阵列版图的物理坐标文件(bitmap). 然后将测试得到的存储单元的失效信息在已生成的坐标文件中进行寻址, 找出被测试失效单元位于版图中的具体物理坐标. 最后通过得到的坐标信息自动输出该失效存储单元的译码信息及该存储单元位于整个存储阵列中的物理坐标二维图像.

关键词: 存储器; 失效存储单元; 版图坐标文件; 寻址; 坐标二维图像

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2019)02-0093-04

A New Type of Memory Test Aided Analysis Method

GU Chang-shan¹, ZHANG Li-jun¹, ZHENG Jian-bin², PENG Zeng-fa², YU Yue²

(1 Soochow University, Suzhou 215006, China;

2. Suzhou Megacores Technology Company Limited, Suzhou 215006, China)

Abstract: In order to solve the problem that the memory test data is mapped to specific failed cells with low efficiency and insufficient precision, this paper proposes a memory test-assisted analysis method. Firstly, the memory compiler will automatically generate the physical coordinate file of the storage array map after modifying it. Then the failure information of the storage unit is addressed in the generated coordinate file to find out the physical coordinates of the failure storage unit in the map. Finally, through the information of coordinate, the decoding information of the failed storage unit will be automatically output, as well as the physical coordinate two-dimensional image (of the failed storage unit) located in the entire storage array.

Key words: memory; failed storage unit; layout coordinate file; addressing; coordinate two-dimensional image

1 引言

设计人员对存储器测试数据进行分析时, 需要先把测试数据中的逻辑地址及 IO 位地址译码成具体的字/位线. 之后再将译码得到的地址映射到存储阵列中具体的失效存储单元上, 然后针对该存储单元出现的失效状况作详细分析以及提出改善措施. 在存储器设计初期, 存储阵列设计都是按正序排列的. 在对字线、位线进行映射时, 只需直接计算就能

确定失效的存储单元在版图中的具体位置. 随着存储器设计技术的发展, 出现了许多版图优化方法^{[1][2]}. 这些方法在使存储器芯片面积变小、性能变优的同时, 也使版图结构越来越复杂. 存储阵列作为存储器的主体^[3], 跟许多模块直接相连, 存储器中大多数模块的优化都会对其产生影响. 所以存储阵列经常会成为整个存储器版图中变化最大, 结构最复杂的模块^[4].

复杂的存储阵列结构给测试人员通过地址线映

射寻址失效存储单元与失效分析带来了巨大挑战. 本文结合测试数据与版图中存储阵列的物理坐标提出了一种测试数据辅助分析方法. 该方法自动对测试数据进行分析、解码, 并优化数据输出格式, 使测试数据映射到具体失效存储单元更加准确、直观, 设计人员对失效存储单元做失效分析变得更加便利. 文中的分析方法是有一套 28 nm 的 ROM(Read Only Memory)编译器来进行举例说明.

2 设计优化带来故障单元定位难度增加

随着存储器设计的发展, 模块内部各电路结构已逐步趋于成熟. 设计者为了减少成本, 提高竞争力, 不断对版图进行优化. 例如版图设计中的电源线复用技术, 其作为一种比较典型的优化技术, 大范围应用于集成电路版图设计领域. 电源线复用是指: 在存储器版图设计中规划电源布局时, 优先将电源线放置于模块边缘位置, 以便达到相邻模块共用电源金属线的目的. 在大量复用的模块之间共用电源线的技术能有效提高金属线利用率, 并且在不增加面积的基础上显著增加电源线宽度. 在进行电源线复用时, 同一模块的上下边缘电源类型一般会出现两种情况: 类型一致或互补. 前者在版图拼接时较为容易, 后者则能使存储器供电网络更加均匀^[5]. 但互补的电源类型在版图拼接时, 有可能会出现镜像拼接的现象.

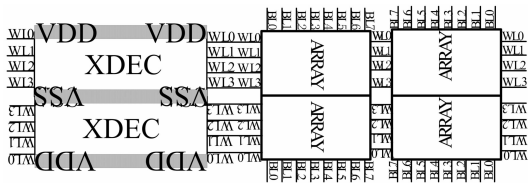


图 1 翻转拼接示意图

如图 1 所示就是电源线共用且版图需要镜像拼接的例子, 当复用多个 XDEC 时, 相邻模块共用 VSS/VDD. 当 XDEC 发生翻转时, XDEC 输出也发生偏转. 即 XDEC 的输出由 WL0-WL3-WL0-WL3 变成了 WL0-WL3-WL3-WL0. 字线驱动电路的镜像又造成存储阵列连带镜像: ARRAY 中存储单元也需进行翻转以对接 XDEC 输出的 WL(字线). 假如位线驱动电路版图模块也使用该方法, 即存储单元中 BL(位线)也偏转. 此时 BL 从下到上是 BL0-BL7-BL7-BL0..., WL 是 WL0-WL3-WL3-WL0... . 对于大容量的存储电路, 为了不使字线或者位线过

长从而导致存储器的读写速度变慢, 经常将存储模块其划分为多个体(bank), 不同 bank 之间也会进行镜像放置. 存储阵列在进行多种镜像拼接组合之后, 处理测试数据将很难将译码得到的地址线直接映射到具体存储单元.

3 存储阵列坐标文件的产生及验证

3.1 生成 bitmap 文件

bitmap 技术最早是由 O'Neil 提出的^[6-7], 指用一个 bit 位来标记某个元素对应的数据, bitmap 技术主要包括数据的产生、分类以及检索^[8]. 本文中的 bitmap 文件是指用版图中存储单元左下角的坐标来代表整个存储单元的位置.

本文中的 ROM 存储器是由一套 28 nm ROM 编译器生成的. 存储器编译器主要功能是按照一定规则及设计要求, 将已经设计完成的标准单元模块按照预先规划的连接方式拼接成一个完整的版图或电路图^[9]. 在编译过程中编译器可以抓取每个模块的宽度和高度, 根据存储器结构自动计算出每一个存储单元在整个版图的坐标并将结果输出. 存储单元横坐标为存储单元左边所有模块宽度和, 纵坐标为存储单元下面所有模块高度和, 翻转方式由编译器拼接方式决定.

bitmap 物理坐标产生顺序由逻辑地址决定, 当存储阵列发生翻转时, 编译器会根据译码结构自动计算新的物理地址坐标. 如图 2 所示: 当字线、位线发生偏转时, bitmap 坐标文件生成顺序也会自动变化.

101	BL0	1	5	9	13	29	25	21	17
	BL1	2	6	10	14	30	26	22	18
	BL2	3	7	11	15	31	27	23	19
	BL3	4	8	12	16	32	28	24	20
102	BL3	4	8	12	16	32	28	24	20
	BL2	3	7	11	15	31	27	23	19
	BL1	2	6	10	14	30	26	22	18
	BL0	1	5	9	13	29	25	21	17
		WL0	WL1	WL2	WL3	WL3	WL2	WL1	WL0

图 2 翻转后存储阵列映射顺序

图 3 是大小为 512×8 的一组 ROM 抽出的 bitmap 文件, 文件内数据共分为三种类型: 第一类是一个九位的二进制数, 代表存储单元在 Word 中的逻辑地址. 后面有八组地址坐标表示 ROM 存储位宽为 8. 地址坐标后面的 r0、mx、my、r180 分别代表

存储单元不旋转、沿 x 轴方向旋转、沿 y 轴方向旋转、沿存储单元左下角顺时针旋转 180 度. 前两类数据可以确定存储单元在 ARRAY 中的位置,最后一组则可以确定其状态. 对于那些因为版图等其他原因造成的周期翻转,这种定位方法非常精确. 并且该结构形式也有利于测试数据进行寻址.

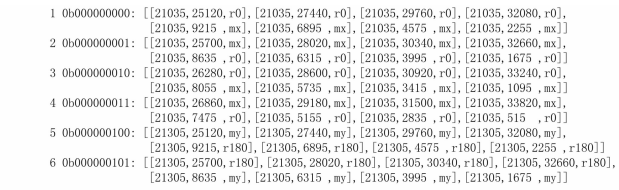


图 3 W512B8 bitmap 坐标地址示例文件

3.2 bitmap 文件验证

本文提出的生成 bitmap 文件的新方法在将测试数据地址线映射到具体存储单元物理位置阶段时,需要通过逻辑地址和 IO 位数结合 bitmap 文件去定位失效存储单元,因此必须对 bitmap 文件中存储单元坐标正确性进行验证,确保其坐标信息与版图中物理地址完全一致.

具体验证过程如 4 所示,首先根据 Memory Compiler 和 Standard Cell(标准单元库)生成一个存储器版图,删除 ARRAY 模块以外的所有模块. 然后使用软件辅助的方法,基于 bitmap 坐标及 standard cell 生成一版仅有 ARRAY 模块的版图. 最后将两个版图抽出 GDS 进行 LVL(Layout VS Layout)验证. 如果验证通过就可以确定两种版图完全一致,bitmap 文件中物理坐标正确.

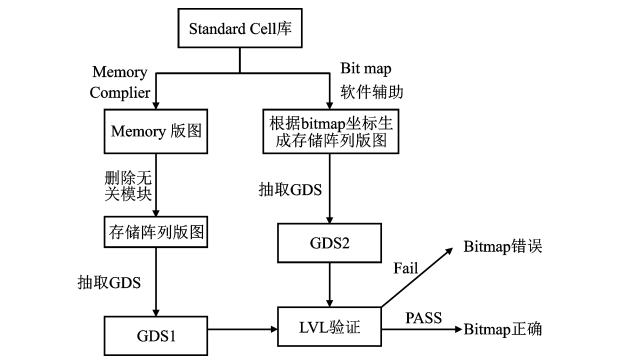


图 4 bitmap 文件验证流程图

4 失效单元的定位与生成二维测试图

4.1 失效存储单元定位

文中的测试数据主要是由 Metor 的 Tessent

SiliconInsight 对存储器进行测试得到的^[10],主要包括 LogicalAdress 和 BitPosition 等. LogicalAdress 由行地址与列地址组合拼接而成,是字单元中的某个或某些存储单元的逻辑地址. BitPosition 是字单元含有存储单元的位数. 具体的映射过程如图 5: LogicalAdress 先进行二进制转换,然后与 bitmap 中逻辑地址行进行匹配搜寻,找到所有字单元中逻辑地址为 LogicalAdress 的具体物理坐标. 再根据 BitPosition 确定具体的字单元,最后就可以将得到的存储单元地址坐标提供给设计者定位失效存储单元并进行失效模式分析. 由于该映射方法借助软件进行自动寻址定位,所以在进行大范围的测试数据处理方面比传统方法有更大的优势.

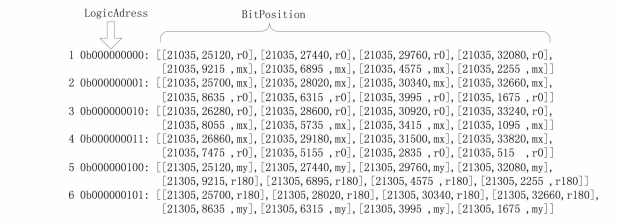


图 5 bitmap 地址文件测试寻址示例

4.2 生成二维测试图形

根据已经得到的单个存储单元版图的宽度和高度,结合 bitmap 中所有存储阵列的物理坐标以及上文中寻址到的失效存储单元的坐标信息,就能自动生成错误单元基于整个存储阵列的二维测试图.

以 2 k 的 ROM 为例,其二维测试图如 6 所示. 图中黄色代表存储阵列部分(其它模块省略且存储阵列距离进行拉近处理),红色代表出现错误的存储单元. 基于数据还可以在软件中对故障单元的位置信息进行初步分析并显现出来.

在图形中可以直接看出单个故障单元位于整个存储阵列的位置,以及测试中出现的错误集中于存储阵列中的位置. 相比于从测试中获得的单纯的测试数据,本文提出的失效存储单元的二维测试图形可以跳过译码及映射过程,直接将测试数据体现到具体的存储阵列中. 此种方法输出形式更为直观,且可以大大提高存储器设计人员的分析测试数据的效率,缩短设计周期.

5 结束语

本文主要是以一套 28 nm 的 CMOS 结构 ROM

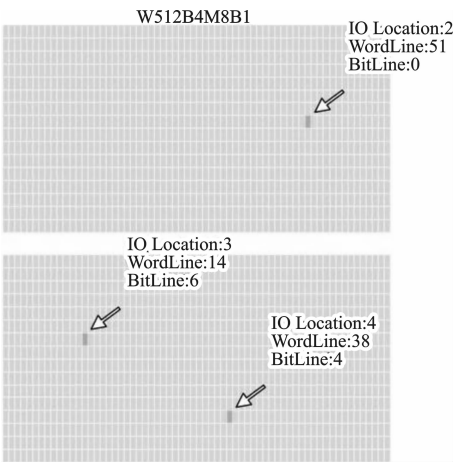


图 6 二维测试图形

编译器为例,详细阐述了所提出的测试数据辅助分析方法.该方法在有效地解决了测试人员将地址线映射到存储单元具体位置难度过大的问题,同时极大地提高设计人员分析测试数据的能力.另外本方法还优化了测试数据的输出形式,使得从测试中获得的数据利用效率更高.

参考文献:

[1] 廉德亮,彭雪琼.开关电源监控电路版图优化设计[J]. 半导体技术,2001(5):55-56.

[2] 王仁平,魏榕山,高扬标,等.优化芯片面积的标准单元库改进[J]. 福州大学学报(自然科学版),2017,45(1), 98-101.

[3] 张亚灵,徐东明.一种基于 CMOS 工艺的掩模 ROM 设计[J]. 西安邮电学院学报,2009,(1):101-104.

[4] 邹文英,徐新宇,徐睿.一款深亚微米 ASIC 芯片的后端设计[J]. 电子与封装,2012,12(8):26-29.

[5] 姚其爽.高速低功耗嵌入式 SRAM 研究与设计[D]. 西安:西北工业大学,2007.

[6] O'Neil P E. Model 204 architecture and performance [C]. In: Proceedings of the 2nd International Workshop on High Performance Transaction Systems. London, UK: Springer 1987, 40-59.

[7] O'Neil P E. Quass D. Improved query performance with variant indexes [C]. ACM SIGMOD Record, 1997,26(2):38-49.

[8] VanSchaik S J,de Moor O. A memory efficient reachability data structure through bit vector compression [C]. In: Proceedings of the 2011 ACM SIGMOD International Conference on Management of Data. Athens, Greece: ACM,2011. 913-924.

[9] 龚展立.面向嵌入式 SOC 的 Memory Compiler 设计与实现[D]. 合肥:安徽大学,2012.

[10] Mentor Graphics Corporation. Tessent Silicon-Insight User's Manual for Tessent Shell[EB/OL]. (2017-03) [2018-06]. http://go.mentor.com/539_o

作者简介:

顾昌山 男,(1994-),硕士研究生.研究方向为集成电路设计与测试. E-mail:csugu@stu.suda.edu.cn.

张立军 男,(1971-),博士,研究员,博士生导师.研究方向为 SOC 设计及方法学.

郑坚斌 男,(1977-),硕士,工程师.研究方向为存储器设计.