

一种反熔丝 FPGA 应用设计故障

杜 涛,许百川,李 威,晁 醒,吴方明

(电子科技大学 电子薄膜与集成器件国家重点实验室,四川 成都 610054)

摘 要: 由于反熔丝 FPGA 架构和实现原理的特殊性,反熔丝 FPGA 应用设计在物理实现时,存在一种易于发生、故障现象不稳定且具有一定隐蔽性的时序逻辑故障. 通过对故障现象、诱因、原理的深入剖析,发现该应用设计故障与反熔丝 FPGA 的散出能力限制(Fanout limit)关联,并有针对性地提出了根除故障因素的解决方案. 通过实测验证表明,本解决方案能有效消除该类应用设计故障.

关键词: 反熔丝 FPGA;应用设计故障;扇出能力限制;时钟偏斜;寄存器掉链

中图分类号: TN702 **文献标识码:** A **文章编号:** 1000-7180(2018)09-0108-05

An Application Design Fault of Antifuse FPGA

DU Tao,XU Bai-chuan,LI Wei,CAO Xing,WU Fang-min

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu, 610054, China)

Abstract: Due to the particularity of the architecture and implementation principle of the antifuse FPGA, there is a kind of sequential logic fault which is prone to occur, unstable in the fault phenomenon and has a certain concealment when the application design is implemented in the antifuse FPGA. Through in-depth analysis of the fault phenomenon, causes and principles, it is found that the application design fault is related to the drive capability (Fanout limit) of the antifuse FPGA. Aiming at the fault characteristics, a set of solutions to eradicate the fault factors are proposed. The experimental results show that the solutions can effectively eliminate the application design fault.

Key words: antifuse FPGA; application design failure; fanout limit; clock skew; register chain data loss

1 引言

反熔丝 FPGA 是一次可编程器件,在应用设计原型验证时,若出现故障,则会废掉已编程的反熔丝 FPGA 芯片,造成元器件的直接损失. 尤其是存在于反熔丝 FPGA 应用设计中的潜伏型故障,势必成为应用工程的重大隐患. 为了减少或避免反熔丝 FPGA 元器件损失和工程事故,一方面需要避免设计上的直接错误,另一方面则需要根据反熔丝 FPGA 器件本身的特殊性,找到易出现应用设计故障的因素,进行有针对性的避免故障形成的优化设计,防患于未然. 为了解决以上问题,本文以 Actel 的反熔丝

FPGA 为例,深入分析反熔丝 FPGA 的应用设计故障,重点聚焦了一种易于发生且故障现象不稳定的具有一定潜伏性的时序逻辑故障,通过故障现象、诱因和原理的剖析,提出了避免该类故障的有效解决方案.

2 反熔丝 FPGA 应用设计实现的基本原理

反熔丝 FPGA 在应用设计中,主要是以可编程 IO 模块、可编程逻辑模块、一次可编程反熔丝互连开关等硬件资源为载体实现用户设计^[1-4]. 应用设计通过反熔丝 FPGA 专用开发软件,基于用户选定的 FPGA 型号,进行逻辑综合和布局布线,形成可物理

实现的位流文件^[1-2]. 最后,再通过专用的反熔丝 FPGA 编程器,将位流文件指定的片内反熔丝逐一进行高压编程^[1,3].

反熔丝 FPGA 应用设计的逻辑模块间信号互连必须通过反熔丝的编程实现. 通常情况下,反熔丝 FPGA 应用设计有内部布线长短不一、内部互连线上串接的已编程反熔丝器件个数多少不一、各逻辑模块输出端连接负载轻重不一等复杂情况,而串接在互连线上的反熔丝编程后又存在固有的明显互连阻抗,因此,反熔丝 FPGA 应用设计的关键路径信号传输延迟比常规 FPGA 更显著^[1,3-7]. 由于反熔丝 FPGA 架构和实现原理的以上特殊性,反熔丝 FPGA 逻辑模块输出的散出能力具有较明显的局限性,为了保障性能和可靠性,反熔丝 FPGA 在物理实现时对模块输出的散出能力有强制约束限制,一旦超出散出能力限制范围,系统会自动插入 buffer 以提升信号线通路的后继驱动能力. 但插入 buffer 后,关键路径信号传输延迟会更明显,从而带来了发生时序故障的潜在隐患.

3 反熔丝 FPGA 的应用设计故障分析

当反熔丝 FPGA 应用设计较为复杂,特别是有较复杂的时序结构时,出现设计故障及设计错误的可能性较高. 应用设计的 FPGA 原型验证可以通过基于 FPGA 引脚端口的直接测试进行功能验证. 当测试发现故障时,则可以通过反熔丝 FPGA 自带的 Actionprobe 功能对芯片内部节点进行实时动态检测,找到应用设计的故障点,并进行故障形成的原因分析,提出有针对性的故障解决办法.

在时钟结构较复杂的时序系统的反熔丝 FPGA 应用设计中,有一种时序逻辑故障具有频发、故障现象不稳定和成因隐蔽的特点. 本文以典型时序逻辑电路——移位寄存器链设计为例,对该时序逻辑故障进行剖析.

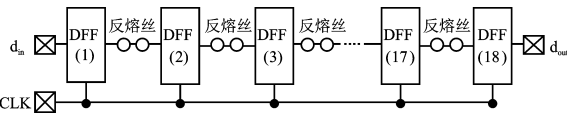


图 1 移位寄存器链(18 级 DFF)电路示意图

3.1 移位寄存器链应用设计故障

为了有效捕捉时序逻辑故障,本文设计了 26 组相互独立的移位寄存器链,每组移位寄存器链的电路结构均如图 1 所示,由 18 级 D 触发器串接而成,

其中 CLK 为同步时钟信号,上升沿触发. 该 26 组移位寄存器链应用设计的实现载体选用 Actel 公司的 A1240A 型反熔丝 FPGA. 编程后对 26 组移位寄存器链分别进行测试. 实测发现,其中有部分组别的寄存器链发生了数据移位传输掉链的故障,即数据从输入 d_{in} 到 d_{out} 只经过了 17 个时钟周期,比 18 级 DFF 的原始设计少了 1 个时钟周期. 图 2 给出了发生掉链故障的其中一组寄存器链的实测结果. 测试时取时钟周期 $T_{CLK}=1\ \mu s$,测试仪器选用逻辑分析仪,片内节点测试启用反熔丝 FPGA 的 Actionprobe 动态检测功能,图中 PRA 和 PRB 为寄存器链内部其中一级 DFF 的输入节点和输出节点的动态检测信号.

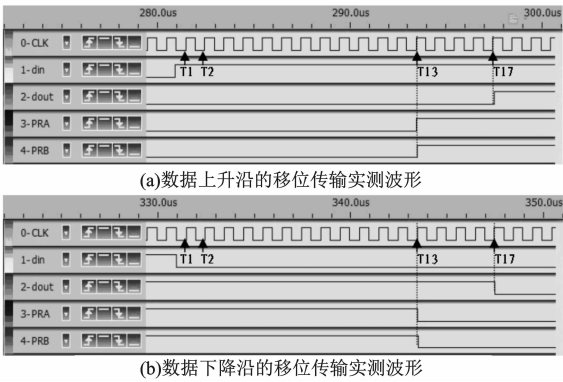


图 2 移位寄存器数据掉链故障的实测结果

图 2(a)和图 2(b)分别为移位寄存器链的数据上升沿和下降沿的移位传输实测结果. 从测试波形发现,数据移位传输掉链故障点发生在图中 T_{13} 标注的时钟位置,该位置对应寄存器链的第 14 级 DFF,从逻辑上看,该 DFF 的输入 PRA 与输出 PRB 相同,并未出现应有的 1 个时钟周期延时.

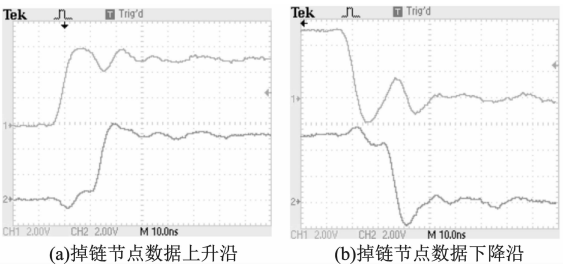


图 3 移位寄存器数据掉链故障节点波形图

采用示波器对掉链故障节点进行测试,如图 3 所示. 该 DFF 的数据输入到输出延时 $\Delta t \approx 15\ ns$,与 DFF 电路的本征延时和带已编程反熔丝的信号线延时相对应, Δt 远远小于 DFF 的 1 个时钟周期的时序延时($T_{CLK}=1\ \mu s$),由此断定,寄存器链在该节

点确实发生了数据移位传输掉链故障。

为了进一步摸清寄存器掉链故障的特点,用固化的 26 组移位寄存器链应用设计的位流文件对多颗反熔丝 FPGA 芯片进行编程后测试对比,测试结果如表 1 所示。

表 1 移位寄存器掉链故障测试结果统计表

被测器件	故障位置类别	故障位置编号
芯片 A	故障寄存器组别:	# 6 # 14 # 15 # 17 # 21 # 23 # 24
	对应掉链故障位:	R10 R3 R4 R9 R8 R14 R6
芯片 B	故障寄存器组别:	# 6 # 15 # 17 # 21 # 23 # 24
	对应掉链故障位:	R10 R4 R9 R8 R14 R6

由表 1 可见,尽管 26 组寄存器设计是完全一样的,但发生掉链故障的只有部分组;另一方面,同一设计在不同芯片发生掉链故障的现象并不完全一致,其中芯片 A 比芯片 B 多一个故障寄存器组。因此发现,该应用设计故障具有非确定性和一定隐蔽性,即测得一组寄存器链功能正确,但并不能判断同一芯片内设计完全相同的另一组寄存器链是否功能正确;测得一颗 FPGA 功能正常,但并不能判断相同设计的另一颗 FPGA 是否功能正常。

3.2 反熔丝 FPGA 应用设计的散出能力限制

根据寄存器掉链故障的现象和基本特征,针对应用设计的 FPGA 逻辑综合结果和布局布线结果进行仔细分析后发现,该应用设计故障与反熔丝 FPGA 的散出能力限制直接相关。

反熔丝 FPGA 的布线连接由反熔丝器件经编程后实现,由于编程后的反熔丝器件具有几十到几百欧姆不等的寄生电阻,信号经由反熔丝器件后衰减较明显,因此反熔丝 FPGA 对散出能力有较严格限制^[6-7]。Actel 的 ACT1,ACT2,ACT3,MX 和 SX 等系列的反熔丝 FPGA 的散出能力限制(Fanout limit)范围为 6~24。逻辑综合时可在 6~24 的限制范围内设置,默认 Fanout limit=16。

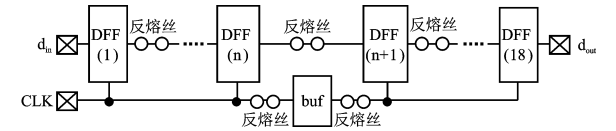


图 4 时钟通路插入 buffer 的原理示意图

针对本文的 18 级 DFF 移位寄存器链而言,时钟信号 CLK 驱动的逻辑模块数量将达到 18 个以上(1 级 DFF 由 1 个 S 模块或 2 个 C 模块构成)。当选择默认 Fanout limit=16 时,被驱动模块超过 16 个后,软件将自动插入一个 buffer 缓冲器来扩展散出

能力。插入 buffer 的原理示意图如图 4 所示,当 n 达到 Fanout limit 设定值后,时钟信号 CLK 在插入了 1 个 buffer 后再驱动后级 DFF 模块。

反熔丝 FPGA 提供数量有限的全局时钟线(比如 A1240A 有全局时钟线 2 根),一般情况下,Libero 软件会将时钟信号优先分配到无散出能力限制的全局时钟线上。当较复杂设计有分频得到内部时钟时,超出全局时钟线数量的时钟将分配到普通信号布线上,此时则存在散出能力限制问题,超出 Fanout limit 就会自动插入驱动 buffer,带来额外的局部时钟延时,即发生时钟偏斜^[8-11]。如果设计中对时钟信号有插入 Create Core I/O,则管脚分配时不会强制分配到全局时钟端口 CLKA/CLKB,软件在布局布线时也不会自动分配到全局时钟线上,因此也会出现因超出 Fanout limit 而自动插入驱动 Buffer,引起时钟偏斜的问题。

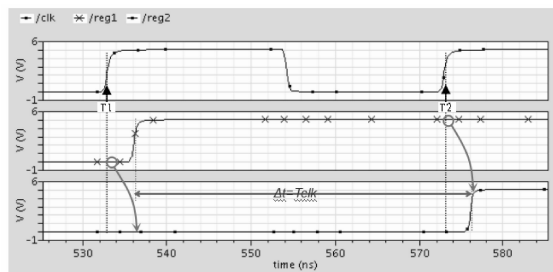
反熔丝 FPGA 因 Fanout limit 而插入 buffer 带来延时增加,从而引起时钟偏斜恶化,最终导致寄存器锁存错误,即寄存器链出现了掉链故障^[10-11]。

3.3 应用设计故障的形成原理

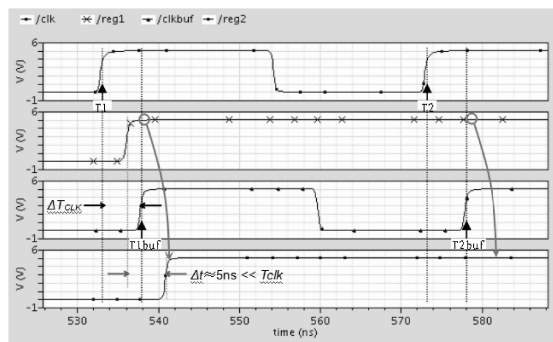
移位寄存器链未插入时钟 buffer 时,寄存器链每一级 DFF 的时钟为同一信号线,无时钟偏斜问题,寄存器链的各级 DFF 数据从输入到输出的延时正好为 1 个时钟周期,功能正确。图 5(a)给出了其中 1 级 DFF 的仿真结果,输入信号 reg1 到输出信号 reg2 的延时 Δt 为 1 个时钟周期 T_{CLK} 。

当移位寄存器链插入时钟 buffer 后,图 4 中第 $n+1$ 级 DFF 的仿真波形如图 5(b)所示,发生了掉链故障。其中,clk 为插入 buffer 前的信号,是第 n 级 DFF 的时钟信号;clkbuf 为插入 buffer 后的信号,是第 $n+1$ 级 DFF 的时钟信号。时钟偏斜明显,即 $\Delta T_{CLK} = T_{1buf} - T_1$ 。reg1 为第 $n+1$ 级 DFF 的数据输入信号,当 clkbuf 的上升沿 T_{1buf} 到来时,DFF 对 reg1 信号采样,由于时钟偏斜 ΔT_{CLK} 的存在,导致采样位置滞后,reg1 变为高电平的数据信号被提前了一个时钟周期采样输出给 reg2。输入信号 reg1 到输出信号 reg2 的延时 $\Delta t \approx 5\text{ns}$,远远小于 1 个时钟周期 T_{CLK} ,使得寄存器链在该 DFF 寄存数据位发生了 1 个延时移位数据的丢失,即产生了掉链故障。

在实际测试中,掉链故障具有非确定性和一定隐蔽性,即插入 buffer 后,掉链故障并不一定总是发生,这是因为时钟偏斜 ΔT_{CLK} 的大小具有不确定性。当 ΔT_{CLK} 小于 reg1 的保持时间时,clkbuf 在上



(a) 未插入时钟 buffer 的寄存器仿真波形



(b) 插入时钟 buffer 后的寄存器仿真波形

图5 移位寄存器数据掉链故障形成原理的仿真

升沿能采样到正确的输入数据,不会发生掉链故障;当 ΔT_{CLK} 大于 reg1 的保持时间时,clkbuf 在上升沿会采样到错误的输入数据,即产生掉链故障;当 ΔT_{CLK} 与 reg1 的保持时间相比拟时,由于亚稳态的存在,clkbuf 在上升沿采样的输入数据具有随机性,即掉链故障的发生与否则不确定。

ΔT_{CLK} 的大小由图4中 buf 模块及其前后的反熔丝器件共同决定。影响 ΔT_{CLK} 大小的主要因素包括:1)FPGA 芯片内不同位置的反熔丝具有个体差异;2)因布线差异导致的 buf 模块前后的反熔丝器件数量多少有差异;3)FPGA 片内不同位置反熔丝器件的编程条件及编程质量有差异;4)不同 FPGA 芯片的个体差异及其编程条件和编程质量有差异。基于以上原因, ΔT_{CLK} 大小的不确定性差异,导致掉链故障的实际发生具有非确定性。如果该电路故障因素存在,实测时因电路覆盖率及功能覆盖率不足未捕捉到,则不代表电路没有问题;如果实测时覆盖率充分而仍未捕捉到故障现象,而 FPGA 芯片在实际工作条件发生改变时,诱发故障现象的可能性依然存在,这势必成为应用工程的重大隐患。

4 排除应用设计故障的解决方案

本文提到的寄存器掉链的应用设计故障,属于典型的时序逻辑故障,该故障不仅仅在移位寄存器链的应用设计中会出现,在其它常见的时序逻辑电

路中同样也容易发生。

基于上文的故障特性及形成原因分析,针对反熔丝 FPGA 架构的特殊性,提出以下排除故障的解决方案。

(1)避免使用反熔丝 FPGA 的非全局时钟线。

反熔丝 FPGA 芯片内部有全局时钟线资源,其时钟树设计合理,专用时钟驱动电路的扇出能力有保障,全局时钟线与逻辑模块之间只经过一个反熔丝器件就能建立快速连接,且不存在额外插入 buffer 的情况,因此不会出现时钟偏斜问题,从而能有效避免掉链故障的产生。不同系列的反熔丝 FPGA,可用的全局时钟线资源有多有少,根据应用设计的时钟信号多少,可选择全局时钟线数量对应匹配的反熔丝 FPGA 型号。

(2)合理设置 Fanout limit 约束值,避免时钟通路因自动插入 buffer 而导致时钟偏斜。

在反熔丝 FPGA 实际应用设计中,有时候会出现全局时钟线资源不够用,而被迫使用非全局时钟线资源,此时必须注意避免发生超出散出能力的情况。以 Actel 的反熔丝 FPGA 为例,其 Fanout limit 约束值可在一定范围内(常规范围为 6~24)由用户自行设定,默认值为 Fanout limit=16。用户可根据应用设计的实际需要,如果时钟信号负载较重,可适当增大 Fanout limit 设置值,以避免因出现散出能力超限而在时钟通路中自动插入 buffer,从而达到避免产生时钟偏斜并消除掉链故障的目的。

当 Fanout limit 偏大时,虽然能降低自动插入 buffer 的概率,但会牺牲电路速度性能;当 Fanout limit 减小时,对提高电路速度有贡献,但会带来自动插入 buffer 导致时钟偏斜的风险。因此,当需要在系统速度性能和应用设计故障之间平衡时,则需要优化应用设计方案,从应用设计系统结构上根除散出能力超限的问题。

(3)时钟信号端口慎用 Create Core I/O。

通常情况下,在 FPGA 管脚分配时,软件能识别应用设计的时钟信号端口,并将时钟信号强制分配到专用时钟引脚上,从而在布局布线时自动调用全局时钟线资源。但在设计中,如果对时钟信号端口插入了 Create Core I/O 宏模块,则软件不会将该信号强制识别为时钟,于是就不会在布局布线时自动调用全局时钟线资源,从而带来额外插入 buffer 引起掉链故障。

(4)慎用多时钟设计。

反熔丝 FPGA 有外部时钟和内部时钟之分,只

要应用设计调用内部和外部时钟总数不超过有限的全局时钟线资源数量,在布局布线时软件就不会调用非全局时钟线资源.但针对多时钟设计而言,一旦时钟数过多,软件就会被迫调用非全局时钟线资源,从而带来额外插入 buffer 引起掉链故障.因此,多时钟设计要慎用,时钟数量必须控制,不宜超过全局时钟线资源数量.如果通过单时钟能设计实现的,尽可能避免采用多时钟设计,这样既能有效避免掉链故障的发生,同时也能提升系统性能.

(5) 进行充分的后仿真验证.

后仿真虽然做不到绝对杜绝故障发生,但充分的后仿真对排除潜在故障有积极意义^[12].针对本文涉及的掉链故障,当插入 buffer 的布局布线通路较复杂时,由于寄生效应引起延时较明显,通过后仿真能够有效排查故障;但当插入 buffer 的布局布线通路简短时,延时不明显,则后仿真将难以排查故障,尤其是仿真的覆盖率不足时,更易埋下故障隐患.因此,在实际应用中,有时会出现 FPGA 芯片实际运行速度达不到仿真值,该现象与 Fanout limit 型的应用设计故障有一定关联.

总之,时钟信号限用全局时钟线资源是根除插入 buffer 型时序逻辑故障的最有效方法.在必须用到非全局时钟线资源时,只要避免 Fanout limit 约束值超限情况的发生,则能有效消除插入 buffer 型时序逻辑故障.

为了验证故障解决方案的有效性,对前文的寄存器链应用设计,将 Fanout limit 约束值修改为 24 后,进行同型号反熔丝 FPGA 的编程后实测,测试结果如图 6 所示.图 6(a)和图 6(b)分别为移位寄存器链的数据上升沿和下降沿的移位传输实测结果,其中数据从输入 din 到 dout 经过了 18 个时钟周期,与 18 级 DFF 链结构匹配,掉链故障未发生.前文图 2 中 T13 标注的故障点,在图 6 中如 T13 和 T14 标注所示,第 14 级 DFF 的输入 PRA 和输出 PRB 之间刚好有 1 个时钟周期延时,即数据移位传输掉链现象已经消除.

对 26 组移位寄存器链进行全面测试,掉链现象均未再出现,实测表明故障已排除.

5 结束语

针对时序逻辑电路典型应用设计之一的移位寄存器链在反熔丝 FPGA 原型验证中出现掉链的时序逻辑故障现象,本文通过实测分析、故障形成原理研究及仿真验证后发现,该应用设计故障与反熔丝 FP-

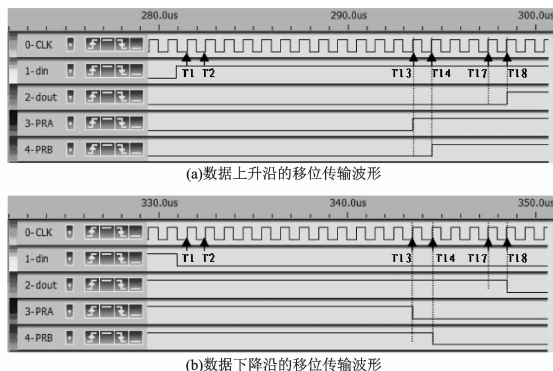


图 6 移位寄存器数据掉链故障排除后的测试结果
GA 架构的特殊性有关.由于反熔丝编程后存在固有的明显互连阻抗,为了保障性能,模块输出的散出能力有强制性约束范围限制(Fanout limit),当应用设计的关键路径超出 Fanout limit 约束值时,系统会自动插入 buffer 以增强后继驱动能力.当插入 buffer 发生在时钟路径上时,会带来显著的时钟偏斜,从而导致时序电路的逻辑故障发生,寄存器掉链故障就是反熔丝 FPGA 中的一种典型的应用设计故障.在深入剖析故障发生的原因和机理的基础上,本文提出了排除该故障的一系列解决方案,通过反熔丝 FPGA 编程后实测表明,该故障能够得到有效解决.

从故障现象的测试结果和故障的形成原理分析可见,该应用设计故障具有非稳定性特征,表现出一定的隐蔽性.在实际应用中,即使故障因素存在,但常规测试时故障仍有可能不显性发生,从而误以为应用设计正确、工作正常.因此,该类故障在反熔丝 FPGA 应用中需予以重视,只有彻底消除应用设计的故障因素,才能有效解决实际问题.

参考文献:

- [1] Greene J, Hamdy E, Beal S. Antifuse field programmable gate arrays[J]. Proceedings of the IEEE, 1993, 81(7):1042-1056.
- [2] 朱明程,熊元姣. ACTEL 数字系统现场集成技术[M]. 北京:清华大学出版社,2004.
- [3] 张伟,杜涛,张国俊. 反熔丝 FPGA 配置电路的研究[J]. 微电子学与计算机, 2015, 32(4): 98-101.
- [4] 张大华,李威,杜涛. 反熔丝 FPGA 线长驱动布线算法[J]. 微电子学与计算机, 2015, 32(3): 132-135.
- [5] 王刚,李平,李威,等. 反熔丝的研究与应用[J]. 材料导报, 2011, 25(6): 30-33.
- [6] 马金龙,吴素贞. MTM 非晶硅反熔丝导通电阻[J]. 微电子学与计算机, 2016, 33(9): 98-105.

络用户特征搜索的准确率不断体改,本文方法在搜索 70 步后对网络用户相似性特征搜索的准确率达到 100%,特征挖掘能力比传统方法平均提升 13.86%,计算开销缩短 21.75%,算法的全局收敛性较好,有效提高了网络信息的优化推荐能力。

5 结语

为了提高网络用户的 QoS 个性化服务能力,对网络用户的个性化相似性特征进行优化挖掘和自动搜索,推荐能够反映用户感兴趣的网络信息,提高网络信息的处理和利用能力,本文提出一种基于动态聚类分析的网络用户相似性特征搜索算法。采用关联信息标注方法进行网络用户相似性行为特征信息检索和动态聚类分析,实现用户相似信息特征优化搜索。采用本文方法进行网络用户相似性特征搜索的准确性较高,对全局收敛性较好,对用户的偏好信息准确挖掘能力较强,在网络信息的优化推荐中具有很好的应用价值。

参考文献:

- [1] 庞俊,于戈,许嘉,等.基于 MapReduce 框架的海量数据相似性连接研究进展[J]. 计算机科学,2015,42(1):1-5.
- [2] 张景祥,王士同,邓赵红,等.融合异构特征的子空间迁移学习算法[J]. 自动化学报,2014,40(2):236-246.
- [3] GOFERMAN S, ZELNIKMANOR L, TAL A. Context-aware saliency detection[J]. IEEE Transactions

on Pattern Analysis and Machine Intelligence, 2012, 34(10):1915-1926.

- [4] CHENG M M, MITRA N J, HUANG X, et al. Global contrast based salient region detection [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2015, 37(3):569-582.
- [5] 毕安琪,王士同.基于 Kullback-Leiber 距离的迁移仿射聚类算法[J]. 电子与信息学报,2016,38(8):2076-2084.
- [6] SUN L and GUO C H. Incremental affinity propagation clustering based on message passing [J]. IEEE Transactions on Knowledge and Data Engineering, 2014, 26(11):2731-2744.
- [7] 毕安琪,董爱美,王士同.基于概率和代表点的数据流动态聚类算法[J]. 计算机研究与发展,2016,53(5):1029-1042.
- [8] 郭磊,马军,陈竹敏,等.一种结合推荐对象间关联关系的社会化推荐算法[J]. 计算机学报,2014,37(1):219-228.
- [9] 张卫,曹先彬,尹洪章.基于多特征融合的聊天室社会网络挖掘方法[J]. 中国科学技术大学学报,2009,39(5):540-546.
- [10] 孟祥武,刘树栋,张玉洁,等.社会化推荐系统研究[J]. 软件学报,2015,26(6):1356-1372.

作者简介:

马杰男,(1977-),硕士,实验师.研究方向为计算机技术应用、网络与信息处理、信息化教学设计.

E-mail:majie@nau.edu.cn.

(上接第 112 页)

- [7] Wang Gang, Li Wei, Li Ping, et al. A novel antifuse structure based on amorphous bismuth zinc niobate thin films [J]. Journal of Semiconductor, 2012, 33(8):44-47.
- [8] 罗刚,曾献君.超大规模集成电路的时钟偏斜及其补偿技术[J]. 制造业自动化,2011,33(3):115-117.
- [9] 李芝燕,严晓浪.高速多级时钟网布线[J]. 半导体学报,2000,21(3):290-297.
- [10] 童琼,张晓林,苏琳琳,等.双频双系统导航芯片的时钟树分析和设计[J]. 微电子学,2011,41(2):246-250.
- [11] 赵萌,蔡懿慈,洪先龙,等.合理偏差驱动的时钟线网构造及优化[J]. 半导体学报,2003,24(4):438-444.
- [12] 马游春,曾青林,李锦明.基于 ACTEL 反熔丝 FPGA

的分频器优化设计[J]. 计算机测量与控制,2012,20(9):229-231.

作者简介:

杜涛男,(1976-),博士,讲师.研究方向为大规模集成电路设计与验证. E-mail:dutao@ussc.edu.cn.

许百川男,(1991-),硕士研究生.研究方向为大规模集成电路设计.

李威男,(1959-),教授,博士生导师.研究方向为可编程逻辑器件、集成电路可靠性技术.

晁醒男,(1993-),硕士研究生.研究方向为大规模集成电路设计.

吴方明男,(1991-),硕士研究生.研究方向为大规模集成电路设计.