

引用格式:孙铭阳,郑晓,郭桂良.一种 EFlash 高压自校准电路[J].微电子学与计算机,2019,36(11):1-6. [SUN M Y, ZHENG X, GUO G L. An EFlash high voltage auto trim circuit[J]. Microelectronics & Computer, 2019, 36(11): 1-6]

一种 EFlash 高压自校准电路

孙铭阳¹, 郑 晓², 郭桂良³

(1 中国科学院大学, 北京 100029; 2 中芯国际集成电路制造有限公司, 上海 201203;

3 中国科学院 微电子研究所, 北京 100029)

摘 要: 嵌入式闪存(Embedded Flash, EFlash)内部高压的准确性对其读取、编程和擦除的有效性至关重要. 为了 EFlash IP 的高压误差尽可能小, 电路预留了可调接口用于调整内部高压的数值. 通过提出自动检测的算法和设计集自动化检测和校准一体的自测电路, 达到快速校准高压的目的. 实验以一个 2 M 存储容量的 EFlash 为对象, 实现校准时间从 3 s 到 30 ms 的减少.

关键词: 嵌入式闪存; 高压; ATE; 自校准; 高效

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2019)11-0001-06

An EFlash high voltage auto trim circuit

SUN Ming-yang¹, ZHENG Xiao², GUO Gui-liang³

(1 University of Chinese Academy of Sciences, Beijing 100029, China;

2 Semiconductor Manufacturing International Corporation, Shanghai 201203, China;

3 Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China)

Abstract: The accuracy of Embedded Flash (EFlash) internal high voltage is crucial to its efficiency of reading, programming and erasing. In order to minimize the high voltage error of EFlash IP, the circuit reserved adjustable interface to adjust the value of internal high voltage. By putting forward the algorithm of automatic detection and designing the self-test circuit integrating automatic detection and calibration, the purpose of high voltage calibration can be achieved quickly. The experiment takes EFlash with a storage capacity of 2 M as the object to reduce the calibration time from 3 s to 30 ms.

Key words: EFlash; high voltage; ATE; auto trim; high efficiency

1 引言

EFlash 的工作模式主要有擦除、编程和读取操作, 其功能的正常实现离不开高压. 在实际应用中, 失调电压以及工艺误差会对高压系统产生较大的影响, 使产生的高压偏离目标值. 故在 EFlash 电路设计时可在内部预留 16 个调节档位, 通过外部预留的接口调整内部高压. 目前对高压的校准是利用自动测试机台(Auto Test Equipment, ATE)完成, 对芯

片进行 16 次外部时间控制编程(External Time Control Program, EXTP)和外部时间控制擦除(External Time Control Erase, EXTE)操作, 在此模式下可以通过预留的档位改变高压, 并从外部接口测得内部高压输出, 通过 ATE 可以自动完成激励的配给、测量和数据处理然后输出测试结果^[1]. 通过全扫描以及输出对比的方式找到输出高压(VPP)最接近目标值的档位. 整个过程需要 2.5~3 s 的时间, 测试时间长, 测试程序繁琐, 对测试机台依赖性高.

虽然当今国内外校准技术水平表明 ATE 的校准设备正在按照“自动化、机动化、通用化”和“实用、可靠、先进、经济”的原则,向着硬件可互换的方向发展^[2].但是 ATE 的发展在我国起步较晚,普遍存在量值传递的参数多、配备数量少、体积庞大、不易拆卸的特点,还受着校准周期的制约^[3];还存在着校准系统的不确定度问题、校准环境条件的补偿问题和系统校准中的适配器问题^[4],导致系统复杂多样没有统一标准可以参照;与此同时随着电路时钟速度的提升、集成度的提高和混合信号需求的上升,ATE 硬件成本快速增长^[5].针对这些情况,为了在保障测试覆盖率和准确性的前提下,降低测试费用和复杂度^[6],本文研究了一种可测性电路设计和算法,可以帮助加快实现对模拟信号 VPP 的自动校准,以 55 nm 工艺节点下的 2 M 存储容量 EFlash 为研究对象,最终测得校准时间降低到 30 ms,大大减少了对 ATE 设备的依赖.

2 高压系统和误差产生

Eflash 电路高压由内部系统产生,整体结构如图 1 所示,由 pump 电路、分压模块、比较器和时钟钳位模块四部分组成,其中分压模块的结构如图中虚线内所示,12 个相同的电阻串联,最上级的电阻与一个低阻通路并联,通路的开关由 trim bits 中的 OP<3>来控制,这样 VDIV 的电压就为 PUMP 产生的 HV 电压的 1/11 或 1/12. VDIV 与参考电压 VR_PE 分别输入到比较器的两个输入端,如果 VDIV 比参考电压大,比较器输出低电平,时钟信号被时钟钳位电路钳制, pump 没有时钟输入而停止工作,由于负载的存在 HV 缓慢降低;如果 VDIV 比参考电压小,比较器输出高电平,CLK 正常输入到 pump 中, pump 电路继续工作升高 HV. 经过这样的比较反馈可以将 HV 稳定在设定的值.但在实际生产中,由于不可避免的工艺误差^[7],HV 电压会与设定值之间有一定的偏差.产生偏差的原因包括电阻模块误差产生的线性偏差(此时的分压系数记作 a_1),比较器输入失调电压产生的平移偏差量 b_1 ^[8],参考电压 VR_PE 由于电阻偏差存在的误差而得到的 VR_PE'. 那么真实值如公式(1)所示

$$HV = a_1 (VR_PE' + b_1) \quad (1)$$

下面通过分析参考电压的产生过程评估 VR_PE 的偏差量.

如图 2 所示,参考电压的产生电路分为三级,第一级包括一个稳定的外来参考电压 V_{ref} 、运放模块、

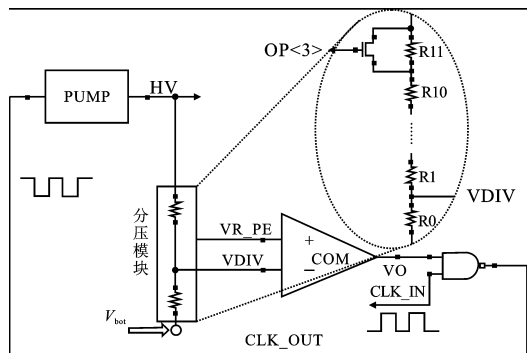


图 1 高压系统

电阻分压模块以及电压选择模块. 由于运放虚短的特点, P 点的电压与 V_{ref} 相同, 再通过电阻分压模块产生 8 个不同的参考电压, 由 trim bits 中的 OP<2:0>来选择其中一个参考电压值, 记为 V_{ref_OP} . 由于该级存在着电阻分压模块和运放, 同样存在着电阻偏差和输入失调电压等因素, 记真实的输出电压为

$$V_{ref_OP}' = a_2 * (V_{ref_OP} + b_2) \quad (2)$$

式中, a_2 为引入电阻偏差后的比例系数; b_2 为输入失调电压. 该级的驱动能力很弱, 因此第二级用一个运放作为驱动电路, 输出 $V_{ref_OP_E}$ 的真实值为

$$V_{ref_OP_E}' = V_{ref_OP}' + b_3 \quad (3)$$

由于编程和擦写时所需要的高压有所不同, 因此第三级对 $V_{ref_OP_E}$ 又进行了一次处理, 在第三级中, 12 个相同的电阻串联, 顶端接 V_{dd} , 底端接 $V_{ref_OP_E}$, 最上级的电阻与一个短路通路并联, 同样由 trim bits 中的 OP<3>来控制, 这样用于擦除的参考电压值就等于 $V_{ref_OP_E}$, 而用于编程的参考电压值为 $\frac{1}{11}V_{dd} + \frac{10}{11}V_{ref_OP_E}$ 或者 $\frac{1}{12}V_{dd} + \frac{11}{12}V_{ref_OP_E}$. 在这个过程中同样会引入线性偏差量, 记真实的比例系数为 a_3 , 故最终得到的参考电压为

$$VR_PE' = a_3 * (a_2 * (V_{ref_OP} + b_2) + b_3) \quad (4)$$

最终的输出 HV 为

$$HV' = a_1 * (a_3 * (a_2 * (V_{ref_OP} + b_2) + b_3) + b_1) \quad (5)$$

假设单级的线性偏差为 5%, 最后线性偏差的总量可达 15%, 而平移偏差量又被比例系数放大, 尤其是 a_1 的系数大于 10, 故积累的偏差量会很大, 因此必须对实际的芯片进行高压的检测和校准.

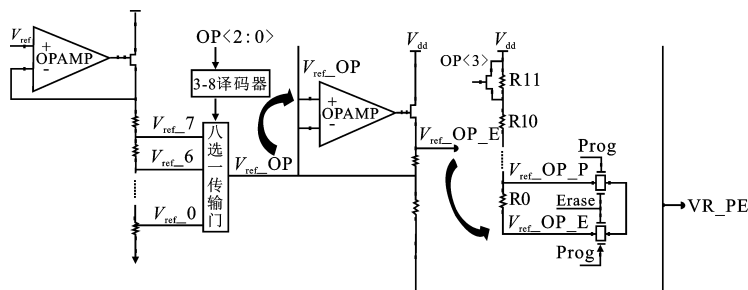


图 2 VR_{PE} 的产生电路图

3 Auto Trim 电路设计

3.1 整体结构

电路的整体架构如图 3 所示,EFlash IP 设计时预留有多位 trim bits,其中低四位 OP<3:0>用来调整 VPP 的电压. 首先由 Controller 模块发出指令使 IP 工作在 EXTP 或 EXTE 模式下,并设定 OP<3:0>=4'b0111,得到 IP 处于 program 或 chip erase 操作下 VPP 电压的初始值(default). 为便于对高压进行处理计算,将高压信号经过电阻分压,得到的电压 V_{in} 通过模数转换器 ADC 模块转换为 12 位宽的数字信号 Dout,Dout 作为输入信号在 Logic 模块中进行运算,得出 4 位宽的输出 data_out,即下次操作中 OP<3:0>要设定的值. 待 IP 退出本次测试模式后,op_in 通过 Controller 赋值给 OP<3:0>,改变 trim bits,随后重新进入 EXTP 或 EXTE 模式并重复之前的过程,得到新的 data_out. 从第二轮开始会在 Logic 中比较前后两次的 data_out 数据,当两者相同,即前后两次所要调到的档位相同时,此时 trim bits 的档位就是使 VPP 最接近目标值的设置.

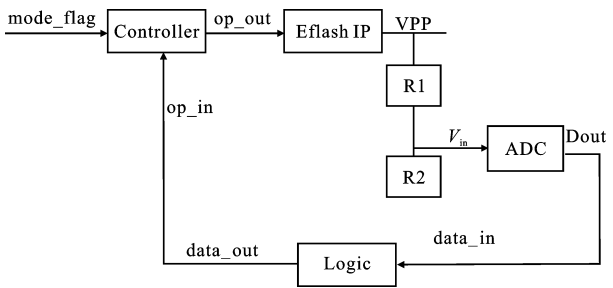


图 3 电路整体架构

在本电路架构中,ADC 起着十分重要的作用,只有将输出的高压信号转换为数字信号^[9],才能在 logic 模块中进行计算比较. 本 IP 中的 Pump 的输出能力在 13 V 以上,实际需要的高压在 8 V~12 V 之内,而所用 ADC 的输入电压在 0~2.5 V 的区间内,故设计电阻分压的比例为 7:1,使分压得到的

V_{in} 分布在 ADC 的转换电压中值附近,提高转换的精度.

3.2 Controller 控制器模块

Controller 是产生指令的模块,IP 的工作开始、工作模式和工作结束皆由其控制. 两位宽的输入 mode_flag<1:0>用于产生进入不同模式的时序信息和逻辑信号,包括 4 个状态,idle、EXTP、EXTE 和 read. 本模块采用三段式状态机,一个模块描述状态转移,第二个模块判断状态转移的条件,描述状态转移的规律,第三个模块描述状态的输出.

如图 4 所示,mode_flag 为 0 时,controller 发出指令使 IP 处于 Idle 状态;mode_flag 为 1 时进入 EXTP 模式,一共包括 5 个步骤,首先 controller 控制 IP 从 idle 模式跳到 chip erase 模式进行全擦除操作,然后通过读操作验证全擦除的有效性,再控制 IP 进入 EXT 状态,在 EXT 模式下进入 program 状态即可测得 EXTP 时的 VPP 电压,最后回到 idle 模式;mode_flag 为 2 时进入 EXTE 模式,同样是 5 个步骤,controller 先控制 IP 从 idle 模式跳到 program 模式进行编程操作,然后进行读取操作验证编程的有效性,再跳转到 EXT 状态,在该模式下进行 chip erase 操作,测得 EXTE 时的 VPP 电压,最后回到 idle 模式. mode_flag 为 3 时,controller 可以使 IP 随时从 idle 模式跳到 read 模式进行读取操作,读取操作结束后也会立即回到 idle 模式.

3.3 Logic 逻辑模块

文章在 EXTE 模式下进行推理验证. 表 1 是电路设计的 SPEC 值, VPP_SPEC 的值是在 EXTE 模式下每个档位对应的电压设计值,而 Dout_SPEC 是经过电阻分压和 ADC 转换所对应 VPP 的数字信号. 例如 trim bits 的 default 值是 0111,目标高压输出值是 10.175 V,通过电阻分压和 ADC 转换得到的数字信号为 7DE. 16 个档位对应的 VPP 会发生偏移,假设偏移后每个档位对应的实际电压与 SPEC 的关系是 $VPP_{EXTE} = a * VPP_{SPEC} + b$,

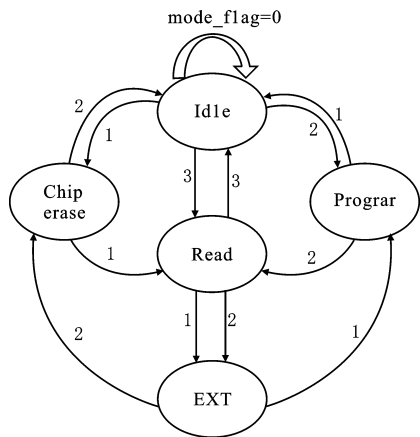


图 4 Controller 的状态转移图

如图 5 所示,曲线 VPP_SPEC 是各个档位对应的设计值曲线,曲线 VPP_上偏是每个档位测得的 VPP 分布整体偏大的曲线,曲线 VPP_下偏是每个档位测得的 VPP 分布整体偏小的曲线. 如果上偏幅度太大导致最小的档位也无法达到目标值,则信号 report_error1 置高;如果下偏幅度太大导致最大的档位也无法达到目标值,则信号 report_error2 置高,代表没有可以使 VPP 达到设计值得档位.

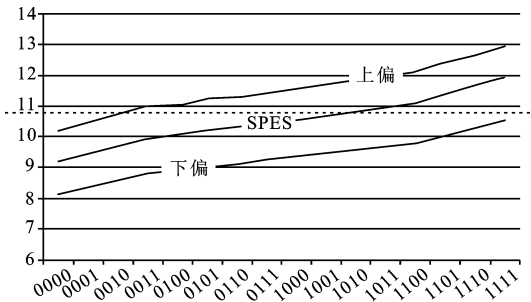


图 5 VPP 偏移时的走势

图 6 是当前 ATE 全扫描方法的流程,通过量测、比较和反馈实现. 本电路的 logic 模块不再使用全扫描的算法,设计如图 7 所示的“查表法”,进入测试模式测得 VPP 时 trim_flag 置高,当 data_in 大于 7E9 时,说明电压上偏. 首先计算出差值,然后用 7E9 减去差值得到目标值,对照表 1 在小于 0111 的档位中找到最接近 7E9 的档位,最后对照表格 1 输出相应的档位 data_out<3;0>,如果 target 值在两个档位中间,本算法取较小的档位;data_in 小于 d_spec 时原理相同. 记录当前的 data_out,将 op<3;0>调到相应的档位,输出的 VPP 经过 ADC 转换为数字信号,再通过 Logic 模块运算后得到新的 data_out,如果与前一个 data_out 相同,则 trim_flag 拉低,校准结束;如果不同,继续运算直到前后两次的

data_out 相同.

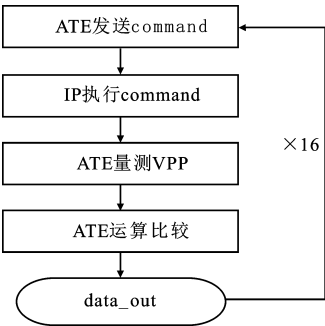


图 6 ATE 校准流程

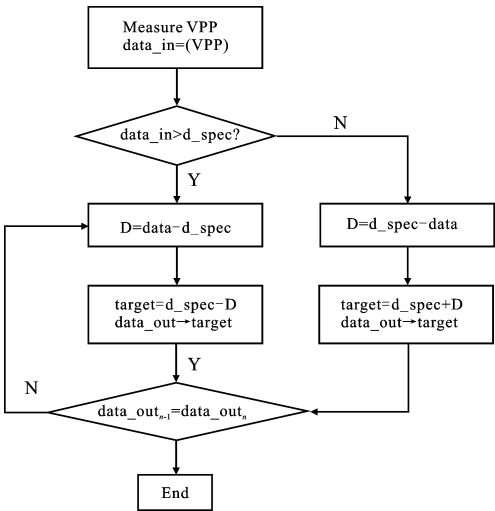


图 7 校准 default VPP 的算法流程图

表 1. op<3;0>对应的 VPP_SPEC 及数字信号

op<3;0>	VPP_SPEC(V,EXTE)	Dout_SPEC(EXTE)
0000	8.800	7A7
0001	9.075	7B2
0010	9.350	7BD
0011	9.625	7C8
0100	9.675	7CA
0101	9.900	7D3
0110	9.975	7D6
0111	10.175	7DE
1000	10.275	7E2
1001	10.450	7E9
1010	10.600	7EF
1011	10.725	7F4
1100	10.900	7FB
1101	11.200	807
1110	11.500	813
1111	11.800	81F

3.4 算法证明

运用数学方法证明上文算法的可行性. 假设线性偏移量为 k , 平移量为 b , 16 个档位高压 HV 的输出

出都会发生偏移,引入线性误差 k 和平移误差 b ,那么实测值 V_{EXTE} 和设计值 V_{spec} 的关系如公式(6)所示。

$$V_{\text{EXTE}} = k V_{\text{spec}} + b \quad (6)$$

假设目标的输出电压为 A ,设计的电压 trim 的间隔为 d . 为方便计算,将间隔电压归一化,此时目标的输出电压为 a ,间隔为 1,即图 8 中第二列的电压列表. 再引入线性误差和平移误差,得到第三列所示的电压列表,此时在 default 档位下实际测得的高压值为 $ka + b$. 将实测值和目标值的差值记为?,由上述流程可知需要根据这个差值在设计中的 spec 列表中寻找 trim 的档位,将此时档位对应的设计值记为 target ,而该档位对应的实测值则记为 V_{EXTE} . 在此先假定 $0 < k < 2$.

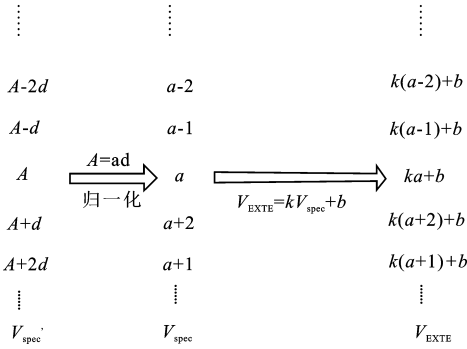


图 8 推导演算过程

第一次校准时 trim 的档位为 default 值,此时 target_0 为 a ,实测得 $V_{\text{EXTE0}} = ka + b$,计算得到

$$\begin{aligned} \Delta_1 &= V_{\text{EXTE0}} - a \\ &= (k-1)a + b \end{aligned} \quad (7)$$

此时在 spec 电压列表中寻找的值为

$$\begin{aligned} \text{target}_1 &= \frac{V_{\text{EXTE0}} - b}{k} - \Delta_1 \\ &= a - (k-1)a - b \end{aligned} \quad (8)$$

该设计值对应的实测值为

$$\begin{aligned} V_{\text{EXTE1}} &= \text{target}_1 * k + b \\ &= a - (k-1)^2 a - (k-1)b \end{aligned} \quad (9)$$

因此在第一次校准结束后实测值与目标值的差值为

$$\begin{aligned} \Delta_2 &= V_{\text{EXTE1}} - a \\ &= -(k-1)^2 a - (k-1)b \end{aligned} \quad (10)$$

由于 $0 < k < 2$,故 $\Delta_2 < \Delta_1$. 第二次校准的过程与第一次相同,得到

$$\begin{aligned} \text{target}_2 &= \frac{V_{\text{EXTE1}} - b}{k} - \Delta_2 \\ &= \frac{a - (k-1)^2 a - kb}{k} + (k-1)^2 a + (k-1)b \end{aligned} \quad (11)$$

$$\begin{aligned} V_{\text{EXTE2}} &= \text{target}_2 * k + b \\ &= a + (k-1)^3 a + (k-1)^2 b \end{aligned} \quad (12)$$

由所得的结果,可以推断第 $n-1$ 次校准后测量值与目标值的差 Δ 和第 n 次校准后的测量值 V_{EXTE} 为

$$\Delta_n = (-1)^{n-1} (k-1)^n a + (-1)^{n-1} (k-1)^{n-1} b \quad (13)$$

$$V_{\text{EXTE}_n} = a + (-1)^n (k-1)^{n+1} a + (-1)^n (k-1)^n b \quad (14)$$

那么第 n 次校准后 VPP 的实际输出值与目标值的差距为

$$\Delta_{n+1} = (-1)^n (k-1)^{n+1} a + (-1)^n (k-1)^n b \quad (15)$$

那么第 $n+1$ 次校准在 spec 电压列表中查到的值是

$$\begin{aligned} \text{target}_{n+1} &= \frac{V_{\text{EXTE}_n} - b}{k} - \Delta_{n+1} = \\ &= \frac{a + (-1)^n (k-1)^{n+1} a + (-1)^n (k-1)^n b - b}{k} - \\ &= (-1)^n (k-1)^{n+1} a + (-1)^n (k-1)^n b \end{aligned} \quad (16)$$

故第 $n+1$ 次校准得到的实测值为

$$\begin{aligned} V_{\text{EXTE}_{n+1}} &= \text{target}_{n+1} * k + b \\ &= a + (-1)^{n+1} (k-1)^{n+2} a \\ &\quad + (-1)^{n+1} (k-1)^{n+1} b \end{aligned} \quad (17)$$

通过上述数学归纳法,证明了第 n 次校准后 VPP 的值是 $a + (-1)^n (k-1)^{n+1} a + (-1)^n (k-1)^n b$,在开始证明前假定了 $0 < k < 2$,故可以看到与目标值 a 的差量以指数型的速度减小,算法收敛,佳值. 当差值小于 $1/2$ 时,即得到所需的校准档位. 当 $k > 2, b > 0$ 时, target_1 是负值,即此情况下输出的真实值中将不会有足够接近 a 的值;当 $k > 2, b < 0$ 时,该算法无法找到最有效的值. 但是, $k > 2$ 意味着每一级线性偏差大于 26% ,这在实际生产过程中基本不会出现。

4 仿真验证

Clk 的周期为 40ns , mode_flag 为 2,此时进行 EXTE 操作, $a = 1.12, b = 0.1$,则 $V_{\text{PP_EXTE}} = 1.12 * V_{\text{PP_SPEC}} + 0.1$,电压整体偏大. 表 2 是每个档位对应的实际值, op 为 default 值 0111 测得的 VPP 所对应的数字信号为 813,从表中可以看出最接近目标值 7DE 的档位是 0001,在每个档位对应的真实值未知的情况下,验证电路是否可以输出 0001.

表 2 EXTE,每个档位对应的实际值

op<3:0>	VPP_EXTE(V)	Dout_EXTE
0000	9.950	7D5
0001	10.275	7E2
0010	10.575	7EE
0011	10.875	7FA
0100	10.925	7FC
0101	11.200	807
0110	11.275	80A
0111	11.500	813
1000	11.600	817
1001	11.800	81F
1010	11.975	826
1011	12.100	82B
1100	12.300	833
1101	12.650	841
1110	12.975	84E
1111	13.325	85C

图 9 为仿真结果,在第三次进入测试模式时运算得到的 data_out 依然是 1,与第二次的 data_out 相同,说明 op<3:0>为 0111 时,校准 data_in(813)最合适的档位是 1,即 data_out<3:0>为 0010,此时 trim_flag 置低,得到了合适的 trim bit.

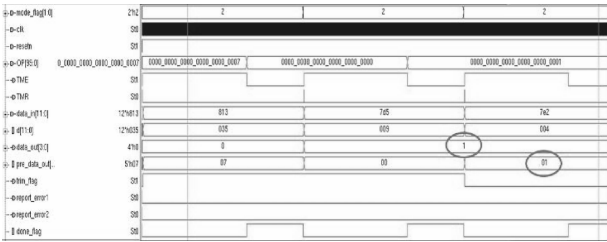


图 9 mode_flag=2,校准 VPP 的仿真结果

5 结束语

针对 EFlash 模拟功能模块高压偏移的问题,提出了一种可以实现自校准的测试电路.分析电压产生的原理后,将高压偏移的原因主要归于失调电压和电阻偏差,分别对应为平移偏差和线性偏差,进而设计算法“查表法”并用数学方法证明其有效,最后

搭建电路并通过子模块仿真和整体仿真验证了电路功能的完整性.仿真结果显示利用本文的 Auto Trim 电路能将校准时间节省到 30 ms,与目前的 ATE 全扫描方法的 3 s 相比大大缩减,相应的成本也会大幅度减少,对节省 EFlash 整体测试成本的研究有着很高的价值.

参考文献:

[1] 鲍黎涛. 基于 ATE 的可靠性技术分析[J]. IT 时代周刊论文专版,2015(315):177-180.

[2] 纪明霞,周志刚,王翠珍,等. ATE 通用校准设备的研究[J]. 仪表技术,2015,43(3):8-10.

[3] 董锁利,丁颖,张建兰. ATE 的校准与设计策略[J]. 工业计量,2013,23(1):66-68.

[4] 高占宝,梁旭,李行善. ATE 系统校准技术研究[J]. 电子测量与仪器学报,2005,19(2):1-5.

[5] 章慧彬. 测试成本的挑战及对策[J]. 电子与封装,2018,18(5):7-9.

[6] 董婷婷. 低测试成本芯片的 ATE 和板级测试研究[D]. 上海:复旦大学,2013.

[7] 冯忱晖. 集成电路工艺偏差的片上检测与应用[D]. 杭州:浙江大学 2016.

[8] 李鹏,刘力源,李冬梅. 一种高速高精度比较器的设计[J]. 半导体技术,2010,35(10):1011-1015.

[9] VERMA N, CHANDRAKASAN A P. An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes[J]. IEEE Journal of Solid-State Circuits, 2007, 42(6):1196-1205.

作者简介:

孙铭阳 女,(1994-),硕士研究生.研究方向为 NVM 测试方法优化设计. E-mail:myss_sun623@163.com.

郑 晓 男,(1983-),硕士,工程师.研究方向为 NVM 测试/数字电路设计.

郭桂良 男,(1981-),博士研究生,副研究员.研究方向为模拟/射频集成电路设计.