

引用格式:史永胜,洪鑫扬,段青亚,等. 图像欧拉数计算的 FPGA 加速设计[J]. 微电子学与计算机,2019,36(8):06-09.
[SHI Y S, HONG X Y, DUAN Q Y, et al. A FPGA accelerator to compute image euler number [J]. Microelectronics & Computer, 2019, 36(8): 06-09.]

图像欧拉数计算的 FPGA 加速设计

史永胜¹, 洪鑫扬¹, 段青亚², 马毅超¹, 陶亚凡¹, 何立风¹

(1 陕西科技大学 电气与信息工程学院, 陕西 西安 710021;

2 西安微电子技术研究所, 陕西 西安 710054)

摘 要: 欧拉数是二值图像重要特征之一, 为进一步提高现有二值图像欧拉数算法的效率, 根据图论中的欧拉定理, 在 GRAY 提出的基于四方块类型的欧拉数算法的基础上, 提出一种欧拉数计算的 FPGA 加速设计. 充分利用 FPGA 的并行处理能力, 采用三级流水线的设计进行处理, 使得计算欧拉数的时间几乎等于从 RAM 中读取一幅图的时间, 极大提高了欧拉数计算的速度. 最后使用 41 张随机二值噪声图像进行测试, 结果表明, PC 上的先进算法的处理时间随目标像素的密度的改变有很大的变化, 最慢时间为最快时间的 5 倍左右, 而本文设计的 FPGA 加速设计中, 处理一幅图像的时间与目标像素无关仅与图片大小有关, 且与理论上读取一幅图片的时间非常接近, 速度比 PC 上先进的算法的平均速度快了 20 多倍, 且成本功耗均远低于 PC.

关键词: 欧拉数; 二值图像; FPGA 加速器; 图像处理

中图分类号: TP391.41

文献标识码: A

文章编号: 1000-7180(2019)08-0006-04

A FPGA accelerator to compute image euler number

SHI Yong-sheng¹, HONG Xin-yang¹, Duan Qing-ya²,
MA Yi-chao¹, TAO Ya-fan¹, HE Li-feng¹

(1 College of Electric and Information Engineering, Shaanxi University of Science & Technology,
Xi'an 710021, China; 2 Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: Euler number is an important feature of a binary image. Now, this paper proposes an efficient FPGA accelerator to improving the current computing efficiency which is designed for computing the Euler number based on the Euler Method of Gray System Model, according to the Euler theorem in the graph theory. Making good use of the parallel processing capability of FPGA, adopting design of three stage pipeline, the speed of FPGA accelerator computing the Euler number is improved greatly. The random 41 noisy binary images tests turn out that processing time of the advanced algorithm in PC is sensitive to the target pixels density change and the slowest is five times slower than the fastest. However, processing a image in FPGA accelerator is no concern with pixels density and low power depletion fast as read a image in theoretically, which is 20 times faster than advanced algorithm in PC.

Key words: Euler number; binary image; FPGA accelerator; image processing

1 引言

在现图像识别领域中, 欧拉数作为二值图像的一种重要拓扑属性^[1], 在图像形状识别和匹配中起

到很大作用^[2]. 欧拉数通常被定义为一图像中连接体个数与孔洞数之差^[3], 由于其在图像变换中始终不变的特性, 被应用于医学图像处理^{[4][5]}、字符识别^[6]、阴影检测等多种场合^[7]. 对于如何快速准确

计算出含有大量数据的二值图像的欧拉数,有许多实现方法,其中就有被著名计算工具 MATLAB 采用的算法,即 GRAY 提出的基于四方块类型的欧拉数算法^[8-10]. 为进一步提高现有的图像欧拉算法的效率^[11-12],根据图论中的欧拉定理,结合高集成度、低功耗的 FPGA^[13],本文提出了一种欧拉数计算的 FPGA 设计.

2 算法及实现方法描述

首先将图片进行二值化处理,定义目标像素为 1,背景像素为 0,采用 8 连通方式. 在 GRAY 提出的基于四方块类型的欧拉数算法的基础上,压缩存储二值图像,设计一种适用于 FPGA 的处理方式^[14]加速欧拉数的计算.

2.1 算法描述

GRAY 算法计算欧拉数基于 4 像素的处理单元,对原图像先做处理,在外侧加一圈 0,逐行逐列的遍历整个图片,将除了第一行第一列的所有像素和其左,左上,上三个方向的相邻像素做成一个 2×2 的 4 像素单元,对每个 4 个像素单元做一次分类,共 16 种情况,分为 4 类,计算欧拉数只需要关心前三类,其分别是 P1,P2,P3,如图 1 所示.

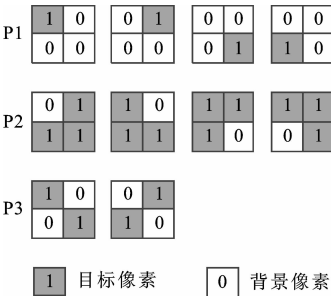


图 1 像素单元的分类

当遍历完一整幅图后,P1,P2,P3 三类的数目总和分别是 N_1,N_2,N_3 . 则图像的欧拉数的个数为

$$E = (N_1 - N_2 - 2N_3)/4 \tag{1}$$

2.2 实现方法

2.2.1 概述

对图像每行像素右侧补 0 直至图像列数可以被 16 整除,后文中不做特殊说明所提到的图片均为处理后的图像. 将图片压缩存储在 RAM 中,即每个时钟周期可以读出的像素个数等于 RAM 的位宽,本文所选用 RAM 的位宽为 16 位,读取方式是按行读取.

在 FPGA 中定义位宽为 16 的寄存器 data 储存每次读取的 16 个像素,定义位宽为 16 的数组 img_buff[1: ROWS/16] 存储最近一行的像素,其中

ROWS 为图片的列数. 定义位宽为 1 的数组 last_bit [1:2]存储当前读取的像素的左上的像素和左侧的像素. 用 $W_{i,j}$ 表示第 i 行第 j 个字. 假设图像有 m 行,每行存储需要 n 个字,即 $n=ROWS/16$,如图 2 所示.

$W_{1,1}$	$W_{1,2}$	$W_{1,3}$	...	$W_{1,n}$
$W_{2,1}$	$W_{2,2}$	$W_{2,3}$	...	$W_{2,n}$
...	...	...	...	...
$W_{m,1}$	$W_{m,2}$	$W_{m,3}$	...	$W_{m,n}$

图 2 $W_{i,j}$ 位置示意图

当 $data = W_{2,2}$ 时, $img_buff = \{W_{2,1}, W_{1,2}, W_{1,3}, \dots, W_{1,n}\}$, last_bit[1] 存储 $W_{1,1}$ 的最后一位, last_bit[2] 存储 $W_{2,1}$ 的最后一位.

2.2.2 整体实现流程

整个算法实现分为三步:

Step1: 只读: 每个时钟周期读取一个字,存放在 img_buff 中,当第一行读完后执行第二步.

Step2: 读的同时分类累加: 每个时钟周期读取一个字存入 data,与 last_bit 和 img_buff 对应字结合,再拆分成 16 个 4 像素单元并作为 4 像素处理单元的输入,合并拆分过程如图所示;同时将本次读数覆盖至 img_buff 对应位置,更新 last_bit;同时读取上次的 16 个 4 像素处理单元的输出,累加三个类别的数量. 当读完整幅图后进入第三步.

Step3: 根据三个类别的数量和公式(1)计算欧拉数,完成一幅图片的欧拉数计算.

2.2.3 对 step2 的详细说明

(1) 16 个 4 像素单元的获取如图 3 所示:

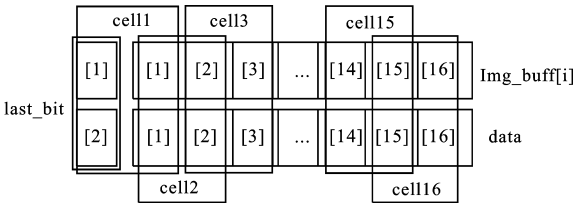


图 3 16 个 4 像素单元的获取

式中, j 表示该行第 j 个字,此时 data 就等于 $W_{i,j}$, i 为该行行号;ceil 表示一个 4 像素单元.

(2) 数值更新过程用伪代码表示为:

```
last_bit[1] ← img_buff[j][16]
last_bit[2] ← data[16]
img_buff[j] ← data
```

(3) 四像素单元分类处理过程为: 输入为四个像素,经过逻辑组合电路判断出其所属类别并在一个时钟周期后输出.

(4)流水线的的设计:

从读取一个字的数据到累加类别共需要三个时钟周期,为了提高速度,利用 FPGA 的并行处理能力,采用三级流水线进行处理,如图 4 所示,从读取第三个字开始,三个工作同时进行,可以实现一个字 16 个单元的单时钟周期处理.所以可以将速度提至几乎等于从 RAM 中读取一幅图的时间.

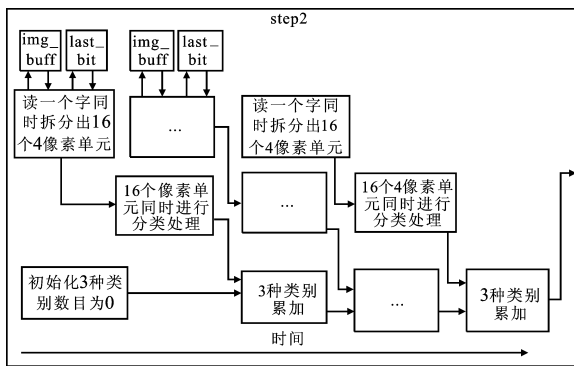


图 4 Step2 中的流水线设计示意图

3 测试结果

3.1 仿真结果

选用目标像素密度为 20% 的随机二值图像,在 modelsim 中进行仿真,clac_en 信号上升沿时刻 FPGA 开始处理图像,如图 5 所示,处理完成后 clac_done 变为高电平,如图 6 所示,整体仿真图如图 7 所示,完成时间为 81.9375 μ s. 变量名解释:clk 为时钟,rst_n 为复位信号,clac_en 为处理使能,clad_done 为处理完成信号,result 为最后得到的欧拉数,data_in 为从 SRAM 读到的数,write_add 为 SRAM 读数的地址,pixel 为 16 个四像素单元,family 为 16 个四像素单元所属类别,state 为当前状态,line_now 为当前行数(从 0 开始),row_now 为当前列数(从 0 开始),p1_num,p2_num 和 p3_num 分别表示三种类别的数量,即 N_1 , N_2 和 N_3 .

3.2 实测结果

最后搭建硬件平台做实际测试,PC 先通过 USB 将二值图片发送给 FPGA,FPGA 将图片压缩存储在 SRAM 中,然后 PC 发送开始信号,FPGA 开始处理图像,并开始计时,处理完成后将计算的欧拉数和所用时间发送给 PC.

测试选用的图片为 41 张 512 $\times$ 512 像素的二值噪声图像,其中目标像素所占比例从 0 到 100%,步长为 2.5%. 存储图片所使用的 RAM 为 16 位宽的 SRAM,FPGA 选用 Altera 公司的 Cyclone IV E 系

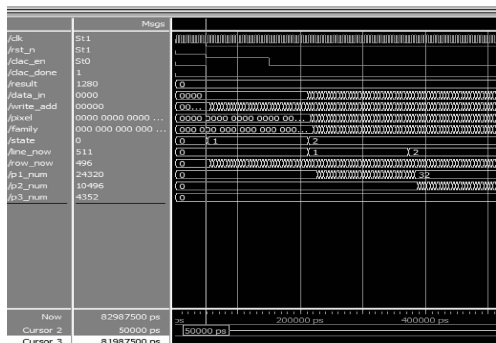


图 5 开始使能后的波形

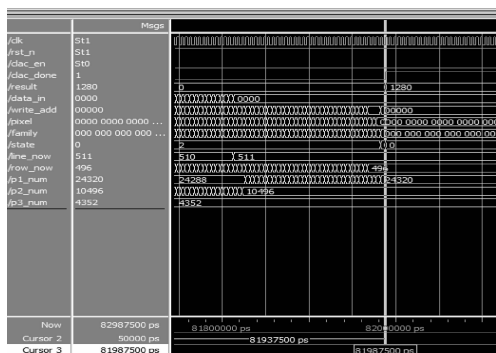


图 6 处理完成时的波形

列的 EP4CE115F29C7 型 FPGA,以主频 200 MHz 处理图片,与目前较为先进的文献[15]提出的算法在 PC(Inter Core i5-3470 CPU,3.20 GHz,4 GB 内存,Ubuntu Linux OS)上运行作对比的结果如图 8.

目标像素约接近 50%,三种类别的个数也越多,在上执行的算法所进行的运算越多,因而消耗时间越多.但是在 FPGA 中,由于采用合理的流水线结构,处理一幅图像的时间几乎等于从内存中读取一幅图像的时间,在 200 MHz 的时钟下,处理一幅 512 $\times$ 512 像素的图片所用时间仅有 82 μ s,比 PC 上先进的算法的平均速度快了 20 多倍,且成本功耗均远低于 PC.可见本文提出的处理方式非常实用与复杂的图像的处理,可以作为专用的图像处理设备.

4 结束语

本文在四方块类型的欧拉数算法的基础上,结合图论中八邻接欧拉数算法,设计了一种计算图像欧拉数的 FPGA 加速器.充分利用 FPGA 的并行处理能力,采用三级流水线的设计进行处理,处理一幅图像的时间与目标像素无关与图片大小有关,速度比 PC 上先进的算法的平均速度快了 20 多倍,且成本功耗均远低于 PC.极大提高了欧拉数计算的速度.

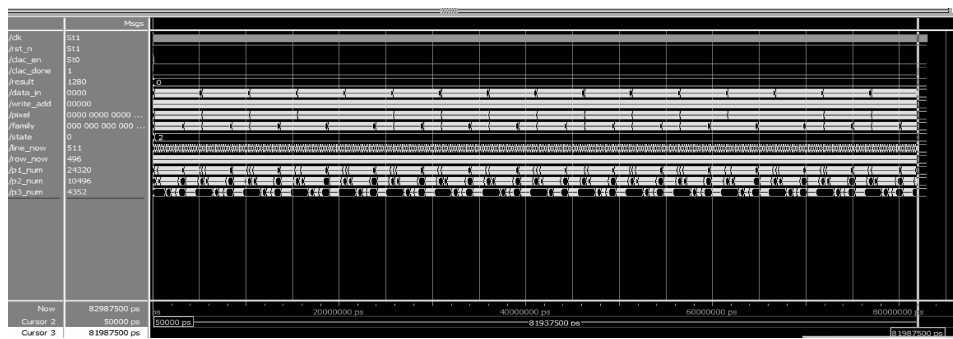


图 7 处理整个过程的仿真图

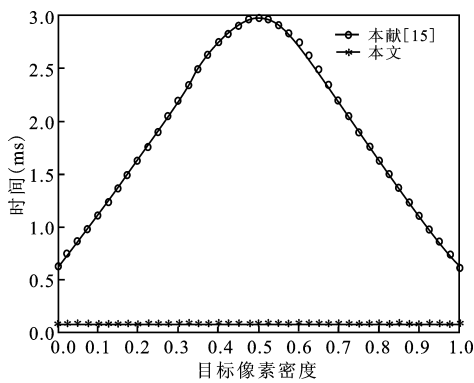


图 8 图片处理速度与目标像素密度的关系

参考文献:

[1] JUANLDS,AZUELAJHS. On the computation of the Euler number of a binary object[J]. Pattern Recognition,1996,29(3):471-476.

[2] GONZALEZ R C , WOODS R E . Digital Image Processing (3rd Edition)[M]. Prentice-Hall, Inc. 2007.

[3] 姚斌,何立风,康世英,等. 基于图论的二值图像八邻接欧拉数算法[J]. 海军工程大学学报,2016,28(5): 36-39.

[4] HASHIZUME A, SUZUKI R, YOKOUCHI H, et al. An Algorithm of Automated RBC Classification and Its Evaluation[J]. Medical Electronics and Bio Engineering, 1990,28(1): 25-32.

[5] 雷国伟,郭东辉. 基于 CNN 二值图像处理的欧拉数计算[J] 哈尔滨工程大学学报,2006 ,27(z1):202-204.

[6] SRIHARI S N. Document image understanding[C]// Proc. ACM. Dallas TX : IEEE Joint Fall Computer Conference, 1986:87-95.

[7] ROSIN P L, ELLIS T. Image difference threshold strategies and shadow detection[C]// Machine Vision Conference, British: BMVA Press Surrey, 1995: 347-356.

[8] DEY S, BHATTACHARYA B B, KUNDU M K,et

al. A fast algorithm for computing the Euler number of an image and its VLSI implementation[C]//Proc. the 13th Int. Conf. India;VLSI Design, 2000;330-335.

[9] GRAY S B. Local properties of binary images in two dimensions [J]. IEEE Transa. Computer, 1971,5(C-20):551-561.

[10] BISHNU A,BHATTACHARYA B B,KUNDU M K, et al. Euler vector for search and retrieval of gray-tone images[J]. IEEE Transactions on Systems Man & Cybernetics Part B Cybernetics A Publication of the IEEE Systems Man & Cybernetics Society, 2005, 35(4): 801-12.

[11] HE L F , CHAO Y Y , SUZUKI K. An Algorithm for Connected Component Labeling, Hole Labeling and Euler Number Computing[J]. Journal of Computer Science and Technology (English Language Edition), 2013, 28(3):468-478.

[12]]HE L, CHAO Y, SUZUKI K,et al. An efficient first-scan method for label-equivalence-based labeling algorithms [J]. Pattern Recogn. Lett. 2010, 31 (1): 28-35.

[13] BISHUNA, BHATTACHARYBB, KUNDUMK, et al. Apipeline architecture for computing the Euler number of a binary image[J]. Journal of Systems Architecture,2005,51(8):470-487.

[14] 杨帆,张皓,马新文,等. 基于 FPGA 的图像处理系统 [J]. 华中科技大学学报,2015,43(2):119-123.

[15] 姚斌,何立风,康世英,等. 一种快速二值图像欧拉数算法[J]. 微电子与计算机,2017,34(7):46-50.

作者简介:

史永胜 男,(1964-),博士,教授,博士生导师. 研究方向为新型电源和先进微纳器件.

马毅超(通讯作者) 男,(1984-),博士,讲师. 研究方向为高速数字电路设计与 ASIC 设计.

E-mail:mayichao@sust. edu. cn.