

引用格式:杜高明,胡国庆,林青,等.一种基于预判机制的极化码译码算法及 VLSI 架构[J].微电子学与计算机,2019,36(12):11-15.[DU G M, HU G Q, LIN Q, et al. A polar code decoding algorithm based on pre-judgment mechanism and its VLSI architecture[J]. Microelectronics & Computer, 2019, 36(12): 11-15.]

一种基于预判机制的极化码译码算法及 VLSI 架构

杜高明,胡国庆,林青,张多利,宋宇鲲,欧阳一鸣
(合肥工业大学 电子科学与应用物理学院,安徽 合肥 230601)

摘 要: 本文提出一种基于对数似然比的预判机制,根据每层对数似然比符号直接判决分裂成“1”或者“0”和固定比特层直接分裂成已知比特,旨在减少路径分裂以及通过直接继承上一层路径度量值的方式,移除冗余的路径度量值计算.基于该机制,我们设计码长 $N=1024$,码率 $R=0.5$,列表宽度 $L=2$ 的 VLSI 硬件架构.实验结果表明,其工作频率在 384 MHz 下,能达到约 160 Mbps 的吞吐率,延迟降低约 51%.

关键词: 极化码;串行抵消列表;预判机制;减少路径分裂;冗余计算

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2019)12-0011-05

A polar code decoding algorithm based on pre-judgment mechanism and its VLSI architecture

DU Gao-ming, HU Guo-qing, LIN Qing, ZHANG Duo-li,
SONG Yu-kun, Ouyang Yi-ming

(School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230601, China)

Abstract: This paper proposes a pre-judgment mechanism based on log-likelihood ratio, reducing redundant split for SCL (RRS-SCL). According to the log-likelihood ratio symbol decision of each layer, it is split into "1" or "0" and the fixed bit layer are directly split into known bits, which aims to reduce path splitting and remove redundant path metric calculations by directly inheriting the path metrics from the previous layer. Based on the scheme, we design RRS-SCL VLSI architecture with code length $N=1024$, the code rate $R=0.5$, and the list width $L=2$. The experimental results show that the throughput can be achieved at 160Mbps under 384MHz and delay is reduced by approximately 51%.

Key words: polar codes; SCL; pre-judgment mechanism; RRS-SCL; redundant calculation

1 引 言

极化码是编码领域的重大突破,可以实现二进制输入对称无记忆信道^[1]和任意离散无记忆信道的信道容量^[2].

受到 IFE 启发,基于码树结构中同一父节点的两个子节点的对数似然比相等,本文提出了一种基于预判机制的译码器(Reduced Redundant Split-

SCL, RRS-SCL)以及简化 PM 值计算的译码方案^[3-15].

2 SCL 译码算法

2.1 码树结构

极化码的译码过程可以用一棵满二叉树形象地表示,并且可以将译码过程看作是在该二叉树上进行路径扩展与筛选的过程.分裂路径的 PM 值越小,

则说明该路径越可靠. 译码起始于根节点, 具体描述为以下步骤:

Step1: 定义列表搜索宽度为 L ;

Step2: 进行第 $i(1 \leq i \leq N-1)$ 层路径搜索扩展, 若第 i 层的候选路径数目不大于 L , 则保留全部路径; 否则, 从第 i 层的 $2L$ 条候选路径中筛选出 L 条最可靠的路径保留下来, 参与第 $i+1$ 层的路径搜索扩展, 删除其余路径;

Step3: 路径搜索扩展到第 N 层时, 从 $2L$ 条候选路径中筛选出最可靠的 1 条路径, 作为最终的译码路径.

现给出码长 $N=4$, 列表宽度 $L=2$ 的译码码树结构示例, 如图 1 所示.

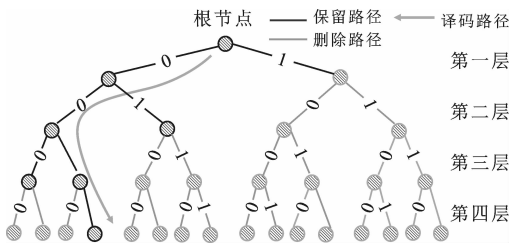


图 1 $N=4$, 译码码树结构

Step1: 进行第一层路径搜索扩展, 根节点分裂为 2 条候选路径, 不大于列表宽度, 全部保留, 完成第一层的路径扩展;

Step2: 进行第二层路径搜索扩展, 将第一层保留的 2 条路径分裂为 4 条候选路径, 然后从中筛选出 2 条最可靠的路径保留下来, 参与第三层的路径搜索扩展;

Step3: 进行第三层路径搜索扩展, 将第二层筛选保留下来的 2 条路径分裂为 4 条路径, 然后从中筛选出 2 条最可靠的路径保留下来, 参与第四层的路径搜索扩展;

Step4: 进行第四层路径搜索扩展, 将第三层保留下来的 2 条路径分裂为 4 条路径, 然后从中选择出最可靠的 1 条路径, 作为最终的译码路径.

2.2 SCL 译码算法

为了解决 SC 译码算法错误传递, 提出一种增加列表搜索宽度的译码算法即 SCL 译码算法. SC 译码在进行路径扩展时, 其列表搜索宽度 $L=1$. 本质上都是从两条扩展路径中选择转移概率较大的路径进行下一层的扩展. 与 SC 译码不同的是, SCL 在每一层扩展后, 并不是直接从两条较好的路径中选择一条路径进行下一层的扩展, 而是尽可能多地保留候选路径, 这取决于列表宽度 L , 然后参与下一层

的路径分裂, 从而很好地保证了译码器的误码率性能.

2.3 路径度量值

为了衡量路径的“好坏”, 引出 PM 值, 对任意一条路径, 其 PM 值可通过表 1 求得.

表 1 一般路径度量值计算

一般路径度量值 PM	
for $i = ; N$	
$PM_i^{(0)} = 0$	
if $i \in A^c$ & u_i incorrect value	then $PM_i^{(i)} = +\infty$
otherwise	
if $\hat{u}_i[l] = \delta(L_N^{(i)}[l])$	then $PM_i^{(i)} = PM_i^{(i-1)}$
otherwise	$PM_i^{(i)} = PM_i^{(i-1)} + L_N^{(i)}[l] $
end if	
end if	
end for	

式中, $\delta = \frac{1}{2}(1 - \text{sign}(L_N^{(i)}[l]))$, A^c 为固定比特层, $L_N^{(i)}[l]$ 为对数似然比. 将计算出的 $2L$ 条候选路径按照 PM 值从小到大排序, 保留 PM 值较小的 L 条路径参与下一层的路径扩展, 并删除其余的分裂路径. 分裂到最后一层时, 选取 PM 值最小的 1 条路径作为唯一路径, 得到最终的译码结果.

3 RRS-SCL 译码算法

3.1 路径冗余分裂

从 $2L$ 条候选路径中筛选出 L 条保留路径的依据是这 L 条保留路径的 PM 值较小. 表 1 给出了一般 PM 值的计算方法, 但需要注意以下几点:

Step1: 计算出该层的对数似然比 $L_N^{(i)}[L]$, l 表示当前路径扩展到第几层. 对于码树结构来说, 继承同一父节点的两个子节点的对数似然比相等;

Step2: 根据 δ 因子分别计算出分裂为比特 0 的路径度量值 PM_0 和分裂为比特 1 的路径度量值 PM_1 ;

Step3: 从该层的 $2L$ 条候选路径筛选出 L 条 PM 值较小的保留路径参与到码树结构中的下一层路径搜索扩展.

重点在于 δ 因子与码树结构中固定比特层 PM 值的求解.

分析 δ 因子可以发现:

- 1) 若对数似然比 $L_N^{(i)}[l] \geq 0$, 则 $\delta = 0$; 否则, $\delta = 1$;
- 2) 若分裂路径估计值 $\hat{u}_i[l] = \delta$, 则 $PM_i^{(i)} =$

$PM_{l_i}^{(i-1)}$; 否则, $PM_{l_i}^{(i)} = PM_{l_i}^{(i-1)} + |L_N^{(i)}[l]|$. 所以, 根据似然比的符号可以直接判断 PM_{l_0} 和 PM_{l_1} 的大小关系, 减少路径分裂, 直接降低筛选的复杂度(排序).

分析固定比特层 PM 值的求解过程发现:

若 $\hat{u}_i$ 估计错误, 则 $PM = +\infty$, 该路径会被删除, 则固定比特层可以直接分裂成已知比特.

综上所述, 一种全新的路径分裂规则如下:

- 1) 若码树结构中的候选路径不大于列表搜索宽度 L , 则保留全部候选路径;
- 2) 当候选路径达到列表搜索宽度时, 可以根据似然比符号直接判决分裂成“0”或者分裂成“1”;
- 3) 对于码树结构中的固定比特层可以直接分裂成事先约定的路径.

该方法可取之处在于, 避免了 SC 译码算法的局部最优情况, 尽可能地保留候选路径, 从而在一定程度上也可以达到抑制 SC 算法错误传递的问题.

该方案中: 同一父节点分裂的左右两个子树, 肯定有一个子树会被删除, 而正常的路径分裂有可能存在同一父节点分裂的两条路径, 其 PM 值在候选路径中都较小, 从而两个子树都被保留, 即可能存在误删除路径的情况, 但是最可靠的路径依旧会被保留下来, 并不影响最终从码树结构中的第 N 层筛选出最可靠的 1 条路径作为最终的译结果.

3.2 路径度量值计算简化

将一般 PM 值的计算方法简化成表 2 所示.

表 2 路径度量值计算简化

路径度量值 PM 简化	
for $i = 1 : N$	
$PM_{l_i}^{(0)} = 0$	
if $i \in A^c$	
then $PM_{l_i}^{(i)} = PM_{l_i}^{(i-1)}$	
other wise	
if $\hat{u}_i[l] = \delta(L_N^{(i)}[l])$	
then $PM_{l_i}^{(i)} = PM_{l_i}^{(i-1)}$	
other wise	
$PM_{l_i}^{(i)} = PM_{l_i}^{(i-1)} + L_N^{(i)}[l] $	
end if	
end if	
end for	

根据表 1 计算出的分裂路径 PM 值大小关系并不一定能够推导出表 2 其对应路径的 PM 值大小关系, 即对码树的第 N 层进行筛选时, 可能会得到不同的译码结果. 但是, 可以对码树第 N 层的 L 条保留路径添加校验机制, 若校验通过, 则判定译码正确. 由于优化了固定比特层的 PM 值计算, 所以带来

的一个直接好处就是降低了整个 SCL 译码器的计算量.

表 3 一般路径度量值计算结果

	llrL	llrR	3	4	5	6
[1]	+	+	PM^*	$+\infty$	PM^{**}	$+\infty$
[2]	-	+	$PM^* + llrL $	$+\infty$	PM^{**}	$+\infty$
[3]	+	-	PM^*	$+\infty$	$PM^{**} + llrR $	$+\infty$
[4]	-	-	$PM^* + llrL $	$+\infty$	$PM^{**} + llrR $	$+\infty$

+, - 表示对数似然比符号

表 4 简化路径度量值计算结果

	llrL	llrR	3	5
[1]	+	+	PM^*	PM^{**}
[2]	-	+	PM^*	PM^{**}
[3]	+	-	PM^*	PM^{**}
[4]	-	-	PM^*	PM^{**}

4 RRS-SCL 译码算法 VLSI 实现

本文提出的 RRS-SCL 硬件电路架构如图 2 所示. 该硬件电路主要分为七个模块: 控制模块、似然比计算模块、路径度量值计算模块、排序模块、输入模块、符号判决模块、存储模块, 其中存储模块又分为似然比存储, 保留路径存储和 PM 值存储.

Input 输入模块, 主要是将 Matlab 采集到的一定信噪比的带噪信号输入到似然比计算节点 LLR_Node. Memory_LLR 存储器用来存储码树中当前层所有进行路径扩展的节点对数似然比, 而 Memory_PM 存储器用来存储 PM 值. 根据新的路径分裂规则, 每层分裂完成以后的 L 条保留路径应及时更新并保存在存储器 Memory-SP 中. 当路径扩展到最后一层, Sorter 模块将存储器 Memory_PM 中的 PM 值进行排序筛选, 从 L 条候选路径中筛选出最可靠的 1 条路径作为最终的译码路径. Controller 模块负责控制 PM 值的计算以及路径分裂, 其中 Node Schedule 存储着信道极化的位置分布信息, 根据位置分布信息做出分裂判断. 如图 2 所示, 线 A 表示信息比特层, 线 B 表示固定比特层. 若路径搜索扩展到固定比特层, 则直接分裂为已知比特, 且 PM 值直接继承上一层, 否则 Symbol Decision 模块接收 Memory-LLR 传递的对数似然比, 根据似然比符号判决路径如何分裂. 在本设计中, 列表搜索宽度设定为 $L=2$.

4.1 LLR_Node 计算节点

LLR_Node 计算节点指图 2 中的 PE1 节点.

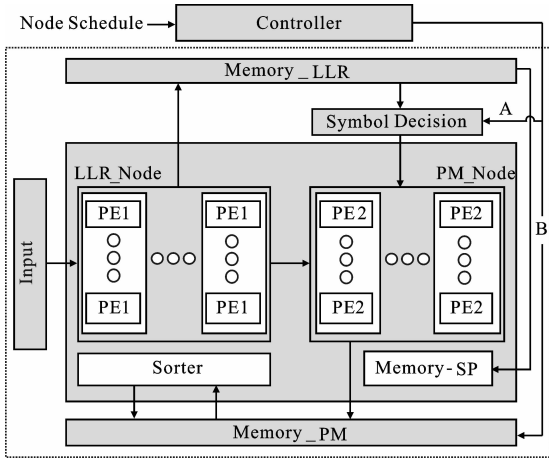


图2 RRS-SCL 硬件架构

PE1 节点有两个计算单元组成,分别为 f 单元和 g 单元。

$$f(a,b) = \ln\left(\frac{1+e^{a+b}}{e^a + e^b}\right) \quad (1)$$

$$g(a,b,u_s) = (-1)^{u_s} a + b \quad (2)$$

式中, $a, b \in \mathbb{R}, u_s \in \{0,1\}$ 。

f 单元涉及到对数函数与指数函数的求解。在设计 RRS-SCL 译码器电路时,对数函数与指数函数的求解借助 Cordic 算法进行设计。借助双曲正弦函数 $\sinh = \frac{e^x - e^{-x}}{2}$, $\cosh = \frac{e^x + e^{-x}}{2}$ 化简指数函数 $e^x = \cosh x + \sinh x$ 。选用双曲线旋转坐标系下的旋转模式计算指数函数,如图 3 所示。 k^* 表示补偿因子,设定 $x = k^*$, $y = 0$, $z =$ 指数,迭代完成一定次数后将 $k^*(x \cdot \cosh z - y \cdot \sinh z) + k^*(y \cdot \cosh z + x \cdot \sinh z)$ 输出,便求解出指数函数。

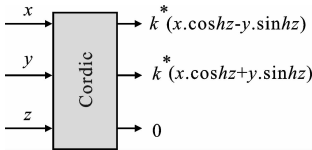


图3 指数函数

对数函数的求解,采用的是双曲线旋转坐标系下的向量模式。如图 4 所示,借助反双曲正切函数,将对数函数化简成 $\ln x = 2 \tanh^{-1} \left| \frac{w-1}{w+1} \right|$ 。设定 $x =$ 对数+1, $y =$ 对数-1, $z = 0$,迭代一定次数将 z 左移 1 位输出,便可求解对数函数。

4.2 PM_Node 计算节点

PM_Node 计算节点指图 2 中的 PE2 节点,PE2 节点负责 PM 值的计算。在极化码的 SCL 译码算法中,需要将对数似然比转换成路径可靠性度量值进

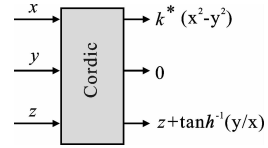


图4 对数函数

行解码,求解如下式所示。

$$PM_i^j = \begin{cases} PM_i^{j-1}, & u_i \text{ 信息比特且 } \hat{u}_i[L] = \delta(L_N^j[L]) \\ PM_i^{j-1}, & u_i \text{ 固定比特} \\ PM_i^{j-1} + |L_N^j[L]|, & u_i \text{ 信息比特且 } \hat{u}_i[L] \neq \delta(L_N^j[L]) \end{cases} \quad (3)$$

极化码比特分为固定比特和信息比特,固定比特是已知的。在进行路径搜索扩展或者 PM 值的计算之前,首先根据 Node Schedule 的输入信息,控制电路 Controller 做出判断,路径是否分裂或者 PM 值是否需要计算。若路径分裂到码树固定比特层,则无需一分为二,直接分裂成已知比特且 PM 值可以直接继承上一层路径的 PM 值。反之,按照式(3)计算相应层的 PM 值。

5 实验结果及性能分析

为了衡量本文所提 RRS-SCL 译码器性能,从误码率测试以及硬件电路综合两个方面进行分析。

误码率直接关系到最终的译码结果正确性。本次误码率测试仿真实验,在加性高斯白噪声信道下,选取码长 $N=1024$,码率 $R=0.5$,采用二进制相移键控调制,测试在不同信噪比下,当列表宽度分别为 $L=8, L=16, L=32, L=64$ 的误码率。如图 5 所示,可以发现,信噪比越大,其误码率越低,并且随着列表宽度 L 的增大,其误码率曲线接近重合,即当列表宽大达到一定值时,其误码率近似相等。

译码器的延迟以及吞吐率也是衡量译码器性能的重要指标,直接影响到数据流的处理能力。在本次硬件电路设计中,选取列表宽度 $L=2$,码长 $N=1024$,码率 $R=0.5$ 。DC 综合结果如表 5 所示,译码器大约需要经过 146 个周期完成全部译码,其译码延迟可以根据下式(4)计算:

$$\text{Latency} = \frac{1}{F} \times T \quad (4)$$

式中, T 表示完成一次译码所经历周期数, F 表示电路工作频率,故译码延迟约为 $0.38 \mu\text{s}$ 。现将各延迟直观地表示成图 6 所示,其中文献[10]延迟最低为 $0.79 \mu\text{s}$ 。相比于文献[10],本文提出的减少译码路

径分裂的 RRS-SCL 译码器,延迟大约降低了 51%。

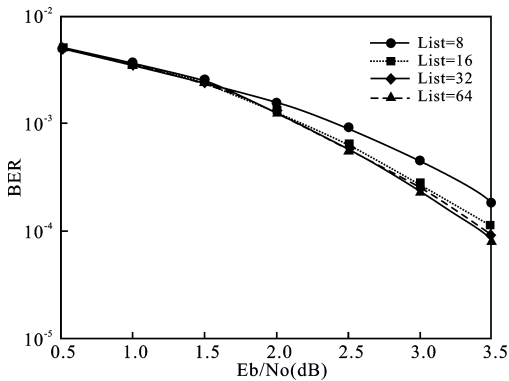


图 5 (1024,512)极化码在不同信噪比下误码率吞吐率可以根据下式计算:

Throughout = $\frac{N \cdot R}{\text{Latency}}$ (5)

表 5 DC 综合结果, $N=2^{10}$, $R=0.5$

	RRS-SCL	文献 9	文献 10	文献 11
工艺	NangateOpenCellLibrary-45nm/csm18IC(180nm)	TSMC-90	65nm	
频率(MHz)	384	847	423	500
周期	146	2 592	337	1 022
延迟(μs)	0.38	3.06	0.79	2.04
吞吐率(Mbps)	160	168	666	250
等效门数	80 785(csm18ic)	—	—	—
功耗	4.8mw(csm18ic)	—	—	—

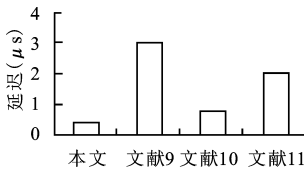


图 6 延迟对比

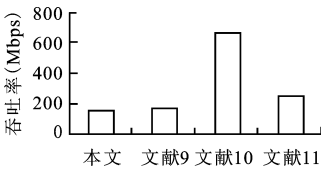


图 7 吞吐率对比

6 结束语

本文提出了基于信道极化的 RRS-SCL 译码器,充分利用了信道极化之后的固定比特和信息比特的位置信息.通过对码树结构中的路径分裂及 PM 值计算去冗余化,在保证误码率在可接受范围之内的前提下,加快译码速度.

式中, N 表示码长, R 表示码率,码长 $N=1\,024$,码率 $R=0.5$ 来说,一次译码能够处理 64 Byte 的数据量, Latency 表示完成一次译码需要经历的延迟,故吞吐率大约为 160 Mbps. 现将各吞吐率直观地表示成图 7 所示. 本文所提减少译码路径分裂的 RRS-SCL 译码器,其吞吐率与文献[9]基本持平,比文献[10]和文献[11]分别低了约 76%和 36%.

基于 csm18IC(180 nm)工艺库,综合后的总面积约为1074 443 μm^2 ,标准二输入与非门 nand2 面积约为 13.3 μm^2 ,总等效门数约为 107 443/13.3 $\approx$ 80 785. 随机输入码长 $N=1\,024$,码率 $R=0.5$ 的序列,到解码完成功耗约 4.8 mW.

参考文献:

[1] ARIKAN E. Channel Polarization: A Method for Constructing Capacity-Achieving Codes for Symmetric Binary-Input Memoryless Channels[J]. IEEE Transactions on Information Theory, 2009, 55 (7): 3051-3073.

[2] SASOGLU E, TELATAR I E, ARIKAN E. Polarization for arbitrary discrete memoryless channels[C]// 2009 IEEE Information Theory Workshop. Taormina, Italy: IEEE, 2009:144-148.

[3] ARIKAN E. Channel polarization: A method for constructing capacity-achieving codes[C]//2008 IEEE International Symposium on Information Theory. Toronto, ON, Canada: IEEE, 2008:1173-1177.

[4] MORI R, TANAKA T. Performance and construction of polar codes on symmetric binary-input memoryless channels[C]// 2009 IEEE International Conference on Symposium on Information Theory. Seoul, South Korea: IEEE, 2009:1496-1500.

- [7] LI L, WU Z, YANG K, et al. A Novel Miniature Single-Layer Eighth-Mode SIW Filter With Improved Out-of-Band Rejection[J]. in IEEE Microwave and Wireless Components Letters, 2018, 28(5):407-409.
- [8] GAO B, WU L S, MAO J F. Lossy substrate integrated waveguide filter with flat passband[C]// Wireless Symposium, Shanghai: IEEE, 2016:1-4.
- [9] 何朝升. 基片集成波导小型化无源器件研究[D]. 成都: 电子科技大学, 2017.
- [10] WANG X, ZHU X, YU C, et al. Design of the quarter-mode substrate integrated waveguide in-phase and out-of-phase filtering power divider[C]// 2018 IEEE MTT-S International Wireless Symposium (IWS). Chengdu: IEEE, 2018:6-10.
- [11] 程孝奇, 李国辉, 鉴浩, 等. 多传输零点基片集成波导双通带滤波器[J]. 上海大学学报(自然科学版),

2014, 20(3):330-336.

- [12] LI M, CHEN C, ZHANG X, et al. A novel dual-band bandpass filter using nested quarter-mode substrate integrated waveguides[C]// 2017 Progress In Electromagnetics Research Symposium - Spring (PIERS). St. Petersburg: IEEE, 2017:2277-2281.

作者简介:

梁青女, (1966-), 硕士, 教授. 研究方向为无人机自组网技术.

王超(通信作者) 男, (1995-), 硕士研究生. 研究方向为射频电路设计与天线理论. E-mail: chao_7584285@163.com

张国鹏 男, (1994-), 硕士研究生. 研究方向为射频与微波器件.

熊伟 男, (1965-), 博士, 教授. 研究方向为无线传感器网络.

(上接第 15 页)

- [5] LIU X, SHA J, ZHANG C, et al. A stage-reduced low-latency successive cancellation decoder for polar codes[C]// 2015 IEEE International Conference on Digital Signal Processing. Singapore, Singapore: IEEE, 2015:258-262.
- [6] PIAO Z, KIM Y J, CHUNG J G. Efficient successive cancellation decoder for polar codes based on frozen bits[C]// 2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). Jeju, South Korea: IEEE, 2016:585-587.
- [7] TAL I, VARDY A. List decoding of polar codes[C]// 2011 IEEE International Symposium on Information Theory Proceedings. St. Petersburg, Russia: IEEE, 2011:1-5.
- [8] LI B, SHEN H, TSE D. An Adaptive Successive Cancellation List Decoder for Polar Codes with Cyclic Redundancy Check[J]. IEEE Communications Letters, 2012, 16(12):2044-2047.
- [9] BALATSOUKAS S A, BASTANI P M, BURG A. LLR-Based Successive Cancellation List Decoding of Polar Codes[J]. IEEE Transactions on Signal Processing, 2015, 63(19):5165-5179.
- [10] LIN J, XIONG C, YAN Z. A High Throughput List Decoder Architecture for Polar Codes[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(6):2378-2391.
- [11] YUAN B, PARHI K K. Low-Latency Successive-Cancellation List Decoders for Polar Codes with Multi-bit Decision[J]. IEEE Transactions on Very Large

Scale Integration (VLSI) Systems, 2015, 23(10):2268-2280.

- [12] SHI S, HAN B, GAO J L, et al. Enhanced Successive Cancellation List Decoding of Polar Codes[J]. IEEE Communications Letters, 2017, 21(6):1233-1236.
- [13] SARKIS G, GIARD P, VARDY A, et al. Fast List Decoders for Polar Codes[J]. IEEE Journal on Selected Areas in Communications, 2016, 34(2):318-328.
- [14] BIOGLIO V, GABRY F, GODARD L, et al. Two-Step Metric Sorting for Parallel Successive Cancellation List Decoding of Polar Codes[J]. IEEE Communications Letters, 2017, 21(3):456-459.
- [15] KONG B Y, YOO H, PARK I C. Efficient Sorting Architecture for Successive-Cancellation-List Decoding of Polar Codes[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(7):673-677.

作者简介:

杜高明 男, (1977-), 博士, 副教授, 硕士生导师. 研究方向为多核体系结构, 片上网络体系结构, 多核 NoC 性能分析.

胡国庆(通讯作者) 男, (1994-), 硕士研究生. 研究方向为数字集成电路设计. E-mail: huguoqing@mail.hful.edu.cn

林青 男, (1991-), 硕士. 研究方向为数字集成电路设计.

宋宇鲲 男, (1975-), 博士, 副教授. 研究方向为面向数据密集与计算机密集应用的 SoC/MPSoC 体系结构与实现.

张多利 男, (1976-), 博士, 教授. 研究方向为多核处理器体系结构与设计方法、多媒体专用集成电路设计实现等.

欧阳一鸣 男, (1963-), 博士, 教授. 研究方向为片上网络(NoC)与片上系统(SoC), 嵌入式系统的综合与测试, 数字系统设计自动化.