

引用格式:鄂长江,李少甫,齐艺珂.单粒子多瞬态诱导的组合电路软错误敏感性评估[J].微电子学与计算机,2019,36(11):16-19.[E C J, LI S F, QI Y K. Soft error sensitivity estimation of single event multi-transient induced combination circuits [J]. Microelectronics & Computer, 2019, 36(11): 16-19]

单粒子多瞬态诱导的组合电路软错误敏感性评估

鄂长江,李少甫,齐艺珂

(西南科技大学 信息工程学院,四川 绵阳 621010)

摘 要: 为了评估数字电路的软错误敏感性,研究了一种适于 FPGA 的单粒子多瞬态(SEMT)诱导的组合电路软错误评估方法.考虑脉冲传输过程中受到的电气屏蔽的影响和辐射粒子入射的随机性,控制不同脉宽的 SEMT 脉冲对所有 SEMT 故障位置进行故障注入,统计错误结果.实验结果表明,该方法能对单粒子两个及以上瞬态诱导的组合电路软错误敏感性进行分析,得到各故障位置敏感度信息,供电路设计前端参考改进.

关键词: FPGA;组合电路;单粒子多瞬态;软错误

中图分类号: TN431.2

文献标识码: A

文章编号: 1000-7180(2019)11-0016-04

Soft error sensitivity estimation of single event multi-transient induced combination circuits

E Chang-jiang, LI Shao-fu, QI Yi-ke

(School of information engineering, Southwest University of Science and Technology, Mianyang 621010, China)

Abstract: In order to evaluate the soft error sensitivity of digital circuits, a single event multi-transient (SEMT) induced soft error analysis system for combinational circuits based on FPGA is proposed. Considering the influence of electrical shielding and the randomness of incident radiation particles in the process of pulse transmission, we control the different pulse width of the SEMT pulse to inject all the fault locations of the SEMT, and statistics the error results. The experimental results show that the system can analyze the soft error sensitivity of two or more transient induced combinational circuits. The sensitivity information of each fault location can be obtained, and the front-end of power supply circuit design can be improved.

Key words: FPGA; combinationa circuit; single event multi-transient; soft error

1 引言

软错误已经是造成集成电路在辐射环境中发生故障的最主要模式^[1].国内外已对引起电路单个节点出现软错误的单粒子翻转(single event upset, SEU)和单粒子瞬态(single event transient, SET)进行了研究.随着工艺进步,器件关键电荷、阈值电压和尺寸减小,组合电路上邻近的两个或多个节点可能会同时发生错误,造成单粒子多瞬态效应(sin-

gle event multiple transient, SEMT), SEMT 造成的电路软错误变得不可忽视^[2].而在电路容错设计之前,对电路的软错误敏感性进行评估是非常必要的.

与辐照实验评估软错误敏感性的方法相比,仿真的方法成本低易实现.目前,基于电路级的蒙特卡罗(Monte carlo, MC)方法^[3]准确性高,但速度过慢,只适于小规模电路.基于软件的故障注入方法速度快,满足大规模电路软错误敏感性的分析^[4-5],但

都是在 RTL 级甚至更高层级对单粒子翻转效应的分析,找出敏感模块.文献[6]利用前端网表提取故障位置并计算单粒子多瞬态的电路失效率,取得了较高的计算准确度.但都只考虑了两个瞬态造成的错误情况,而文献[7]表明 3 个及其以上的瞬态错误已不可忽视.

本文利用一种基于 FPGA 模拟 SEMT 评估电路软错误敏感性的方法,对两个及以上瞬态错误造成的电路软错误敏感性进行了评估,在门级层次对电路,能准确的找出敏感节点,适用于电路有选择性的容错设计.

2 SEMT 硬件模拟系统设计

SEMT 硬件模拟系统结构如图 1 所示.整个模拟实现的过程是由控制系统控制不同宽度 SEMT 脉冲注入到电路中来模拟辐射粒子的入射.输入不同测试向量,比较注入脉冲故障的和未注入脉冲故障电路的输出结果,统计发生错误的次数.下面对 SEMT 故障注入和控制 SEMT 脉冲注入待测电路的过程分别介绍.

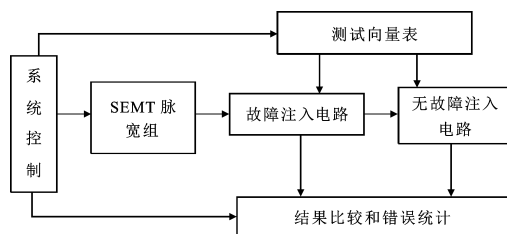


图 1 SEMT 硬件模拟系统结构

2.1 SEMT 故障的注入电路设计

SEMT 主要指的是由 1 个粒子入射,造成电路中 2 个或多个物理相连的逻辑门的输出端产生 2 个或多个瞬态脉冲,其发生的位置是在相邻门的输出端.本文根据文献[6]中 4 种预测两个或更多门物理相连的类型,基于网表提取 SEMT 故障位置,作为故障注入的节点.图 2 是提取 SEMT 故障位置对的 4 种类别示例:

- (1)GFO:逻辑门和其扇出;
- (2)CFO:某一逻辑门的扇出;
- (3)GFI:逻辑门和其扇入;
- (4)CFI:某一逻辑门的扇入.

在文献[8]的 SET 注入模型上进行改进.同样内嵌量化延迟模型,模拟 SEMT 在电路中受到电路传输延迟引起的电气屏蔽等效应的影响.由于 SEMT 故障位置是由两个甚至多个门组成的,去掉

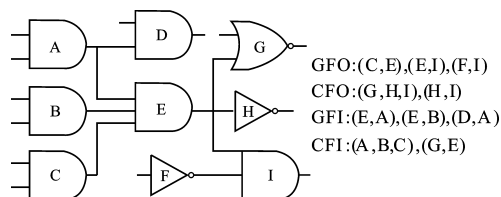


图 2 提取 SEMT 故障位置对示例

用于对单个门依次扫描注入的触发器,就得到了用于 SEMT 注入的单个门的替换模型.如图 3 以二输入 NAND 门为例建立 SEMT 注入的单个门的替换模型.

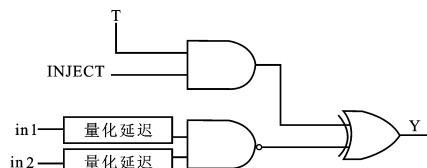


图 3 SEMT 注入替换模型

INJECT 用于注入 SEMT 脉冲,通过控制端 T 控制对单个门的故障注入.而 SEMT 故障位置是多个相邻门组成的,需要对多个相邻注入错误,对图 2 中的示例电路的每个门进行替换,如图 4 来说明对 SEMT 故障位置注入错误.例如在模拟二瞬态时, A 和 E 是相邻的门,构成一个故障位置,只需要控制 T_A 和 T_E 置 1,其它置 0 就可以实现 SEMT 故障注入.

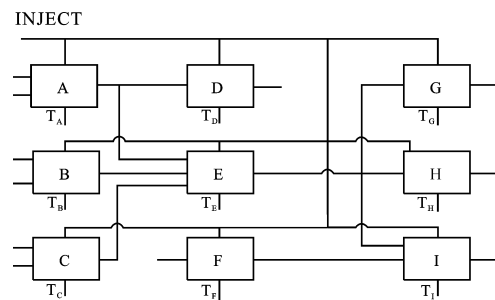


图 4 SEMT 注入替换门电路示例

2.2 故障注入的控制模块设计

故障注入时对延迟时间进行了量化,待测电路工作时钟 同样也被量化成 $M = T$ 份. Δt 是电路中各逻辑门上升和下降延迟之和的最大值和量化延迟的 N bit 计数器的比值[8].

由于粒子入射实际电路发生的时间是随机的,本文中我们认为待测电路时钟被量化的 M 份中有粒子入射的概率相等.针对某一故障位置,输入第一组测试向量,设置第一个待测电路时钟周期开始注入脉冲的时刻在第一等份,设置第二个待测电路时

钟周期开始注入脉冲的时刻在第二等份. 当第 M 份的脉冲注入完毕, 则对电路输入第二组测试向量, 进行第二组测试向量下的脉冲注入. 当完成所有测试向量的测试之后, 改变脉冲宽度, 重复之前的过程. 同样完成所有组脉冲宽度的注入, 就可以开始对下一个故障位置进行脉冲注入. 完成所有网表中的故障位置脉冲的注入, 模拟结束. 图 5 是时钟周期为三等份的脉冲注入示例. 图 6 是控制故障注入的流程.

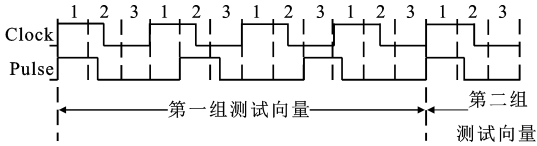


图 5 时钟周期为三等份的脉冲注入示例

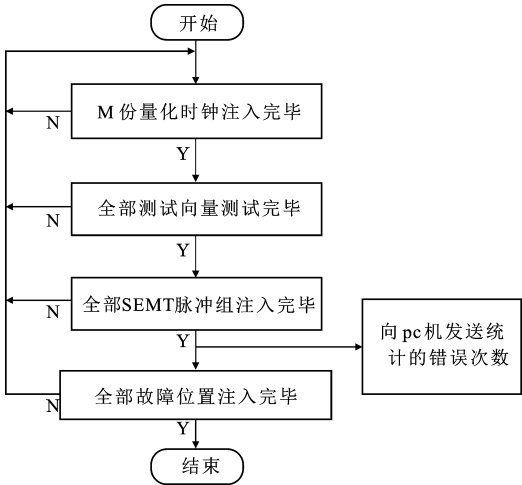


图 6 控制故障注入的流程

对电路网表中所有的门进行编号为 G_i (i 以 0 开始取整数), 并对由这些门组成的故障位置进行编号为 N . 如分析三瞬态软错误敏感性时, 假如 G_0 、 G_1 、 G_2 三个门相邻组成一个故障位置, 编号为 0. 而三个门相邻的情况总共有 N 组, 则对所有故障位置在 0 到 N 之间取整数进行编号, 然后依次把每个故障位置发生的错误次数发送到 PC 机. 这样就能方便的获取各故障位置的软错误敏感性 (Soft Error Sensitivity, SES), 从而找到电路中敏感的位置.

软错误敏感性如(1)式^[9]:

$$SES_i = FP_i \cdot A_i \quad (1)$$

式中, SES_i 表示第 i 个故障位置的软错误敏感性, A_i 表示第 i 个故障位置的面积, FP_i 表示第 i 个故障位置的失效概率为(2)式:

$$FP_i = \frac{N_i^{failure}}{N_i^{fault}} \quad (2)$$

式中, $N_i^{failure}$ 表示第 i 个故障位置的出错次数, N_i^{fault} 表示第 i 个故障位置注入的故障次数. 对某一瞬态下电路的 N 个故障位置的失效概率求平均, 就可以得到某一瞬态下电路的失效概率.

3 实验结果与性能分析

本文采用 FPGA 型号为 Xilinx Spartan6 XC6SLX45. 基于 SMIC 45 nm 工艺, 采用 Synopsys 公司的 DC 软件对电路进行综合. 实验中时钟频率设为 250 MHz, 采用 5 比特计数器. 同文献[6]相同在 SPICE 中, 用双指数电流源模型仿真, 模拟单粒子入射产生的瞬态脉冲, 获得注入脉冲集合. 双指数电流源模型为

$$I(t) = \frac{Q}{\tau_\alpha - \tau_\beta} (\exp(-t/\tau_\alpha) - \exp(-t/\tau_\beta))$$

式中, Q 是粒子沉积的电荷量; τ_α 是电荷收集时间常数; τ_β 为电荷通道建立时间常数. τ_α 、 τ_β 分别取 1.5×10^{-10} s 和 5×10^{-11} s.

3.1 方法比较

文献[6]对两瞬态下电路的失效概率进行了评估, 为了验证所提方法的有效性, 我们以 ISCAS'89 基准电路为对象, 在同等的条件下, 对两瞬态的电路失效概率做分析.

从表 1 中可以看出, 两种方法的结果存在一定差距, 这是由于所用工艺库的不同和 MC 方法是基于电路级的, 精度略高. 但不同电路的失效概率有相同的变化趋势, 说明本文方法是合理的. 而本文方法在速度上则提升了两个数量级.

表 1 两瞬态下本文方法与同类方法的比较

	本文		MC ^[6]	
	失效概率/%	仿真时间/s	失效概率/%	仿真时间/s
S344	48.52	19.56	57.41	4.03E-3
S400	36.96	17.12	42.10	3.02E-3
S444	40.01	31.24	42.15	7.08E-3
S820	16.02	57.31	13.58	1.67E-4
S832	17.29	83.75	14.17	2.49E-4
S838	49.92	119.03	57.71	9.75E-2

为了进一步的验证本文的方法, 选取 74 系列的电路进行多瞬态的电路软错误敏感性评估, 并与 MC 的方法进行对比. 取入射粒子初始电荷量范围为 $[10 \sim 150 \text{fC}]$ ^[10], 这里假设相邻门均分电荷. 则两瞬态的电荷范围为 $[10 \sim 75 \text{fC}]$, 三瞬态电荷范围为 $[10 \sim 50 \text{fC}]$. 针对各范围的电荷, 以 10fC 等距离散取点生成脉冲.

从表 2 可以看出在不同的瞬态下不同电路的失效概率的变化趋势也是基本相同的,说明本文方法是可行的。

表 2 本文方法和 MC 方法对比较

	两瞬态失效 概率/%		三瞬态失效 概率/%		四瞬态失效 概率/%	
	本文	MC	本文	MC	本文	MC
74183	12.1	17.5	13.1	17.2	24.5	23.8
74138	10.2	15.7	17.8	24.4	25.8	29.5
74283	7.53	9.93	12.0	11.3	14.6	13.5

3.2 故障位置软错误敏感性统计

本文方法可以方便的得到各故障位置的软错误敏感性.图 7 是74 183电路的三瞬态各故障位置的软错误敏感性,由于故障位置的面积差距不大,在分析各故障位置软错误敏感性的时候,忽略面积因素.横坐标代表各故障位置的编号,纵坐标是各故障位置的软错误敏感性.从图中可以看出有 7 个点的软错误敏感性明显较高.通过对软错误敏感性高的故障位置进行加固,可以提高整个电路的抗辐射能力,降低加固成本。

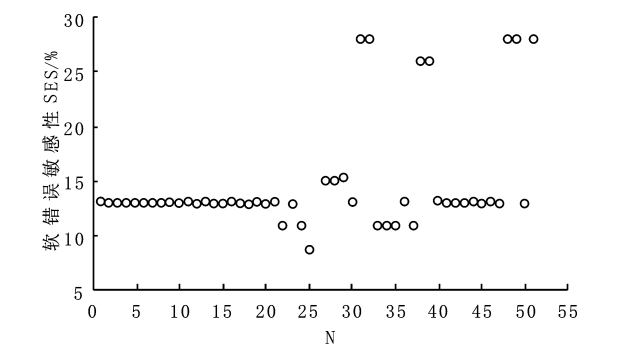


图 7 74 183电路三瞬态各位置对 SES 分布图

4 结束语

本文研究了一种基于 FPGA 模拟 SEMT 评估电路软错误敏感性的方法.相比于以前方法在 RTL 甚至更高层级对单粒子翻转做分析,找到敏感的模块.此方法考虑了单粒子两个及两个以上瞬态造成的软错误,能在门级层次上获得目标电路各故障位置的敏感度信息,可以为电路选择性加固提供帮助.并且由于是基于 FPGA 硬件的,整个模拟分析过程有较快的速度。

参考文献:

[1] MAVIS D G, EATON P H. SEU and SET modeling and mitigation in deep submicron technologies[C]//

Reliability Physics Symposium, 2007. Phoenix, USA, IEEE International. IEEE,2007;293-305.

[2] REVIRIEGO P, MAESTRO J A, CERVANTES C. Reliability analysis of memories suffering multiple bit upsets[J]. IEEE Transactions on Device & Materials Reliability,2007,7(4):592-601.

[3] SHIVAKUMAR P. Modeling the effect of technology trends on the soft error rate of combinational logic [C]// Proceedings of the 2002 International Conference on Dependable Systems and Networks. Washington, D. C. , USA,IEEE, 2002.

[4] ENTRENA L, GARCIA-VALDERAS M, FERNANDEZ-CARDENAL R, et al. Soft error sensitivity evaluation of microprocessors by multilevel emulation-based fault injection [J]. IEEE Transactions on Computers, 2012, 61 (3): 313-322.

[5] 武振平,付方发,肖立伊. 基于 VHDL 故障注入的处理器敏感性分析[J]. 微电子学与计算机, 2012, 29 (10):51-54.

[6] 梁华国,袁德冉,闫爱斌,等. 考虑单粒子多瞬态故障的数字电路失效概率评估[J]. 计算机辅助设计与图形学学报, 2016, 28(3):505-512.

[7] HARADA R, MITSUYAMA Y, HASHIMOTO M, et al. Neutron induced single event multiple transients with voltage scaling and body biasing[J]. IEEE International Reliability Physics Symposium, 2013, 470 (9):3C. 4. 1-3C. 4. 5.

[8] 周婉婷,靳丽娜,叶世旺. 单粒子瞬态效应硬件注入模型实现和仿真[J]. 微电子学与计算机, 2014, 31 (9):84-87.

[9] MAHESHWARI A. Techniques for transient fault sensitivity analysis and reduction in VLSI circuits [C]// IEEE International Symposium on Defect & Fault Tolerance in Vlsi Systems. Boston, Massachusetts,USA,IEEE, 2003.

[10] RAO R R, CHOPRA K, BLAAUW D T, et al. Computing the soft error rate of a combinational logic circuit using parameterized descriptors[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(3):468-479.

作者简介:

鄂长江 男,(1993-),硕士研究生.研究方向为数字集成电路软错误分析和预测.

李少甫(通讯作者) 男,(1966-),博士,教授.研究方向为高速通信系统. E-mail:shaohu. li@qq. com.

齐艺珂 男,(1992-),硕士研究生.研究方向为数字集成电路抗辐射加固研究.