

引用格式:付迅,彭菊红,杨维明.一种基于忆阻器的可重构逻辑电路[J].微电子学与计算机,2019,36(8):14-18. [Fu X, PENG J H, YANG W M. A reconfigurable logical circuit based on memristor[J]. Microelectronics & Computer, 2019, 36(8): 14-18.]

一种基于忆阻器的可重构逻辑电路

付 迅,彭菊红,杨维明

(湖北大学 计算机与信息工程学院, 湖北 武汉 430062)

摘 要:为解决现有忆阻器电路逻辑功能单一与结构简单之间的矛盾,论文设计了一种具有可重构功能的忆阻器逻辑电路.该电路利用忆阻器具有记忆电阻的特性,通过预置和逻辑运算两个操作步骤,可以实现大多数的逻辑操作.为了使该电路具备逻辑功能的完备性,其他未实现的逻辑操作可以采用基于实质蕴涵和非逻辑的逻辑迭代运算来实现;并通过设计异步时序结构克服电路逻辑的误操作,增强电路稳定性.与其他已提出的基于忆阻器逻辑电路相比,此电路用较少的忆阻器与操作步骤去实现更多的逻辑功能.通过使用 P-spice 仿真,验证了逻辑电路的可行性.

关键词:忆阻器;可重构;实质蕴涵;逻辑运算

中图分类号: TN431.2

文献标识码: A

文章编号: 1000—7180(2019)08—0014—05

A reconfigurable logical circuit based on memristor

FU Xun, PENG Ju-hong, YANG Wei-ming

(Faculty of yuand Information Engineering, Hubei University, Wuhan 430062, China)

Abstract: To solve the contradiction between simple logical functions and simple circuit structure, a kind of reconfigurable logical circuit based on memristor was designed in this paper. By using the characteristics of memory and two operation steps of initialization and logical operation, most of logic functions can be implemented. The other logic functions can be realized by the iterated operation based on IMP and FALSE. To overcome the logic misoperation and enhance the stability of the circuit, an asynchronous sequential circuit structure was employed. Compared to other logical circuit based on memristor, less memristors and logical steps are used to implement more logical functions. The Pspice simulation results verified the feasible of the circuit.

Key words: Memristor; Reconfigurable; Asynchronous Sequential; Imply; Initialization; Logic operation

1 引 言

忆阻器与晶体管相比,具有非易失性、高集成性、低功率、良好的 CMOS 器件的兼容性等优点,被认为是一个有希望的取代传统 CMOS 的新型纳米器件^[1-2].基于忆阻器的电路单元可以实现电路并行存储与擦写操作,成为数字逻辑电路设计领域的热点.文献[3]报道了一种通过两个忆阻器与一个操作步骤去实现或逻辑运算的电路,文献[4]通过初始化

几个模拟开关实现与、或、非逻辑运算的 4M1M 结构,文献[5]基于非平衡三元实现与、或、非、与非、或非逻辑功能的忆阻器逻辑电路,文献[6]通过初始化与写入数据两步去实现大多数逻辑运算的 1T1R,一个基于忆阻器的可重配置的电路^[7]等.

本文设计了一种新的可重构的基于忆阻器异步时序逻辑电路,简化了忆阻器逻辑电路结构,采用异步时序结构解决了输出逻辑改变时忆阻器电阻状态的改变引起的电路逻辑功能错误的问题.

收稿日期:2018-11-06;修回日期:2018-12-22

基金项目:国家大创项目(201710512009);湖北省科技厅自然科学基金(2017CFB347)

2 可重构的基于忆阻器异步时序逻辑电路

2.1 忆阻器模型

忆阻器模型可以由以下方程描述其工作原理:

$$\frac{d\omega(t)}{dt} = f(\omega, i) \tag{1}$$

$$v(t) = R(\omega, i) \cdot i(t) \tag{2}$$

$$v(t) = (R_{\text{on}} \frac{\omega(t)}{D} + R_{\text{off}}(1 - \frac{\omega(t)}{D}))i(t) \tag{3}$$

$$\frac{d\omega}{dt} = \mu_v \frac{R_{\text{on}}}{D} i(t) \tag{4}$$

式中, D 为半导体材料薄膜厚度; 掺杂区的宽度为 ω ; 而非掺杂去区的宽度为 $D - \omega$; $i(t)$ 代表忆阻器的电流; $v(t)$ 代表忆阻器的电压值; t 为时间.

当 $\omega(t) = D$ 的时候, 忆阻器的电阻为 R_{on} , 当 $\omega(t) = 0$ 的时候, 忆阻器的电阻为 R_{off} . $\omega(t)$ 的范围为 $[0, D]$, μ_v 为平均离子迁移率. 忆阻器可以被等效为非掺杂区的绝缘电阻与掺杂取的导通电阻串联而成.

本文采用 VourKas 所提出的模型^[8-9], 其中忆阻器模型的参数如表 1 所示.

表 1 忆阻器的模型参数

模型参数	数值
忆阻器变化参数 α	1×10^{13}
忆阻器阈值电压	$\pm 1.6 \text{ V}$
忆阻器高阻态电阻	$20 \text{ K}\Omega$
忆阻器低阻态电阻	$1 \text{ K}\Omega$
忆阻器初始阻态电阻	$10 \text{ K}\Omega$
忆阻器窗函数的光滑曲线参数 β	10^{-4}

忆阻器的初始电阻 R_{int} 为 10 K , 当加在忆阻器的两端电压超过正向阈值电压 $V_{\text{th+}}$ (正向阈值电压是 1.6 V), 忆阻器的电阻状态为置被低阻态 R_{on} , 当加在忆阻器的两端电压超过负向阈值电压 $V_{\text{th-}}$ (负向阈值电压是 -1.6 V), 忆阻器的电阻状态被置为高阻态 R_{off} . 任何不会超过阈值电压的电压信号加在忆阻器的两端不会引起忆阻器的阻态变化.

$$\begin{cases} (V_{M+} - V_{M-}) > V_{\text{th+}} R_M = R_{\text{on}} \\ V_{\text{th-}} < (V_{M+} - V_{M-}) < V_{\text{th+}} R_M = R_M \\ (V_{M+} - V_{M-}) < V_{\text{th-}} R_M = R_{\text{off}} \end{cases} \tag{5}$$

忆阻器的电阻状态可以作为输出变量 M , 当它为高电阻状态 R_{off} 的时候记作逻辑“0”, 当它为低电阻状态 R_{on} 的时候记作逻辑“1”.

2.2 基于忆阻器的可重构逻辑电路

本文提出的可重构忆阻器电路如图 1 所示, 此电路有 4 个输入变量: 电压输入信号 V_{in1} 和 V_{in2} 、控制信号 E , 忆阻器的状态信号 M . 通过初始化与逻辑运算这两个操作步骤实现所需的逻辑功能, 两个操作步骤输入信号的时域参数取决于忆阻器的阻变时间. 图 2 由忆阻器 M_1 、模拟开关 S_1 、 S_2 , 脉冲电压源、 V_{in1} 、 V_{in2} 、 V_3 和 V_4 组成. 这种模拟开关可由 MOS 晶体管的开关特性去实现. 本文采用异步时序电路设计方法 (即使用预制与逻辑操作这两步实现逻辑运算), 预置步骤可克服逻辑功能的误操作, 增强电路的稳定性.

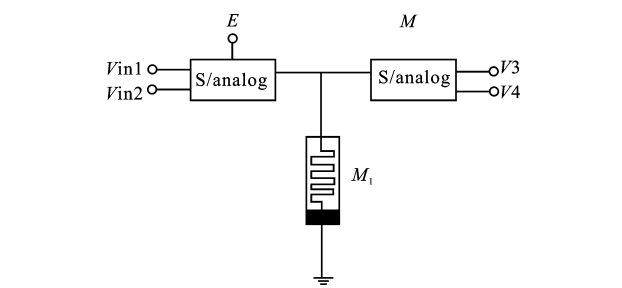


图 1 一种新型电压控制可重构的基于忆阻器逻辑电路

V_3 和 V_4 是由同一个输入信号 M 来控制, 这三个输入组成了忆阻器预置操作的电路, 其中 M 的 T_{TR} 上升时间、 T_{TF} 下降时间、 T_{TD} 延迟时间和 T_{PW} 脉冲宽度与脉冲电压源 V_3 和 V_4 保持一致. 当 $M = V_{\text{IH}}$, V_3 与忆阻器的电路导通而 V_4 与忆阻器的电路断开, 此时忆阻器的电阻状态被初始化为高电阻 R_{on} 即逻辑“1”; 当 $M = V_{\text{IL}}$, V_3 与忆阻器的电路断开而 V_4 与忆阻器的电路导通, 此时忆阻器的电阻状态被初始化为低电阻 R_{off} 即逻辑“0”.

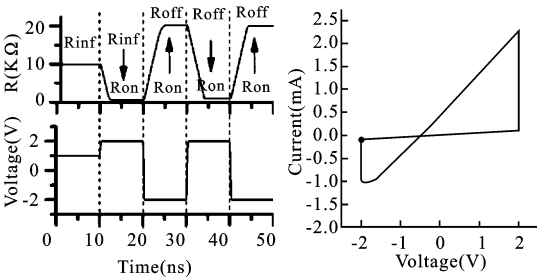
表 2 基于忆阻器电路实现的逻辑功能

V_{in1}	V_{in2}	M	E	Logic function
A	B	0	0	False
A	B	0	1	A
B	A	1	0	NOT A
A	B	1	0	NOT B
A	B	1	1	TRUE
A	0	B	0	B
A	0	B	1	A OR B
A	0	0	B	A AND B
0	A	B	0	B NIMP A
0	A	1	B	A IMP B
0	B	A	0	A NIMP B
0	B	1	A	B IMP A

输入信号 E 控制 V_{in1} 和 V_{in2} 电路的导通与断开,这三个信号组成了忆阻器逻辑操作的电路,其中 E 的 T_{TR} 、 T_{TF} 、 T_{TD} 和 T_{PW} 与输入信号 V_{in1} 和 V_{in2} 保持一致。

当 $E=V_{IH}$, V_{in1} 与忆阻器的电路导通而 V_{in2} 与忆阻器的电路断开,若 $V_{in1}=V_{IH}$, 则加在忆阻器两端的电压大于正向阈值电压,忆阻器的阻值状态会改变为高阻态 R_{on} 即逻辑“1”,其他情况下忆阻器的阻值状态不会发生改变;当 $E=V_{IL}$, V_{in1} 与忆阻器的电路断开而 V_{in2} 与忆阻器的电路导通,如果此时 $V_{in1}=-V_{IH}$, 则加在忆阻器两端的电压小于负向阈值电压,忆阻器的阻值状态会改变为低阻态 R_{off} 即逻辑“0”,其他情况下忆阻器的阻值状态不会发生改变。

如表 2,该电路可以通过初始化与逻辑运算两个步骤来实现大多数的逻辑功能. 将电路的两个输入变量初始化为一个特定的值,另两个输入变量看作逻辑输入变量 A 与 B ,在进行逻辑运算之后,忆阻器的阻值状态 $M(set)$ 可以作为逻辑输出,存储在忆阻器中的数据可以通过电阻分压电路实现电阻逻辑到电压逻辑的转换。



(a) 忆阻器 R-V 曲线 (b) 忆阻器 I-V 曲线(忽略初始阻值状态)

图 2 忆阻器特性仿真结果

3 逻辑仿真与分析

忆阻器特性仿真如图 2 所示。

从图 2(a)可以看出,忆阻器从高阻态 R_{off} 转变到低阻态 R_{on} 的时间约为 4 ns,从低阻态 R_{on} 转变为高阻态 R_{off} 的时间近似约为 5 ns. 脉冲电压源 V_3 、 V_4 和输入信号 M 的时域参数被设计为: $T_{PW}=10\text{ns}$, $T_{TD}=20\text{ns}$, $T_{TR}=0\text{ns}$, $T_{TF}=0\text{ns}$, 输入信号 V_{in1} 、 V_{in2} 和 E 的时域参数被设计为: $T_{PW}=20\text{ns}$, $T_{TD}=10\text{ns}$, $T_{TR}=0\text{ns}$, $T_{TF}=0\text{ns}$, 且电路刚开始启动的时候后者比前者要滞后 10ns,输入信号的时序如图 3 所示,电路的周期 T 为 30ns,被分成 10ns 的初始化周期 t_1 与 20ns 的逻辑运算周期 t_2 两个部分. 使用 P-SPICE 进行仿真验证,其中电路元件的

参数为: $V_{th+}=|V_{th-}|=1.6\text{V}$, $R_{off}=20\text{K}$, $R_{on}=1\text{k}$, $R_{int}=10\text{K}$, $V_{IH}=2\text{V}$, $V_{IL}=0.5\text{V}$, $V_3=2\text{V}$, $V_4=-2\text{V}$.

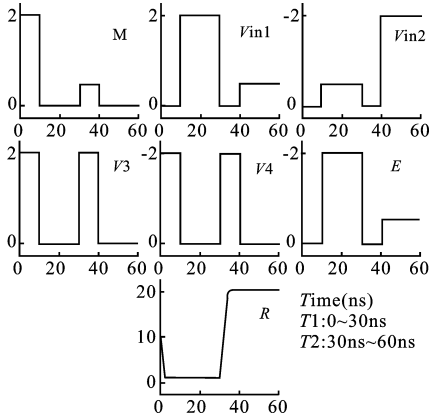


图 3 输入变量信号与脉冲电压源信号的时序逻辑图

3.1 三种基本的逻辑运算

3.1.1 与逻辑

与逻辑电路由两个操作步骤实现:第一步,初始化. 忆阻器的初始状态通过输入信号 M 被预置为 R_{off} ,即输入信号 M 是低电平 V_{IL} 即逻辑“0”, V_{in2} 被预置为 $(-V_{IL})$ 即逻辑“0”. 第二步,逻辑运算. 输入信号 V_{in1} 被设计为逻辑变量 A ,输入信号 E 被设计为逻辑变量 B ,逻辑运算之后忆阻器的阻值状态即逻辑输出变量 $M(set)=AB$. 仿真结果如图 4 所示。

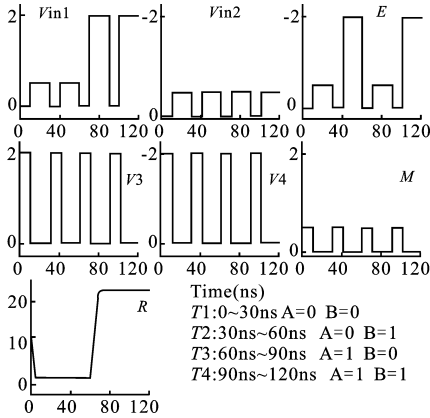


图 4 忆阻器与逻辑功能电路时序图

3.1.2 实质蕴涵逻辑

第一步,忆阻器的初始状态通过输入信号 M 被预置为 R_{on} ,即输入信号 M 是高电平 V_{IH} 即逻辑“1”, V_{in1} 被预置为 V_{IL} 即逻辑“0”;第二步,输入信号 V_{in2} 被设计为逻辑变量 A ,输入信号 E 被设计为逻辑变量 B ,逻辑运算后忆阻器的阻值状态即逻辑

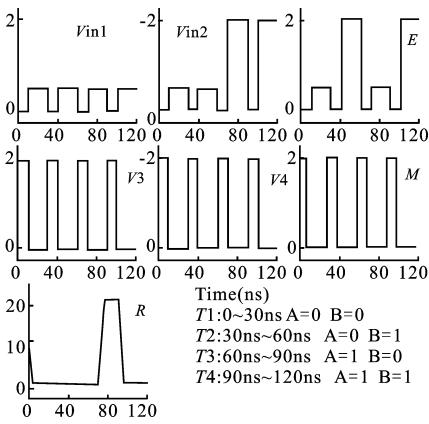


图 5 忆阻器实质蕴涵逻辑功能时序图

辑输出变量 $M(\text{set}) = \bar{A} + B$. 仿真结果如图 5 所示.

3.1.3 或逻辑

第一步,输入信号 E 被预置为低电平 V_{IL} 即逻辑“0”, $V_{\text{in}2}$ 被预置为 V_{IL} 即逻辑“0”;第二步,输入信号 M 被设计为逻辑变量 A ,输入信号 $V_{\text{in}1}$ 被设计为逻辑变量 B ,逻辑运算之后忆阻器的阻值状态即逻辑输出变量 $M(\text{set}) = A + B$. 仿真结果如图 6 所示.

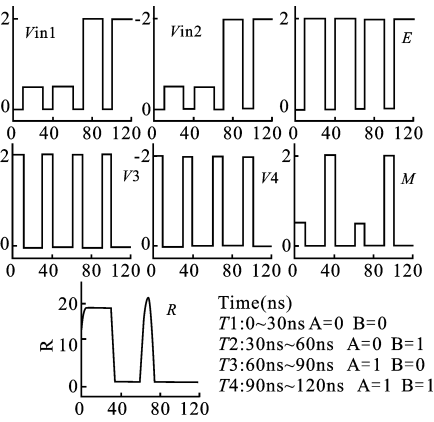


图 6 忆阻器或逻辑功能的电路时序图

可重构忆阻器逻辑电路与现有逻辑电路的操作步骤和忆阻器数量消耗对比如表 3 所示. 本文提出的电路使用了更少的忆阻器进行逻辑运算,降低了整个电路执行一次逻辑运算所消耗的能量. 此外,使用了异步时序的设计方法解决了前文提到的一些问题,并使电路减少了误操作与改变电路逻辑功能的可能性,增加了电路的稳定性.

电路逻辑运算周期取决于忆阻器阻态变化的时间,现有的部分忆阻器仿真模型可以将忆阻器阻态变化的时间降低到 1 ns 甚至更低,这将使本电路的逻辑运算周期大大缩短.

表 3 可重构忆阻器逻辑电路与现有逻辑电路对比表

	文献[8]	文献[4]	本文	
操作步骤	AND	1	1	2
	NOT	1	1	2
	OR	1	2	2
忆阻器数量	AND	3	2	1
	NOT	3	2	1
	OR	2	2	1

3.2 其它逻辑运算

本文提出的电路并不具备逻辑功能的完备性,所以采用基于实质蕴涵和非逻辑迭代的方式,来实现本电路未实现的其它逻辑功能.

从表 4 中可知,基于实质蕴涵和非逻辑的异或迭代公式为: $A \text{ NOR } B = ((A \text{ IMP } B) \text{ IMP } ((B \text{ IMP } A) \text{ IMP } 0)) \text{ IMP } 0$.

表 4 基于实质蕴涵与非逻辑的迭代逻辑对应表

迭代公式	逻辑功能
$A \text{ IMP } (B \text{ IMP } 0)$	$A \text{ NAND } B$
$((A \text{ IMP } 0) \text{ IMP } B) \text{ IMP } 0$	$A \text{ NOR } B$
$((A \text{ IMP } B) \text{ IMP } ((B \text{ IMP } A) \text{ IMP } 0)) \text{ IMP } 0$	$A \text{ XNOR } B$
$(A \text{ IMP } B) \text{ IMP } ((B \text{ IMP } A) \text{ IMP } 0)$	$A \text{ XOR } B$

下面以异或逻辑为例,在多个可重构的基于忆阻器异步时序逻辑电路下进行逻辑迭代,如图 7 所示.

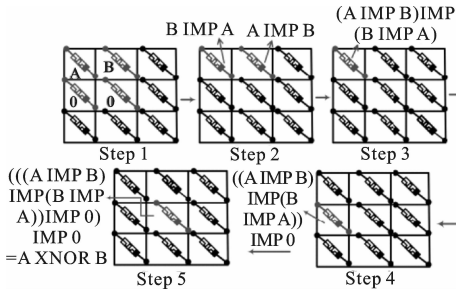


图 7 基于实质蕴涵和非逻辑的迭代步骤图

- 第一步,将逻辑变量 A 、 B 、“0”写入忆阻器.
- 第二步,初始化电路,将电路预置为实质蕴涵逻辑电路并进行逻辑操作,将逻辑变量 A 写入忆阻器, $M11 = B \text{ IMP } A$, $M12 = A \text{ IMP } B$.
- 第三步,将存储在忆阻器的数据读出, $M11 = (A \text{ IMP } B) \text{ IMP } (B \text{ IMP } A)$.
- 第四步,初始化电路,将电路预置为实质蕴涵逻辑电路并进行逻辑操作. 将存储在忆阻器的数据读出并将其作为输入逻辑变量, $M21 = ((A \text{ IMP } B) \text{ IMP } (B \text{ IMP } A)) \text{ IMP } 0$.
- 第五步,初始化电路,将电路预置为实质蕴涵逻辑电路并进行逻辑操作. 将存储在忆阻器的数据读出并将其作为输入逻辑变量, $M21 = ((A \text{ IMP } B) \text{ IMP } (B \text{ IMP } A)) \text{ IMP } 0$.

辑电路并进行逻辑操作. 将存储在忆阻器的数据读出并将其作为输入逻辑变量, $M21 = (((A \text{ IMP } B) \text{ IMP } (B \text{ IMP } A)) \text{ IMP } 0) \text{ IMP } 0$, 实现了 A 异或 B .

4 结束语

为了使用更少的忆阻器元件实现完备的逻辑功能电路, 本文设计了一款电压控制可重构的基于忆阻器异步时序电路. 本文提出的电路通过 4 个输入信号编码, 采用 1 个忆阻器和 2 个模拟开关可实现大部分的基本逻辑功能; 基于忆阻器的实质蕴涵与非逻辑, 实现了与非、或非、异或等其它逻辑功能; 并通过异步时序设计, 克服了电路逻辑的误操作, 增强了电路的稳定性. P-SPICE 软件仿真结果证明了逻辑电路的可行性. 然而, 存储数据是以电阻值的状态存储于忆阻器中, 如何能将电阻逻辑转变为电压逻辑输出到下一级仍然是值得研究的问题.

参考文献:

- [1] CHUA L. Memristor—the Missing Circuit Element. [J] IEEE Transactions on Circuit Theory. 1971, 18(5): 507-519.
- [2] STRUKOV D B, SNIDER G S, STEWART D R, et al. The Missing Memristor Found. [J] Nature, 2008, 453(7191): 80-83.
- [3] CHEN Q, WANG X P, WAN H B, et al. A Circuit Design for Multi-inputs Stateful OR Gate. [J] Physics Letters A. 2016, 380(38): 3081-3085.
- [4] ZHANG Y, SHEN Y, WANG X P, et al. A Novel Design for Memristor Based Logic Switch and Cross-

bar Circuits. [J] IEEE Transactions on Circuit and System-I Regular Papers. 2015, 62(5): 1402-1411.

- [5] KHALID M, SINGH J. Memristor Based Unbalanced Ternary Logic Gates. [J] Analog Integrated Circuits & Signal Processing, 2016, 87(3): 399-406.
- [6] WANG Z R, SU Y T, LI Y, et al. Functionally Complete Boolean Logic in 1T1R Resistive Random Access Memory. [J] IEEE Electron Device Letters. 2017, 38(2): 179-182.
- [7] NISHIL T, GUPTA S, MANE P, et al. Logic Design within Memristive Memories Using Memristor Aided Logic. [J] IEEE Transactions on Nanotechnology. 2016, 15(4): 635-650.
- [8] K VATINSKY S, STATAT G, WALD N, et al. Memristor-Based Material Implication(IMPLY) Logic: Design Principles and Methodologies. [J] IEEE Transactions on very large scale integration(VLSI) systems. 2014, 20(10): 2054-2066.
- [9] VOURKAS I, BATSOS A, SIRAKOULIS G C. SPICE modeling nonlinear memristive behavior. [J] International Journal of Circuit Theory and Applications. 2015, 43(5): 533-565.

作者简介:

付迅 男, (1994-), 硕士研究生. 研究方向为忆阻器电路设计.

彭菊红(通讯作者) 女, (1978-), 硕士, 讲师. 研究方向为记忆电路的研究与设计. E-mail: juhongpeng@hubu.edu.cn.

杨维明 男, (1969-), 博士, 教授. 研究方向为射频器件与电路.

(上接第 13 页)

- [8] 饶志恒. 图形处理器图形管线的研究与实现[D]. 长沙: 湖南大学, 2011.
- [9] 张淮声, 余莉. 一种三维绘制中可编程的图元设置着色方法[J]. 集成电路应用. 2017, 34(6): 9-13.
- [10] 武凤丹, 阙恒, 王渊峰. 一种新的低功耗高性能绘图芯片 GPU 设计方案[J]. 集成电路应用. 2017, 34(6): 33-36.
- [11] 袁扬智, 韦明, 曾献军. 2D 图像硬件加速引擎的设计优化[J]. 微电子学与计算机, 2009, 26(4): 241-248.
- [12] 韩俊刚. 一种图形加速器和着色器的体系结构. 计算机辅助设计与图形学学报[J]. 2010, 2(3): 363-372.
- [13] 谭显强. 基于 FPGA 的 3D 图形处理器 IP 核的设计与实现[D]. 南京: 南京航空航天大学, 2010.
- [14] 韩伟. 图形处理芯片的研究与设计验证[D]. 上海: 上

海交通大学. 2008

- [15] 黎小玉, 田泽, 郭亮, 等. 符合 OpenGL 标准的国产化显卡研究与实现[J]. 计算机技术与发展, 2014(5): 173-175.

作者简介:

裴希杰 男, (1984-), 硕士, 工程师. 研究方向为数字集成电路设计与验证、图形处理器设计.

E-mail: peixj2008@163.com.

田泽 男, (1965-), 博士, 研究员. 研究方向为 VLSI 设计、SoC 设计、航空专用集成电路设计.

郑新建 男, (1980-), 博士, 工程师. 研究方向为图形处理器系统结构、微处理器系统结构.

张骏 男, (1978-), 博士后, 高级工程师. 研究方向为计算机体系结构、GPU 设计、微处理器设计、SoC 设计.