

引用格式: 梁青,王超,张国鹏,等. 基于 EMSIW 的多零点小型化滤波器设计[J]. 微电子学与计算机, 2019, 36(12): 16-20.
[LIANG Q, WANG C, ZHANG G P, et al. Design of multi-zero miniaturization filter based on EMSIW[J]. Microelectronics & Computer, 2019, 36(12): 16-20.]

基于 EMSIW 的多零点小型化滤波器设计

梁 青¹, 王 超¹, 张国鹏¹, 熊 伟²

(1 西安邮电大学 电子工程学院, 陕西 西安 710121; 2 西京学院 理学院, 陕西 西安 710199)

摘 要: 为改善基片集成波导(Substrate Integrated Waveguide, SIW)滤波器的有效尺寸和插入损耗, 提出了一种新型的八分之一模基片集成波导(Eighth-Mode Substrate Integrated Waveguide, EMSIW)带通滤波器. 采用八分之一模基片集成波导作为腔体, 并使用双层 PCB 结构, 可使滤波器较原始尺寸减少 90% 以上; 利用其边缘效应, 以缝隙耦合的方式实现电磁能量传输, 改善插入损耗; 通过设计腔体间的交叉耦合结构, 使通带两侧处各引入一个传输零点, 提高其选择性和带外抑制水平. 仿真结果表明, 滤波器的中心频率为 3.9 GHz, 插入损耗为 1.06 dB, 且有效尺寸仅为 9 mm×9 mm, 在 0~8 GHz 的频谱范围内带外抑制均大于 40 dB.

关键词: 八分之一模基片集成波导; 小型化; 交叉耦合; 传输零点; 带外抑制

中图分类号: TN713 **文献标识码:** A **文章编号:** 1000—7180(2019)12—0016—05

Design of multi-zero miniaturization filter based on EMSIW

LIANG Qing¹, WANG Chao¹, ZHANG Guo-peng¹, XIONG Wei²

(1 School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China;
2 Xijing University School of Science, Xi'an 710199, China)

Abstract: In order to improve the effective size and insertion loss of the substrate integrated waveguide (Substrate Integrated Waveguide, SIW) filter, a novel 1/8 mode substrate integrated waveguide (Eighth-Mode Substrate Integrated Waveguide, EMSIW) band-pass filter is proposed. Using 1/8 mode substrate integrated waveguide as cavity and using double-layer PCB structure, the filter can be reduced by more than 90% compared with the original size, and the edge effect of the filter is realized by slot coupling. Electromagnetic energy transmission can improve the insertion loss, and by designing the cross-coupling structure between cavities, a transmission zero is introduced at each side of the passband to improve its selectivity and out-of-band suppression level. The simulation results show that the center frequency of the filter is 3.9 GHz, the insertion loss is 1.06 dB, the effective size is only 9 mm × 9 mm, and the out-of-band suppression is more than 40 dB in the range of 0~8 GHz spectrum. Physical processing is carried out to verify the conclusion, and the test results are in good agreement with the simulation.

Key words: eighth-mode substrate integrated waveguide; miniaturization; cross-coupling; transmission zero; out-of-band suppression

1 引言

当今微波通讯系统的快速发展, 性能优异的滤波器日益成为人们研究的热点. 基片集成波导^[1]具

有现代滤波器所需要的一系列突出的优点, 如 Q 值高, 易与平面电路集成、加工简便等. 然而在相对频率较低的情况下, 以原始基片集成波导腔体为基础的滤波器尺寸仍然无法达到令人满意的状态. 为了

改善基片集成波导滤波器的面积问题,多模腔体基片集成波导^[2]、半模基片集成波导滤波器^[3]、四分之一模基片集成波导滤波器^[4]被相继提出,使 SIW 滤波器的尺寸大幅度减小.然而在 SIW 滤波器尺寸减小的同时,各种问题也相继暴露出来,多模基片集成波导腔体模式复杂,调试困难且传输零点难以灵活控制;HMSIW、QMSIW 腔体均为开放结构辐射较为严重,插入损耗较差.

为改善基片集成波导滤波器的尺寸、插损和带外抑制水平等问题,本文设计了一种基于八分之一模^[5-7]腔体的叠层式四腔体带通滤波器,单个腔体较传统的 SIW 腔体尺寸可减少 85%以上;通过在腔体开放部分,利用边缘效应,以缝隙耦合的方式实现电磁能量的传输,改善插入损耗;在输入腔与输出腔之间引入感性耦合实现交叉耦合结构,分别在通带两侧分别引入了一个传输零点,增强了滤波器对信号的选择性,并提高了带外抑制水平;通过利用 EMSIW 腔体结构互补的特点,并采用双层排列的方式,使滤波器尺寸大大减小,该滤波器的总尺寸仅为原始型 SIW 滤波器^[8]的 6.5%.

2 理论分析

EMSIW 谐振腔是通过将原始 SIW 腔体沿其对称的等效磁壁切割而来,尺寸仅为原始腔体的八分之一且主模式和谐振频率与原腔体相同.其 TE₁₀₁ 模的电磁场分布如图 1 所示.

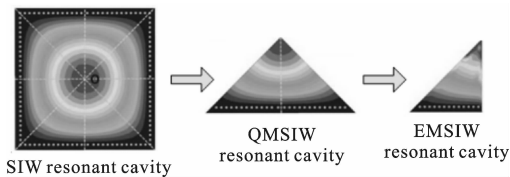


图 1 EMSIW 腔体电场分布图

与 SIW 腔体相同,EMSIW 腔体也是通过在介质层添加周期性排列的金属通孔形成等效电壁使电磁波在腔体内振荡,但由于腔体内部的 TM 模会因磁壁的不连续性而消失,所以腔体内只存在 TE_{m0p} 模式.又因 TE₁₀₂ 仅存在沿纵向的等效磁壁,如图 2 所示,而 EMSIW 腔体无法为其提供谐振环境,所以腔体内的低次模只留下了 TE₁₀₁ 模和 TE₂₀₂ 模.通过三维电磁仿真软 HFSS15 可对工作模式及频率进行仿真,仿真结果如表 1 所示.

EMSIW 腔体谐振频率可由公式(1)得出,其中 L_{eff} 和 W_{eff} 分别为腔体的等效长度和宽度^[9-12].

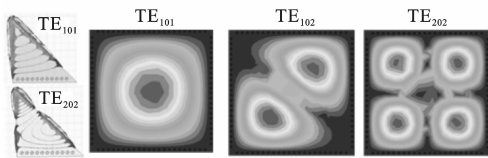


图 2 腔体模式仿真图

表 1 腔体模式频率仿真结果

Construction	TE ₁₀₁	TE ₁₀₂	TE ₂₀₂
EMSIW	3.81GHz	无	8.60GHz
SIW	3.86GHz	6.1GHz	7.72GHz

$$f_{mnp} = \frac{1}{2\pi \sqrt{\mu\epsilon}} \sqrt{\left(\frac{m\pi}{2L_{eff}}\right)^2 + \left(\frac{p\pi}{2W_{eff}}\right)^2} \quad (1)$$

由公式可知 TE₁₀₁ 模和 TE₂₀₂ 模频率相差较大,因此以 EMSIW 腔体为基础的滤波器可减小高次模对选择性的影响且具有较好的带外抑制.

3 耦合特性分析

为高效利用空间,使滤波器更加小型化,本文采用双层 PCB 结构.为使同层腔体之间与异层腔体之间实现耦合,因此,滤波器需要两种不同的耦合方式.

在设计同层耦合结构时,为了最大限度的利用 EMSIW 腔体的磁壁,使电磁能量在两腔体开放部分之间传输,改善插入损耗.本文将滤波器同层的 EMSIW 腔体采用互补拼接的方式,将 EMSIW 腔体开放的部分置于内侧,利用 EMSIW 腔体的边缘效应,实现两个 EMSIW 腔体以缝隙耦合方式实现电磁能量的传递,该种耦合特征为容性耦合;为更方便的控制同层腔体间的耦合系数,避免相邻腔体间的耦合系数随间距 SS 变化产生剧烈浮动,本文将 EMSIW 腔体电场强度最强处交错排列,耦合结构及耦合系数仿真见图 3.

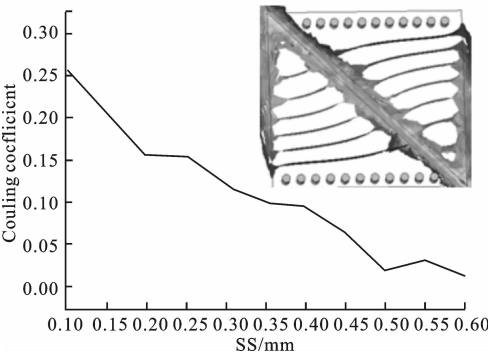


图 3 同层腔体耦合仿真图

为使异层腔体之间保持较稳定的耦合方式,并且形成交叉耦合结构,文章在腔体 2 与腔体 3 之间采用了扇形窗口以形成容性耦合,耦合结构及仿真如图 4 所示.

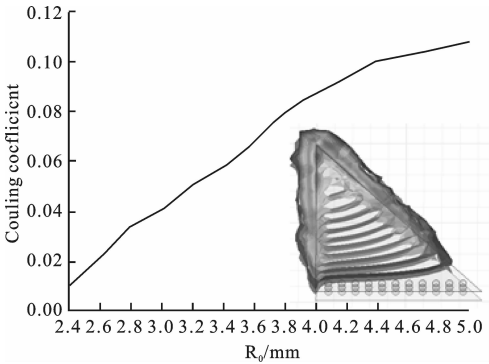


图 4 异层腔体耦合仿真图

4 小型化滤波器的设计

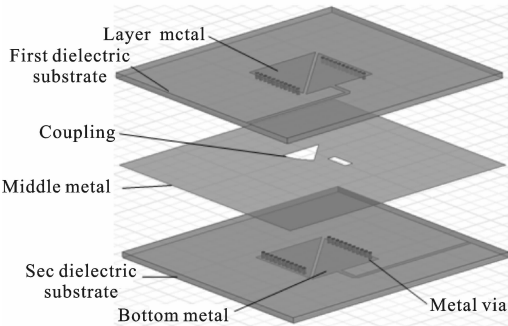
本文中以 EMSIW 作为谐振腔体,设计了一款中心频率为 3.9 GHz 的四腔体小型化带通滤波器.这里所选用的介质基板为 Rogers Ro3010,介电常数为 10.2,单层厚度为 0.508 mm. 滤波器结构见图 5,图中参数如表 1 所示,单位为 mm,结构尺寸为 9mm×9mm,标准化面积为 0.12λ₀×0.12λ₀,其中 λ₀为中心频率波长.

表 1 图中参数					
参数	p	d	W	s	ws
数值	0.7	0.4	9	2.7	0.5
参数	SS	R ₀	W _{cp}	K _y	L _{cp}
数值	0.8	4.3	0.2	2	1.2
参数	K _x				
数值	1.2				

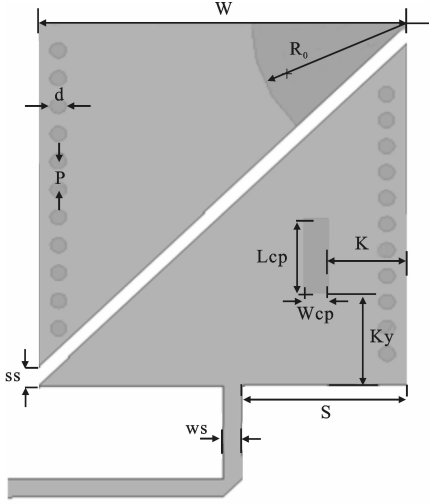
滤波器的外部品质因数由微带线的位置参数 s 确定,传输曲线如图 6 所示. 腔体间的耦合系数分别由 SS,R₀,L_{cp},W_{cp} 确定且与 ss 成反比例关系与 R₀、L_{cp}、W_{cp} 成正比例关系.

滤波器的耦合结构简图见图 7. 由耦合特性分析可知,同层腔体 1 和 2,3 和 4 之间为缝隙耦合该种耦合方式属容性耦合;腔体 2 和 3 之间通过扇形开窗实现耦合,该种耦合方式为容性偶和;腔体 1 和 4 之间通过矩形开口以实现感性耦合. 由交叉耦合理论可知,该种四腔体交叉耦合结构可实现两个传输零点的引入,分别位于通带两侧,以提高滤波器的选择性,提高带外抑制水平.

当增大 L_{cp} 的长度时腔体 1 与腔体 4 间的耦合



(a)3D 结构图



(b)俯视图

图 5 滤波器结构图

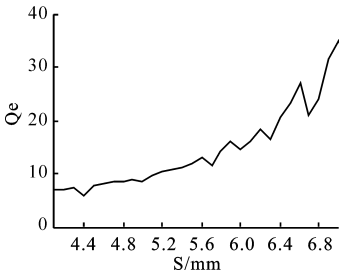


图 6 参数 S 与外部品质关系图

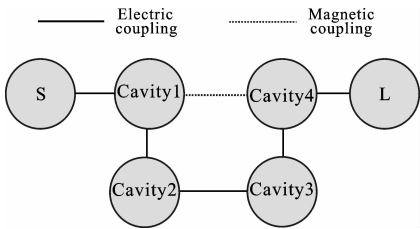


图 7 耦合结构

系数增大,传输零点与通带间的距离减小,传输系数与 L_{cp} 关系如图 8 所示,由图可知 L_{cp} 增大至 2.2 mm,则两传输零点位于 3.56 GHz、4.29 GHz,此时

其通带带宽及带外抑制水平将会受到影响;当 L_{cp} 减小至 0.6 mm,则两传输零点分别在 3.19 GHz、5.5 GHz 频点处,此时带外抑制大于 55 dB,但通带选择性无法令人满意;因此为了兼顾选择性和带外抑制水平,将 L_{cp} 的值设定为 1.2 mm.

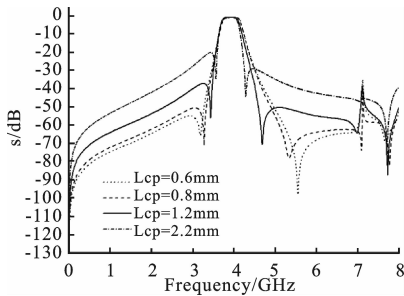


图 8 L_{cp} 对传输零点位置的影响

此时,滤波器的中心频率位于 3.9 GHz,两传输零点分别在通带的下阻带 3.5 GHz 处和通带的上阻带 4.49 GHz 处,通带的相对带宽为 10.2%,且带外回波损耗大于 50 dB.

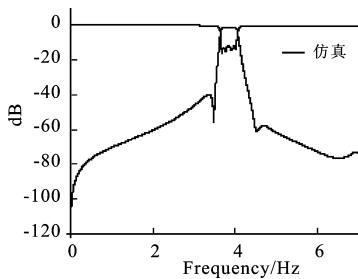


图 9 滤波器仿真图

5 结果分析与对比

仿真结果如图 9 所示,滤波器的中心频率为 3.9 GHz,通带为 3.67~4.06 GHz,通带内最小插入损耗仅为 1.06 dB,带内回波损耗均大于 12 dB;通过交叉耦合结构的设计,实现了多个传输零点的引入,且分别位于通带低阻带处的 3.5 GHz 和高阻带处的 4.49 GHz,提高了带外抑制水平并提高了选择性;由于 EMSIW 腔体谐振特性,使腔体内中的低次模只有 TE_{101} 模、 TE_{202} 模,实现了在 0~8 GHz 的频谱宽度中没有高次谐波形成的寄生通带,带外抑制均大于-35 dB,阻带最高衰减达 76 dB.

通过对比本文所设计的滤波器与其他同类基片集成波导滤波器的尺寸、插入损耗和传输零点数量,对比数据如表 2 所示.由表 2 可知,该滤波器具有小型化、低插损、多零点等特征且综合性能均优于其他同类型滤波器,实现了滤波器的小型化,低插损,多

零点的设计要求.

表 2 本文滤波器与同类 SIW 滤波器对比

Works	Center frequency (GHz)	3dB FBW(%)	Insertion loss (dB)	Effective circuit size ($\lambda_0 \times \lambda_0$)
1	4.97	5.8	2.2	0.76×0.76
2	5.74	5.3	1.68	0.74×0.74
3	7.6	53	1.5	0.19×0.94
4	5	11.3	1.85	0.52×0.52
5	2.9	13.4	1.63	0.15×0.15
This work	3.9	10.2	1.06	0.12×0.12

6 结束语

本文通过利用 EMSIW 腔体,通过缝隙耦合并引入交叉耦合理论设计了一款小型化、低插损、高带外抑制的带通滤波器,经仿真可知,滤波器性能良好,零点位置可灵活调整;通过设计腔体结构,使该滤波相较于 SIW 腔体滤波器尺寸减少 80%,该滤波器结构尺寸仅为 9 mm×9 mm,标准化面积为 $0.12\lambda_0 \times 0.12\lambda_0$,满足了当今通讯系统对滤波器小型化的要求.

参考文献:

[1] QIU L F, WU L S, XIE B, et al. Substrate Integrated Waveguide Filter With Flat Passband Based on Complex Couplings [J]. IEEE Microwave & Wireless Components Letters, 2018,28(6):1-3.

[2] 刘庆,周东方,张德伟,等. 双/三模基片集成波导和共面波导混合结构滤波器设计[J]. 电子学报, 2018, 46(4):187-195.

[3] YANG Z, WANG Z, DONG J, et al. Compact wideband HMSIW bandpass filter with defected ground structure[C]// IEEE International Conference on Signal Processing. Ningbo: IEEE, 2015:1-4.

[4] SHI Y, KANG Z, ZHOU C, et al. Compact QMSIW quasi-elliptic filter based on a novel electric coupling structure[J]. Electronics Letters, 2017, 53 (23): 1528-1530.

[5] LI P, ZHAO D, RUI Y, et al. Design of compact bandpass filter based on EMSIW cavities[C]// Applied Computational Electromagnetics Society Symposium. Suzhou:IEEE, 2017:1-4.

[6] ZHU Y. A source-load coupled bandpass filter using one-eighthth mode substrate integrated waveguide cavity[C]// 2014 XXXIth URSI General Assembly and Scientific Symposium (URSI GASS). Beijing: IEEE, 2014:16-23.

- [7] LI L, WU Z, YANG K, et al. A Novel Miniature Single-Layer Eighth-Mode SIW Filter With Improved Out-of-Band Rejection[J]. in IEEE Microwave and Wireless Components Letters, 2018, 28(5):407-409.
- [8] GAO B, WU L S, MAO J F. Lossy substrate integrated waveguide filter with flat passband[C]// Wireless Symposium, Shanghai: IEEE, 2016:1-4.
- [9] 何朝升. 基片集成波导小型化无源器件研究[D]. 成都: 电子科技大学, 2017.
- [10] WANG X, ZHU X, YU C, et al. Design of the quarter-mode substrate integrated waveguide in-phase and out-of-phase filtering power divider[C]// 2018 IEEE MTT-S International Wireless Symposium (IWS). Chengdu: IEEE, 2018:6-10.
- [11] 程孝奇, 李国辉, 鉴浩, 等. 多传输零点基片集成波导双通带滤波器[J]. 上海大学学报(自然科学版),

2014, 20(3):330-336.

- [12] LI M, CHEN C, ZHANG X, et al. A novel dual-band bandpass filter using nested quarter-mode substrate integrated waveguides[C]// 2017 Progress In Electromagnetics Research Symposium - Spring (PIERS). St. Petersburg: IEEE, 2017:2277-2281.

作者简介:

梁青女, (1966-), 硕士, 教授. 研究方向为无人机自组网技术.

王超(通信作者) 男, (1995-), 硕士研究生. 研究方向为射频电路设计与天线理论. E-mail: chao_7584285@163.com

张国鹏 男, (1994-), 硕士研究生. 研究方向为射频与微波器件.

熊伟 男, (1965-), 博士, 教授. 研究方向为无线传感器网络.

(上接第 15 页)

- [5] LIU X, SHA J, ZHANG C, et al. A stage-reduced low-latency successive cancellation decoder for polar codes[C]// 2015 IEEE International Conference on Digital Signal Processing. Singapore, Singapore: IEEE, 2015:258-262.
- [6] PIAO Z, KIM Y J, CHUNG J G. Efficient successive cancellation decoder for polar codes based on frozen bits[C]// 2016 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). Jeju, South Korea: IEEE, 2016:585-587.
- [7] TAL I, VARDY A. List decoding of polar codes[C]// 2011 IEEE International Symposium on Information Theory Proceedings. St. Petersburg, Russia: IEEE, 2011:1-5.
- [8] LI B, SHEN H, TSE D. An Adaptive Successive Cancellation List Decoder for Polar Codes with Cyclic Redundancy Check[J]. IEEE Communications Letters, 2012, 16(12):2044-2047.
- [9] BALATSOUKAS S A, BASTANI P M, BURG A. LLR-Based Successive Cancellation List Decoding of Polar Codes[J]. IEEE Transactions on Signal Processing, 2015, 63(19):5165-5179.
- [10] LIN J, XIONG C, YAN Z. A High Throughput List Decoder Architecture for Polar Codes[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(6):2378-2391.
- [11] YUAN B, PARHI K K. Low-Latency Successive-Cancellation List Decoders for Polar Codes with Multi-bit Decision[J]. IEEE Transactions on Very Large

Scale Integration (VLSI) Systems, 2015, 23(10): 2268-2280.

- [12] SHI S, HAN B, GAO J L, et al. Enhanced Successive Cancellation List Decoding of Polar Codes[J]. IEEE Communications Letters, 2017, 21(6):1233-1236.
- [13] SARKIS G, GIARD P, VARDY A, et al. Fast List Decoders for Polar Codes[J]. IEEE Journal on Selected Areas in Communications, 2016, 34(2):318-328.
- [14] BIOGLIO V, GABRY F, GODARD L, et al. Two-Step Metric Sorting for Parallel Successive Cancellation List Decoding of Polar Codes[J]. IEEE Communications Letters, 2017, 21(3):456-459.
- [15] KONG B Y, YOO H, PARK I C. Efficient Sorting Architecture for Successive-Cancellation-List Decoding of Polar Codes[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 63(7):673-677.

作者简介:

杜高明 男, (1977-), 博士, 副教授, 硕士生导师. 研究方向为多核体系结构, 片上网络体系结构, 多核 NoC 性能分析.

胡国庆(通讯作者) 男, (1994-), 硕士研究生. 研究方向为数字集成电路设计. E-mail: huguoqing@mail.hful.edu.cn

林青 男, (1991-), 硕士. 研究方向为数字集成电路设计.

宋宇鲲 男, (1975-), 博士, 副教授. 研究方向为面向数据密集与计算机密集应用的 SoC/MPSoC 体系结构与实现.

张多利 男, (1976-), 博士, 教授. 研究方向为多核处理器体系结构与设计方法、多媒体专用集成电路设计实现等.

欧阳一鸣 男, (1963-), 博士, 教授. 研究方向为片上网络(NoC)与片上系统(SoC), 嵌入式系统的综合与测试, 数字系统设计自动化.