

引用格式: 许川佩, 刘华颖. 通用型芯片级光纤通信接口设计[J]. 微电子学与计算机, 2019, 36(11): 24-29. [XU C P, LIU H Y. The design of universal chip-level optical fiber communication interface [J]. Microelectronics & Computer, 2019, 36(11): 24-29]

通用型芯片级光纤通信接口设计

许川佩, 刘华颖

(桂林电子科技大学 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: 为解决芯片与外部设备的海量数据实时传输的问题, 本文以光纤通信技术为基础设计数据传输接口, 在接口内分层搭建通信协议及交互接口架构, 实现了网络各层之间的通信与校验工作. 利用 AXI4-Stream 总线应用范围广且具有强大支持平台的优势, 将 AXI4-Stream 接口作为芯片级数据交换接口, 为突发性高速数据传输提供了支持. 该接口支持 UDP/IP 协议封装格式, 使其能灵活兼容于各类上层应用; 支持通过可编程接口配置传输层端口号、IP 地址及 MAC 地址; 应用流水线技术及多进程并行处理技术, 在控制面积及功耗的条件下, 减少数据传输延迟, 优化接口处理性能. 最后通过光纤将片内数据传输到 PC 机进行了验证, 数据传输速率可达 9.691 Gbps, 满足芯片与外部设备海量数据高速传输需求.

关键词: 光纤通信; AXI4-Stream; UDP/IP 协议; FPGA

中图分类号: TP336

文献标识码: A

文章编号: 1000—7180(2019)11—0024—06

The design of universal chip-level optical fiber communication interface

XU Chuan-pei, LIU Hua-ying

(Guangxi Key Laboratory of Automatic Detection Technology and Instrument,
Gulin University of Electronic Technology, Guilin 541004, China)

Abstract: In order to solve the problem of mass data transmission between chips and external devices, the interface of data transmission is designed based on the optical fiber communication technology in this paper. The communication protocols and the interactive interface architectures are built in the interface to realize communication and verification between layers of the network. Many IP providers support the AXI protocol and it has a robust support platform, so the AXI4-Stream interface is used as a chip-level data exchange interface to support the bursty high-speed data transmission. UDP/IP format is supported for flexible compatibility with various upper-layer applications. The number of port, IP address and address of MAC layer can be set by programmable interface. Pipeline technology and multi-process parallel processing technology are applied to reduce data transmission delay and optimize interface processing performance under the control of area and power consumption. Finally, the design is verified by transmitting data in chip to PC via fiber optic communication and the data transmission data has reached up to 9.691 Gbps. It is demonstrated that the interface is able to meet the high-speed transmission requirement of massive data between chips and external devices.

Key words: optical fiber communication; AXI4-Stream; UDP/IP protocol; FPGA

1 引言

PCI (Peripheral Component Interconnect)、PCI-E(PCI Express)、ISA (Industry Standard Architecture)、USB、串口或并口等接口作为可编程芯片与外部数据交换常用接口^[1-2],难以同时满足高速、远距离传输要求。随着芯片集成度的增加、复杂度的增大及芯片高速传输数据需求的不断提高,芯片内部海量数据的高速远距离传输成为新的问题。光纤通信技术的出现,为高速远距离传输数据提供了解决方案,其特有的传输速度快、抗干扰能力强的优势,为数据高速远距离传输提供保障,成为目前芯片级海量数据传输解决方案。文献[3]通过光纤传输 CameraLink 采集的图像数据,数据传输速率达到 2.5Gb/s;文献[4]设计 LVDS 接口和光纤接口转换器,提高设备间的互通性,理论数据速率可达 2.5 Gbps;文献[5]设计基于光纤通道的红外视频数据采集系统,物理层采用 SFP 光模块,最高传输速率为 2.125 Gb/s。目前的应用中,数据传输速度仍然偏低,且不同的应用需设计专用数据交换接口,通用性不强。由于缺少上层协议的支持,使系统不具备良好的兼容性,为跨平台灵活高效应用带来不便。

本文设计了的光纤通信接口,通过 AXI4-Stream 总线接口,在保证海量数据突发性高速传输的同时利用 AXI4-Stream 总线强壮的支持平台,使该设计具有更强的通用性,可灵活应用于所有支持相同接口的芯片级器件中,实现海量数据高速传输。该接口对 UDP/IP 协议提供支持,保证了数据传输质量,且便于数据后续处理,具备可编程接口可实现对目标地址的配置,提高了通用性。最后通过实验验证了方案的可行性。

2 10GBaseR 标准及数据格式

2002 年 IEEE 正式发布了万兆以太网标准,万兆以太网的传输速率为千兆以太网的 10 倍,两者的不同主要在物理层^[6]。IEEE802 参考模型对应 OSI 参考模型的下面两层,其中数据链路层分为逻辑链路控制子层(LLC 子层,Logical Link Control)和介质访问控制子层(MAC 子层),本文使用的是万兆以太网物理层标准中的 10GBaseR 标准可应用与局域网中。IEEE802 参考模型如图 1 所示。

在 10GBaseR 标准中物理层分为物理编码子层(PCS 层)、物理介质子层(PMA 层)、物理介质相关子层(PMD 层)。PCS 层与 MAC 层通过 XGMII 接

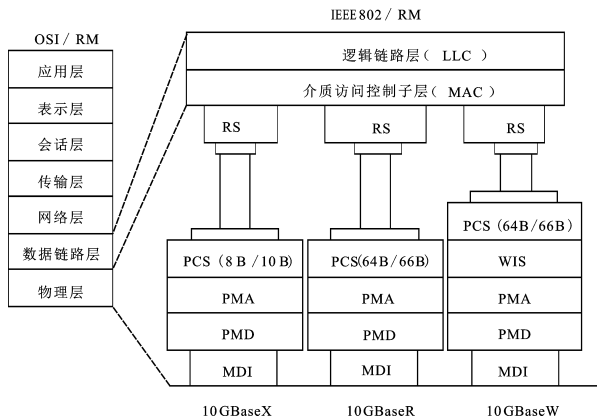


图 1 IEEE802 参考模型

口相连接,根据不同标准定义的编码方式,完成对该层数据的编解码工作实现数据的编码解码,完成后将其传输给相邻层进行进一步的数据处理;PMA 层完成 PCS 层与 PMD 层之间的串行解串服务(SERializer/DESerializer)该层和 PCS 层连接成为 PMA 服务接口;PMD 层位于物理层的最底层,为数据可靠传输提供保障。在该层选用不同的波长及光传输介质,进而达到不同的传输距离。

万兆以太网标准在数据链路层继承 802.3 的以太网帧格式,包括先导域、起始帧、目的地址、源地址、协议类型、数据段、填充域及校验和。在一帧以太网帧中数据段长度为 46~1 500 字节。为了使本接口具有更高的数据兼容性,在传输层、网络层采用 UDP 协议、IP 协议封装格式,使封装后的数据能灵活应用到各类数据传输领域。数据帧封装格式如图 2 所示,其中 IP 帧及 MAC 地址的目的地址均采用广播方式,这样可以解决每次数据传输需要指定地址的问题。有效数据位于 UDP 帧的数据段中,由于以太网帧中数据段长度的限制,UDP 帧数据段长度范围为 18 字节到 1 472 字节,不足 18 字节时在 MAC 帧加入填充域进行数据填充。

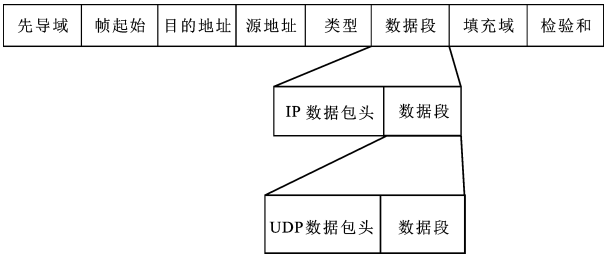


图 2 数据帧封装格式

3 AXI4-Stream 总线

2010 年 ARM 公司发布了 AMBA 4.0 (Advanced Microcontroller Bus Architecture),AXI4 是

该系列微控制器总线的一部分,AXI4 相关总线协议包括 AXI4、AXI4-Lite、AXI4-Stream 总线协议. AXI4-Stream 总线相较于前两者而言,去掉了地址线,使用更加方便且允许无限制的数据突发传输规模,故多用于高速数据流传输. 由于该总线具有高性能、高带宽、低延迟的特点,作为片内总线可满足高性能片上系统需求,因此被需要 IP 供应商广泛应用. Xilinx 公司从 Virtex6, Spartan6 系列 FPGA 芯片开始支持 AXI4 总线,并逐渐在 Xilinx 产品中广泛使用. 同时,许多 IP 供应商提供对 AXI 总线的支持,众多强大的第三方 AXI 工具也为 AXI 的开发提供便利,更加扩大了其应用范围. 本文基于 AXI4-Stream 总线实现了接口数据交换,利用总线的自身优势提高了接口的高效性、灵活性,并且由于应用范围广泛和强大的第三方工具的支持使该接口具有更强的通用性.

AXI4-Stream 总线既支持单个主机与从机通信,也支持多个主机与从机通信,图 3 为主机、从机信号连接图.

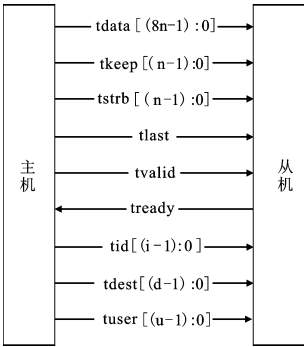


图 3 AXI4-Stream 总线主机与从机连接方式

tvalid、tready 信号实现主机与从机之间的握手,需在一个时钟周期内两个信号同时有效时完成一次数据传输,若 tvalid 信号和 tready 信号有一个为无效,则不会进行数据传输,除握手信号以外的其他信号会一直保持到两个信号同时有效后继续进行数据传输;tkeep 信号用来标识 tdata 中字节信号的有效性,其中 tkeep 信号中的 1 比特数据对应 tdata 中 1 字节数据的有效性,用这种方式可以灵活控制一个周期内传输有效数据的位宽;tstrb 信号用于标识对应 tdata 中的字节属性,其标识方法与 tkeep 信号相同;tlast 用于识别数据包边界,在一次数据包发送完成时,tlast 信号会在最后一个数据传送周期时置高,传输完成后还原;tdata 信号表示需要传输的有效数据,数据宽度以字节为单位递增,即为 8

bits 的整数倍,tdata 信号的数据宽度(W_d)决定了 tkeep 及 tstrb 信号数据宽度(W_{k_s}), W_{k_s} 的计算公式如(1)所示^[7].

$$W_{k_s} = W_d / 8 \tag{1}$$

4 可编程光纤通信接口设计

可编程光纤通信接口总结构如图 4 所示,分为用户数据端口、数据预处理单元、数据包封装解封单元. 其中用户数据端口通过两组 AXI4-Stream 总线接口实现芯片内部的数据交互及编程接口管理工作,数据预处理单元随时准备接受数据并缓存防止数据丢失,判断数据发送条件,满足条件后将数据交给下一单元;数据封装解封单元实现网络各层协议、进行数据编码及数据校验工作实现数据的高效交互. 该接口工作流程如下:在系统复位后会根据编程接口数据配置端口号、IP 地址及 MAC 地址等信息为后续处理封装数据做准备. 在发送数据时,通过 AXI4-Stream 总线接口将 64 bits 数据发送到数据预处理单元,发送单元进行数据缓存、计算数据校验和,当满足发送条件时,在数据包封装解封单元进行封装、编码、并串转换,接着通过 SFP+ 实现电光转换,最后通过光纤传输到目的机. 接收数据为上述步骤的逆过程,在 MAC 层、IP 层、UDP 层加入头校验,校验成功后缓存数据,通过 AXI4-Stream 总线端口,发送到目的单元进行数据处理.

4.1 发送单元设计

用 UDP 协议进行上层数据封装,该协议封装头部的校验和段需要 IP 伪首部、UDP 首部、数据段三部分的数据. 由于 IP 伪首部、UDP 首部在发送中保持不变,为了提高发送效率,发送单元将缓存数据与计算校验和同时进行并行处理,最后将校验和数据发送到数据封装单元. 发送单元内部模块及信号连接如图 5 所示,包括数据帧等待模块、数据缓存模块、数据帧请求模块.

数据帧等待模块实现接收 AXI4-Stream 接口数据、计算有效数据和、控制数据缓存模块、使能数据帧请求模块的功能. 缓存单元用于缓存中间数据,为防止注入率过高导致数据覆盖,数据缓存单元缓存容量为四个数据帧. 数据帧请求模块用于计算数据校验和,向数据包封装单元发送请求及帧封装信息,等待响应信号后完成一次请求工作.

为提高数据存储转发效率,采用流水线设计方式,使数据接收与发送相对独立,将数据帧等待单元分为帧数据响应模块与帧数据请求模块两部分. 通

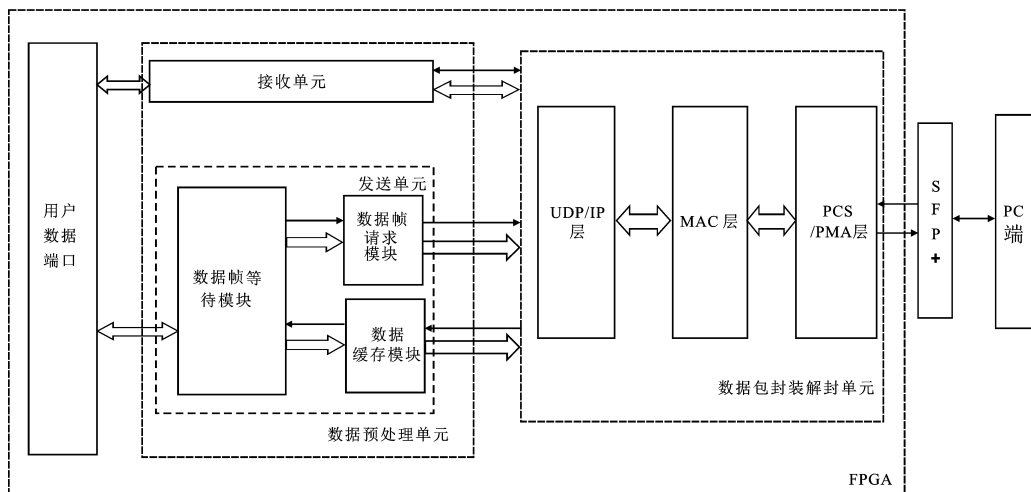


图 4 模块总体结构

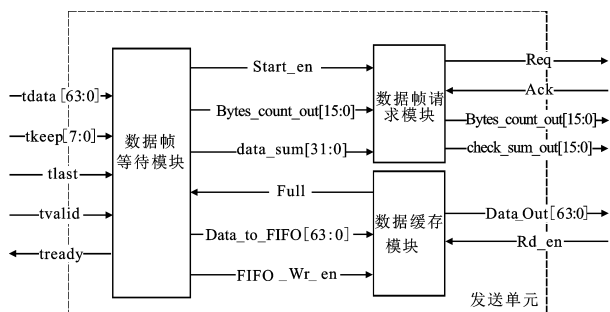
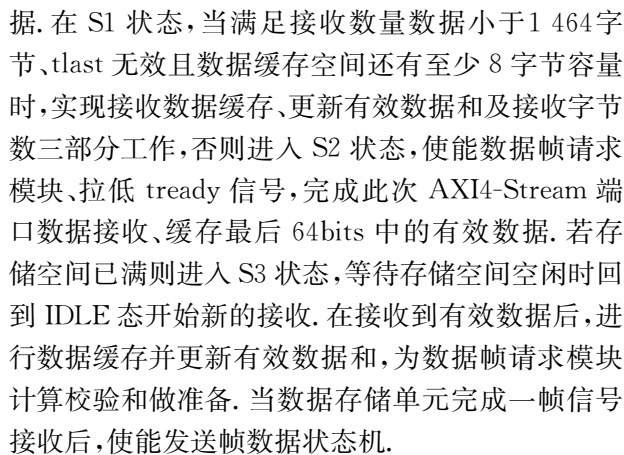


图 5 发送单元内部模块及信号连接图

过帧数据响应模块完成数据接收,帧数据请求模块实现数据发送工作。帧数据响应模块的主要功能由等待帧数据状态机实现。等待帧状态机用于与AXI4-Stream接口进行通信,控制数据缓存,计算数据和,使能数据帧请求模块。状态转移图如图6所示。



帧数据请求模块的核心是请求发送状态机。请求发送状态机完成计算数据校验和、发送请求、等待响应、发送帧有效信息四个任务。其中帧有效信息包括加入 UDP/IP 伪首部的数据校验和、帧数据字节数。如图 7 所示。

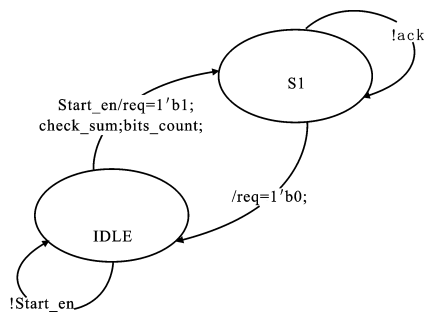


图 7 请求发送状态转移图

在空闲状态,等待至少有一帧数据缓存,满足条件后向数据封装单元发送请求、计算有效数据校验和、发送帧有效信息,进入 S1 态等待数据包封装解封单元准备就绪.接收到响应后回到空闲状态,等待

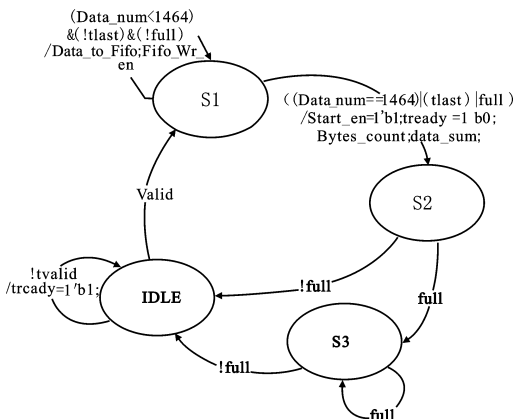


图 6 等待帧数据状态转移图

当启动信号有效时,状态机处于空闲状态 I-DLE,在接收到有效数据后,进入 S1 状态接收数

新数据发送。

4.2 接收单元设计

数据接收模块用于缓存解封后的有效数据。一次传输完成后,若 UDP 校验通过,则由数据包解封模块发送确认信号,否则清除该帧数据。数据接收模块由数据接收机和缓存单元组成。当数据有效时,进入数据存储态,缓存数据,完成一帧数据接收,等待数据包解封单元发送的 UDP 层校验信号。若校验成功则进入初始状态,否则清空上一次接收数据,回到初始状态。

4.3 数据包封装解封单元设计

如图 8 所示,数据封装解封单元由 UDP/IP 层封装解封、MAC 层封装解封、PCS 层和 PMA 层编解码三部分组成。

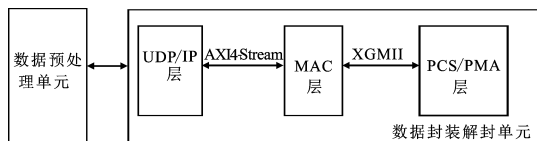


图 8 数据封装解封单元框图

在数据发送时,UDP/IP 层进行 UDP 头、IP 头数据封装。在数据接收时,进行 UDP 头、IP 头验证,通过向数据接收模块发送校验信号,决定缓存数据是否有效。MAC 层用于控制并连接物理层的物理介质,主要进行以太网头的封装解封及验证工作;PCS 层将有效数据进行 64b/66b 编解码以及串并转化;PMA 层主要实现 PCS 层与 PMD 层之间的连接;数据从 PMA 层出来以后会进入物理介质子层,实现光电转换,最后通过光纤完成数据交换。

为了提高性能、加快开发速度,本设计中的 MAC 层与 PCS/PMA 层通过配置 Xilinx 的 IP 核完成工作。在接口方面,UDP/IP 层与 MAC 层的数据传输为 AXI4-Stream 接口,MAC 层与 PCS/PMA 层为 XGMII 接口。

MAC 层主要包括发送模块、接收模块、管理模块三个模块。发送模块用于封装帧、设置两帧之间的帧间隙。接收模块解码一帧数据、完成 MAC 头校验;管理模块通过 AXI4-Lite 总线来配置 MAC 层及控制 PCS/PMA 层的 MDIO 寄存器组。

通过 AXI4-Lite 总线对配置管理模块进行配置,从而实现 MAC 层及 PCS/PMA 层的配置工作。配置 MAC 层及 PCS/PMA 层主要功能如下:

- (1)使能 MDIO 并配置 MDC 为 10.4MHz;
- (2)配置 MAC 的工作模式,并复位 MAC 的

Rx、Tx 端;

(3)配置 PCS 层为 10GBASE-R 模式。

在数据封装发送阶段,为了提高数据传输速率,系统复位后,通过预存的 IP 首部计算校验和,并写入 IP 封装头。通过预存的 IP、UDP 伪首部为计算数据校验和做准备。当满足发送条件后,启动状态机,发送一帧数据,同时将上一层模块计算好的校验和写入 UDP 封装头的校验和字段,以此减少封装带来的时间损耗。

5 结果验证及分析

为测试最高传输速率,本文设计模拟数据发生器,以 156.25M 的速度发送带宽为 64bits 的有效数据。如果发送数据缓存器满,则等到缓存区被释放后继续以相同速度产生数据,经设计接口通过光纤将数据传输到电脑上进行数据抓包验证及网络利用率测试。

仿真结果如图 9 所示,用 Core_ready 信号来标识 MAC 层、PCS/PMA 层配置是否完成,若接口准备完成则 Core_ready 数据为 1。DeScr_wire 表示对接收到的数据进行解码后的数据,即实际传输数据。从灰线标识时刻开始,上位机依次接收到数据前导码、起始符、以太网首部、IP 首部、UDP 首部以及数据段。此处 refclk 的频率为 156.25 MHz。且位宽为 64 bits,可见在仿真中,发送一帧数据时,数据输出速率为 $156.25 \text{ M} \times 64 \text{ bits} = 10\,000 \text{ Mbits/s}$ 。

数据传输到 PC 机对数据传输速率及数据格式进行验证,将 FPGA 中产生数据经由设计接口通过 PC 端的“本地连接 3”端口传输到上位机进行数据接收,用 wireshark 软件对接收数据进行抓包,验证数据格式的正确性。传输数据格式为 MAC 层数据段长度共 1 500 字节,其中包括 8 Bytes UDP 封装头,20 Bytes IP 封装头,以及 1 472 Bytes UDP 数据段,加入 MAC 封装数据包总长度为 1 518 字节。用 wireshark 对“本地连接 3”进行数据抓包,得到测试结果如图 10,数据按照 MAC 层,IP 层广播的形式进行发送,发送端的 MAC 地址为 5a0102030405,IP 为 192.168.0.1,发送端口号为 1234,接收端口号为 120。通过接收完整的数据段,验证该接口实现数据无误传输。

为了验证数据传输速率是否达到要求,通过 Windows 的资源监视器检测得到当前网络状况。图 11 为测试结果,万兆网所在端口“本地连接 3”的网络使用率为 96.91%,由网络使用率与网络传输速



图 9 数据输出的仿真结果

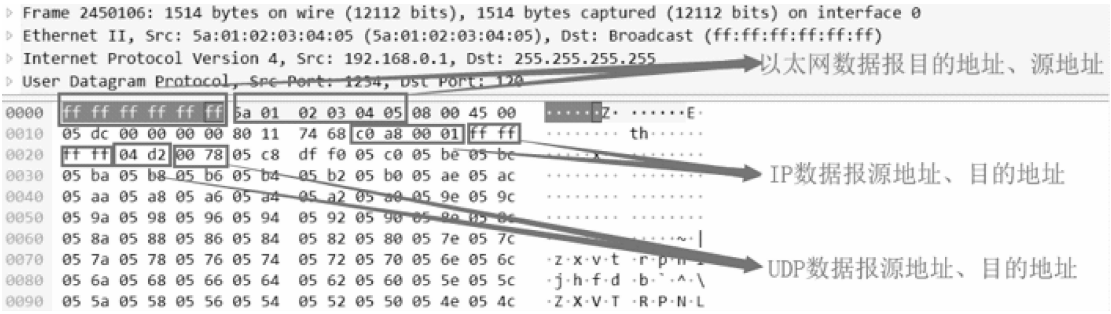


图 10 wireshark 对本地连接 3 进行数据抓包

率的关系计算得到当前传输速率 $0.9691 \times 10 \text{ G} = 9.691 \text{ Gbps}$ 满足设计要求。

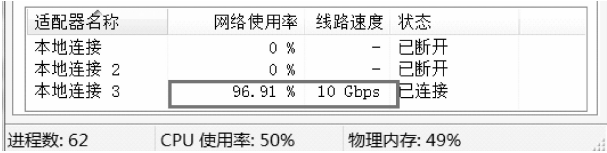


图 11 监测当前网络状况

6 结束语

本文设计通用型芯片级光纤通信接口,支持 AXI4-Stream 总线接口,为海量数据突发传输提供保证,同时在网络模型各层搭建了各层协议模型及通信接口,支持 UDP 协议及 IP 协议格式,并且在物理层支持万兆以太网协议,利用其继承 802.3 的以太网帧格式和 802.3 的帧长度范围的优势使系统具有更强的兼容性. 提供了可编程配置端口,实现了传输层端口号、IP 地址及 MAC 地址的灵活配置,提高了接口通用性,最后通过 SFP+ 芯片进行电光转换,是数据通过光纤进行数据传输,提高抗干扰能力、减缓信号衰减速度. 该光纤通信接口既能实现芯片级高速数据交换,又能作为一种通用化的数据传输接口,能够实现可编程芯片与其他平台上层应用的高速数据通信. 验证结果表明,该可编程光纤通信接口可在保证数据正确性的同时进行数据高速传输,满足芯片与外部设备万兆数据传输要求。

参考文献:

[1] 杨扩军,田书林,蒋俊,等. 基于 TIADC 的 20 GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4): 841-849.

[2] 张晓威,苏淑靖. 基于 FPGA 的高速高精度数据采集系统的设计[J]. 仪表技术与传感器, 2016(1): 70-72.

[3] 陈洋君,吴志勇,崔明,等. 基于 MAX9259/MAX9260 的 CameraLink 图像数据光纤传输技术[J]. 中国光学, 2018, 11(6): 1017-1023.

[4] 王红亮,曹京胜,陈一波. 一种 LVDS-光纤接口转换器的设计与实现[J]. 仪表技术与传感器, 2018, 54(5): 35-38.

[5] 李增,姚源,崔明,等. 基于光纤通道的红外视频数据采集系统[J]. 仪表技术与传感器, 2010, 46(2): 51-53.

[6] 802.3-2015. IEEE Standard for Ethernet. IEEE Standard [R]. 2015. DOI: 10.1109/IEEESTD.2016.7428776.

[7] FORTUNATO, L. A standardized sentinel lymph node enhanced pathology protocol (SEPP) in patients with breast cancer [J]. J Surg Oncol, 2007, 96(6): 470-473.

作者简介:

许川佩 女, (1968-), 博士, 教授, 博士生导师. 研究方向为自动测试总线与系统、虚拟技术及仪器.

刘华颖(通讯作者) 女, (1993-), 硕士研究生. 研究方向为虚拟技术及仪器. E-mail: 363474480@qq.com.