

引用格式:顾家威,孙亚男,何卫锋. 基于多值 RRAM 的高能效非易失性 SRAM 设计[J]. 微电子学与计算机, 2019, 36(9): 21-25. [GU J W, SUN Y N, HE W F. Energy-efficient nonvolatile sram design based on multilevel RRAM[J]. Microelectronics & Computer, 2019, 36(9): 21-25.]

基于多值 RRAM 的高能效非易失性 SRAM 设计

顾家威, 孙亚男, 何卫锋

(上海交通大学 微纳电子学系, 上海 200240)

摘 要: 针对常关即开型应用, 本文利用 RRAM 的多值存储特性, 提出了一种基于多值 RRAM(MLC)的高能效非易失性 SRAM(nvSRAM)单元电路. 通过引入新型的多比特数据备份电路, 本文提出的 MLC-nvSRAM 单元实现了将 2-bit SRAM 数据值同时备份到一个四值 RRAM 中, 明显减小了电路中 RRAM 的器件个数和平均写入电流, 进而有效降低了数据备份能耗. 仿真结果表明, 与传统基于单值 RRAM 的 SLC-nvSRAM 单元相比, 所提出的 MLC-nvSRAM 单元在保持正常 SRAM 高读写性能的基础上, 数据备份能耗和系统盈亏时间的降幅分别高达 76.80% 和 74.01%.

关键词: 非易失性 SRAM; 多值 RRAM; 数据备份能耗; 数据恢复能耗; 盈亏时间

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2019)09-0021-05

Energy-efficient nonvolatile SRAM design based on mltilevel RRAM

GU Jia-wei, SUN Ya-nan, HE Wei-feng

(Department of Micro-Nano Electronics, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: A novel energy-efficient nonvolatile static random access memory(nvSRAM)design utilizing the multi-level cell(MLC)characteristics of resistive RAM(RRAM)cell is proposed for frequent-off and instant-on applications. The multi-bit data store circuitry is designed to enable the storage of every two-bit SRAM data into a single 4-level MLC-RRAM to achieve low store energy with reduced number and suppressed average write current of RRAM devices. Simulation results show that high data access speed is maintained with the proposed MLC-nvSRAM circuit when performing the SRAM operations. As compared to the previously published SLC-nvSRAM cells, the store energy and break-even time of the proposed MLC-nvSRAM cell are reduced by up to 76.80% and 74.01%, respectively.

Key words: nonvolatile SRAM; multilevel RRAM; store energy; restore energy; break-even time

1 引言

静态随机存储(Static Random Access Memory, SRAM)作为片上缓存被广泛应用于数字芯片中,随着半导体器件的特征尺寸不断缩小, SRAM 子系统消耗了整个微处理的很大一部分功耗. 特别

是对于物联网中类似于传感器和便携式设备等常关即开型应用,其芯片长时间处于休眠状态,因此降低片上存储子系统的漏电功耗对提升整体系统能效至关重要. 阻变存储器(Resistive Radom Access Memory, RRAM)是一种极具潜力的非易失性存储器,具有集成度高、存取速度快、与 CMOS 工艺兼容

性好以及多值存储能力等优点. 通过将 RRAM 与 SRAM 单元进行集成, 构成非易失性 SRAM(Non-volatile SRAM, nvSRAM) 电路. 在正常工作模式中, nvSRAM 可以实现传统 SRAM 的高性能读写操作; 而当系统即将进入到长时间的休眠模式前, 利用数据备份操作将 SRAM 的数据写入和备份到 RRAM 中, 并通过系统掉电, 实现零漏电功耗; 在系统被唤醒后, 再通过数据恢复操作将 RRAM 中的备份数据写回并恢复到对应的 SRAM 单元中.

近年来已提出的 nvSRAM 单元^[1-2]均基于单值 (Single-Level Cell, SLC) RRAM 进行并行数据备份和恢复. 在文献[1-2]中, 每个 SLC-nvSRAM 单元均需要将一个 SRAM 单元的互补存储数据同时写入和备份到两个单值 RRAM 中, 并且这两个单值 RRAM 需要同时在高阻和低阻之间达到全摆幅的阻值状态切换. 为此, 文献[1-2]中的 SLC-nvSRAM 阵列不仅需要大量的单值 RRAM 器件进行数据备份, 而且为了达到全电阻摆幅切换, 还导致 RRAM 的写入电流大, 因此存在数据备份能耗大和整体能效低的严重问题.

为了提高电路能效, 本文利用 RRAM 的多值 (Multi-Level Cell, MLC) 存储特性, 提出了基于多值 RRAM 的低功耗 nvSRAM (MLC-nvSRAM) 电路设计技术, 其中每个 MLC-nvSRAM 单元可以实现将 2 bit SRAM 信息同时备份到同一个多值 RRAM 器件中, 不仅有效减小了平均每比特 SRAM 备份时所需要写入的 RRAM 数量, 而且大幅度降低了翻转多值 RRAM 的写入电流. 所提出的 MLC-nvSRAM 电路在保证高性能 SRAM 读写的情况下, 显著降低了电路数据备份能耗和盈亏时间.

2 RRAM 的多值存储特性

本节分别从 RRAM 的基本结构、阻变特性和多值存储特性展开介绍. 如图 1(a)所示, RRAM 是由金属层、绝缘层和金属层 (Metal-Insulator-Metal, MIM) 所组成的三明治结构, 其中导电细丝主要是由金属氧化中氧空穴组成. RRAM 的符号如图 1(b)所示, 其中黑色粗线的一端为负极, 另一端为正极.

RRAM 的阻值变化主要包括置位 (set) 和复位 (reset) 两个过程, 其阻变机制可以通过导电细丝模型来解释^[3]. 对于传统的单值 RRAM 而言, 只有高阻 (代表逻辑“1”) 和低阻 (代表逻辑“0”) 两种阻值状态. 在置位过程中, 在 RRAM 器件的正负极之间施

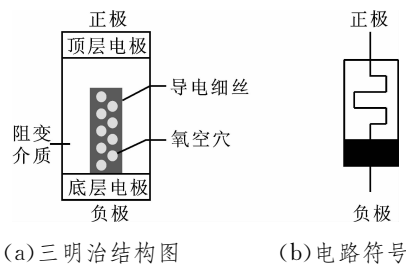


图 1 RRAM 结构和符号示意图

加一个正向置位电压, 导电细丝的长度变长, 其阻值会从高阻变化成低阻. 而在复位过程中, 在 RRAM 两端施加一个反向复位电压, 导电细丝的长度变短, 其阻值会从低阻变化成高阻.

研究表明, 由于导电细丝连续变化, 通过在置位过程中控制流过 RRAM 的限制电流, 可以使 RRAM 置位到不同的阻值状态^[4]. RRAM 的多值存储特性可以通过如图 2 所示的由一个晶体管和 RRAM (1T1R) 串联得到的基本写入电路实现. 通过在源线施加复位电压而位线接地, 多值 RRAM 被初始化成高阻; 再在位线施加置位电压并保持源线接地, 通过控制字线上所施加的不同电压进而调限制电流, 从而将多值 RRAM 置位成不同的阻值.

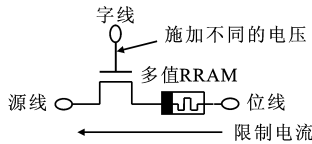


图 2 1T1R 写入电路

本文采用了 4 值 RRAM 来代表 2 bit 逻辑值, 即一个多值 RRAM 器件具有“00”、“01”、“10”和“11”四种阻值状态, 其中“01”和“10”的阻值状态介于传统单值 RRAM 的低阻和高阻之间. 多值 RRAM 相比于单值 RRAM 拥有更高的存储密度, 并且由于其相邻多个阻值状态的切换摆幅减小, 其平均写入电流和写入能耗也随之降低.

3 基于多值 RRAM 的低功耗 nvSRAM 电路设计

图 3 所示为本文所提出的 MLC-nvSRAM 单元, 由高位 6T SRAM 单元、低位 6T SRMA 单元、多比特数据备份电路和参考电路组成, 2 bit SRAM 数据 Q_1 和 Q_2 分别代表了高位数据和低位数据. 数据备份电路是本文的设计核心, 通过数据备份电路, 将“ $Q_1 Q_2$ ”以对应的阻值状态同时备份到一个 4 值 RRAM (R_S) 中. 此外, 通过高位参考电路和低位参

考电路,将存储在 R_s 中的阻值状态分别恢复到 2 bit SRAM 单元中. 其中参考 RRAM(R_{r1} 、 R_{r2} 和 R_{r3}) 提供了三个不同的阻值状态,可以实现对 R_s 的四种阻值状态的区分. 其中这三个参考 RRAM 只需要初

始化一次并在此之后一直保持阻值不变,因此不会引入额外的写能耗. 下文分别对 MLC-nvSRAM 单元的 SRAM 读写模式、数据备份模式和数据恢复模式的工作原理进行描述.

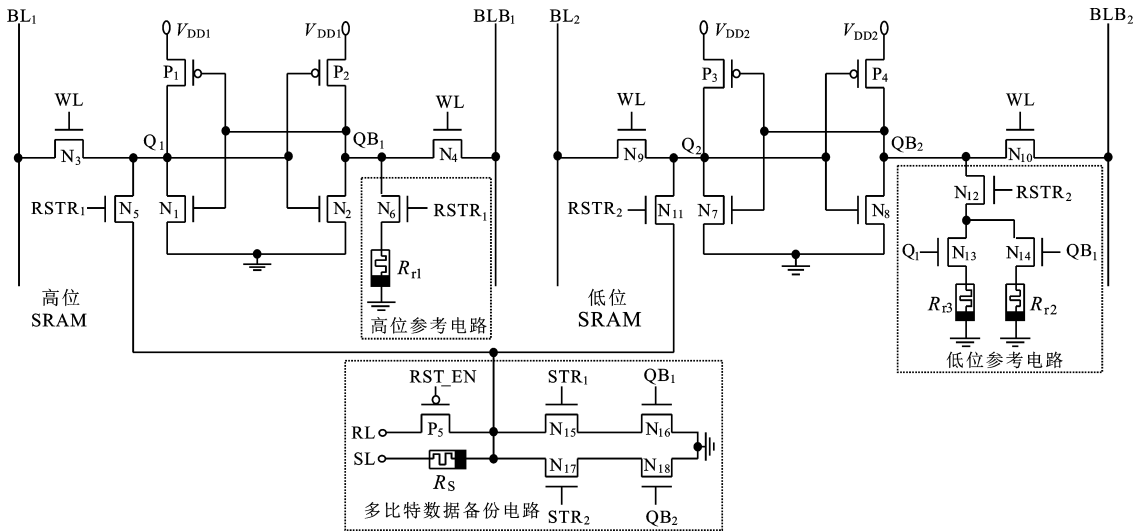


图 3 基于多值 RRAM 的 MLC-nvSRAM 单元

3.1 SRAM 读写模式

在正常的 SRAM 读写模式中,MLC-nvSRAM 单元执行与 6T SRAM 相同的读写操作. SRAM 读写模式中各个信号的情况如表 1 所示,数据备份信号线(STR_1 和 STR_2)接地并且复位使能信号线(RST_EN)置高,数据备份电路因此处于关闭状态. 此外,数据恢复信号线($RSTR_1$ 和 $RSTR_2$)接地,进而关断恢复控制晶体管(N_5 、 N_6 、 N_{11} 和 N_{12}),使得 RRAM 器件和所有的 SRAM 存储节点相隔离. 同时,置位信号线(SL)和复位信号线(RL)都接地,从而减小 MLC-nvSRAM 阵列的漏电流.

表 1 MLC-nvSRAM 电路在不同模式下的信号状态

信号	SRAM 读写模式	数据备份模式		数据恢复模式	
	读写	复位	置位	高位	低位
WL	V_{DD}	0 V	0 V	0 V	0 V
STR_1	0 V	0 V	V_{store_H}	0 V	0 V
STR_2	0 V	0 V	V_{store_L}	0 V	0 V
$RSTR_1$	0 V	0 V	0 V	V_{DD}	0 V
$RSTR_2$	0 V	0 V	0 V	0 V	V_{DD}
SL	0 V	0 V	V_{SET}	0 V	0 V
RL	0 V	$ V_{RESET} $	0 V	0 V	0 V
RST_EN	V_{DD}	0 V	V_{DD}	V_{DD}	V_{DD}

3.2 数据备份模式

在数据备份模式中,在系统掉电前,通过数据备份电路,将 2 bit SRAM 数据值“ $Q_1 Q_2$ ”备份到 4 值

R_s 中. 如表 1 所示,MLC-nvSRAM 单元的数据备份模式分为复位和置位两个阶段.

首先,在复位阶段对 R_s 进行初始化. STR_1 和 STR_2 接地,关断置位控制晶体管 N_{15} 和 N_{17} . RL 偏置到复位电压($|V_{RESET}|$), SL 维持接地状态. RST_EN 置低打开 P_5 ,由于 R_s 正负极两端施加了一个反向复位电压,因此被复位成高阻(R_{11}). 当 R_s 被复位成高阻之后, RST_EN 置高关闭 P_5 ,并且 RL 接地.

随后,在置位阶段, R_s 的阻值根据 2 bit SRAM 数据值进行置位. 如表 1 所示,先将 SL 偏置到置位电压(V_{SET}),再将 STR_1 和 STR_2 分别偏置在高数据备份电压(V_{store_H})和低数据备份电压(V_{store_L}),进而打开 N_{15} 和 N_{17} . 由于 N_{16} 和 N_{18} 的栅极分别由存储节点 QB_1 和 QB_2 控制,因此根据 QB_1 和 QB_2 存储的逻辑状态决定了 N_{16} 和 N_{18} 的打开或关断. 当“ $Q_1 Q_2$ ”为“11”时, QB_1 和 QB_2 都是 0 V, N_{16} 和 N_{18} 都被关断,因此 R_s 维持在高阻(R_{11}). 如果“ $Q_1 Q_2$ ”为“10”, QB_1 为 0 V 而 QB_2 为 V_{DD} , N_{16} 关断而 N_{18} 打开,因此存在一条流过 N_{17} 和 N_{18} 的导通电流路径,使得 R_s 被置位成较低阻值(对应为 R_{10}). 类似地,当“ $Q_1 Q_2$ ”为“01”时, N_{16} 打开而 N_{18} 关断,存在一条流过 N_{15} 和 N_{16} 的导通电流路径,由于所施加的 V_{store_H} 高于 V_{store_L} ,因此流过 N_{15} 和 N_{16} 的电流比流过 N_{17} 和 N_{18} 的电流更大,从而使得 R_s 被置位成更低的阻值(R_{01}). 此外,当“ $Q_1 Q_2$ ”为“00”时,两路路径同时导通($N_{15} \sim N_{18}$ 同时打开), R_s 因此被置位

成最低阻值状态(R_{00}).

3.3 数据恢复模式

在数据恢复模式中,存储在 R_S 中的 2 bit SRAM 数据值被依次恢复到高位和低位 SRAM 的存储节点 Q_1 和 Q_2 中. MLC-nvSRAM 单元的数据恢复模式分为高位恢复和低位恢复阶段.

如表 1 所示,在高位恢复阶段中, $RSTR_1$ 置高, N_5 和 N_6 被打开. 随着 V_{DD1} 的上电, Q_1 和 QB_1 开始分别通过 P_1 和 P_2 进行充电,并分别经过 N_5/R_S 和 N_6/R_{r1} 进行放电. 根据 R_S 和 R_{r1} 阻值的不同, Q_1 和 QB_1 对应的放电速度也不同,进而形成电压差. 如果 R_S 的阻值比 R_{r1} 小,则通过 N_5 和 R_S 的电流大于通过 N_6 和 R_{r1} 的电流,因此 QB_1 电压的上升速度比 Q_1 快,即在 Q_1 和 QB_1 之间建立了一个负的电压差. 当 QB_1 节点电压超过了 N_1 阈值电压后, N_1 被打开, Q_1 进一步通过 N_1 进行放电,通过由 P_1 、 P_2 、 N_1 和 N_2 组成的交叉耦合反相器的正反馈, Q_1 和 QB_1 的电压被放大并分别接近于 0 V 和 V_{DD} . 当 Q_1 和 QB_1 的电压稳定后, $RSTR_1$ 偏置在 0 V,从而 Q_1 和 QB_1 上的电压进一步被放大到全电压摆幅. 类似地,当 R_S 的阻值大于 R_{r1} 时, Q_1 和 QB_1 在高位恢复阶段被分别恢复到 V_{DD} 和 0 V.

在进入到低位恢复阶段时, $RSTR_2$ 转变成高电平, N_{11} 与 N_{12} 处于导通状态. 根据在上一个高位恢复阶段中 Q_1 和 QB_1 所恢复的逻辑状态, N_{13} 或者 N_{14} 打开. 若 Q_1 被恢复成逻辑状态“1”,那么 N_{13} 打开,对应的 R_{r3} 会被选择作为参考阻值和 R_S 进行对比;若 QB_1 被恢复成逻辑状态“1”,那么 N_{12} 打开, R_{r2} 作为参考阻值和 R_S 进行比较. 和高位恢复阶段类似,随着 V_{DD2} 的上电, Q_2 和 QB_2 的逻辑状态恢复与 R_S 和参考 RRAM(R_{r3} 或 R_{r2}) 的阻值大小相关. 若 R_S 的阻值低于 R_{r3} 或 R_{r2} ,则 Q_2 的放电速度快于 QB_2 的放电速度, Q_2 和 QB_2 最终被分别恢复到逻辑电平“0”和“1”;另外,若 R_S 的阻值高于 R_{r3} 或 R_{r2} ,则 Q_2 和 QB_2 被分别恢复到逻辑电平“1”和“0”.

3.4 多值 R_S 的阻值优化

在考虑 RRAM 阻值扰动的情況下, R_S 的多值分布会影响 MLC-RRAM 数据恢复率^[5],通过优化中间阻值的大小可以保证 MLC-nvSRAM 单元数据的正确恢复. 根据文献[5]所述,多值 RRAM 电导的线性分布可以实现读出裕度最大化,因此可以提高数据恢复率. 此外,根据第 3.2 节介绍的数据备份模式,被置位成最低阻值 R_{00} 时所对应的路径电流是被分别置位成 R_{01} 和 R_{10} 的路径电流之和. 同时,

鉴于 RRAM 电导和流经的限制电流成线性关系^[6],因此本文在假设最低阻值(R_{00})为 50 k Ω 和最高阻值(R_{11})为 1 M Ω ^[7]的情况下,优化后的 R_{01} 和 R_{10} 分别等于 77 k Ω 和 143 k Ω .

4 仿真结果与分析

为了评估本文提出的 MLC-nvSRAM 单元和已有的传统 SLC-nvSRAM 单元结构,本文基于 TSMC 65 nm 工艺和 Verilog-A RRAM 模型^[8],对 SRAM 读写性能、数据备份和恢复能耗进行仿真分析. 其中,仿真温度为 25 $^{\circ}$ C,电源电压为 1.2 V, RRAM 器件的 V_{SET} 和 V_{RESET} 分别为 1 V 和 -1.4 V,所有 MOS 管均设为最小尺寸,参考阻值 R_{r1} 、 R_{r2} 和 R_{r3} 分别为 100 k Ω 、62 k Ω 和 345 k Ω .

4.1 SRAM 读写性能

nvSRAM 处于正常 SRAM 读写模式下的仿真数据如表 2 所列,其中 MLC-nvSRAM 单元具有与文献[1-2]相同的读噪声容限;同时由于作为读写操作的 6 管 SRAM 尺寸相同,MLC-nvSRAM 电路还提供与文献[1]类似的写裕量、读延时和读/写能耗. 文献[2]由于增加了额外的写路径,因此比文献[1]和本文具有更高的写裕量和更小的写延时;但同时由于其位线寄生电容的增大,文献[2]的读延时和读/写能耗也都显著高出文献[1]和本文的 MLC-nvSRAM. 由于本文 MLC-nvSRAM 的数据备份电路和参考电路增加了 SRAM 单元中存储节点的寄生电容,因此比文献[1]具有更长的写延时. 由于写延时仍远小于读延时,MLC-nvSRAM 电路较慢的写操作因而并不会降低电路时钟频率. 因此,本文提出的 MLC-nvSRAM 电路保证了 SRAM 工作模式下的高性能读写操作.

4.2 数据备份和恢复性能

在数据备份模式中,文献[1-2]中的 SLC-nvSRAM 单元中每个 SRAM 单元均采用了两个单值 RRAM 进行数据备份,相比而言,本文提出的 MLC-nvSRAM 单元中每两个 SRAM 单元仅需一个多值 RRAM 进行数据备份,因此显著减小了每次数据备份所需写入的 RRAM 个数. 此外,为了达到电阻全摆幅,SLC RRAM 在高阻值和低阻值来回切换时所需要的写入电流大,从而消耗的写入能量大. 相对而言,MLC RRAM 在状态切换时的平均阻值摆幅低. 因此,MLC-nvSRAM 单元的数据备份能耗相比于文献[1-2]中的 SLC-nvSRAM 单元分别降低了 74.56% 和 76.80%.

表 2 不同 nvSRAM 电路的 SRAM 读写性能和数据备份和恢复能耗

设计指标	文献[1]	文献[2]	本文
读噪声容限/mV	170.90	170.90	170.90
写裕量/mV	397.90	431.80	397.90
读延时/ps	260.50	310.30	261.90
写延时/ps	21.95	18.63	26.04
读能耗/pJ	0.95	1.27	0.95
写能耗/pJ	1.65	2.85	1.66
数据备份能耗/pJ	1.14	1.25	0.29
数据恢复能耗/fJ	11.74	22.12	40.09
总备份和恢复能耗/pJ	1.15	1.27	0.33
盈亏时间/ms	156.46	172.79	44.90

在数据恢复模式中,MLC-nvSRAM 高位及低位参考电路中的参考阻值($R_{r1} \sim R_{r3}$)均小于 SLC-nvSRAM 中的高阻阻值(R_{H1}),从而使得高位及低位参考电路的导通电流更大. MLC-nvSRAM 单元的数据恢复能耗因此相比于文献[1-2]分别增加了 2.41 倍和 81.24%. 然而,如表 2 所列,文献[1-2]及本文 MLC-nvSRAM 单元的数据恢复能耗均远小于对应的数据备份能耗. 盈亏时间可用于表征系统总体能效,其定义为系统由于断电带来的漏电能耗降低并能够补偿数据备份及恢复总能耗损失的最短断电时间^[2]. 如表 2 所列,MLC-nvSRAM 单元的盈亏时间相比于文献[1-2]分别降低了 71.30% 和 74.01%. 因此,本文提出的 MLC-nvSRAM 单元显著提升了电路总体能效.

5 结束语

本文利用 RRAM 的多值存储特性,提出了新型的基于多值 RRAM 器件的 nvSRAM 单元电路,设计了多比特数据备份电路和高低位参考电路,在 MLC-nvSRAM 单元中将每两位 SRAM 存储值同时备份到同一个四值 RRAM 中,显著降低了数据备份能耗,并有效提升了电路总体能效. 仿真数据表明,本文提出的 MLC-nvSRAM 电路不仅可以保证正常 SRAM 工作模式下的高性能读写操作,而且其数据备份能耗和盈亏时间相比于文献[1-2]的降幅分别高达 76.80%和 74.01%.

参考文献:

[1] YAMAMOTO S, SHUTO Y, SUGAHARA S. Non-volatile SRAM(NV-SRAM)using functional MOSFET merged with resistive switching devices[C]// Custom Integrated Circuits Conference. Rome, Italy, 2009: 531-534.

[2] CHIU P F, CHANG M F, WU C W, et al. Low store energy, low vddmin, 8T2R nonvolatile latch and SRAM with vertical-stacked resistive memory(memristor) devices for low power mobile applications [J]. IEEE Journal of Solid-State Circuits, 2012, 47(6): 1483-1496.

[3] WONG H S P, LEE H Y, YU S, et al. Metal-oxide RRAM[J]. the IEEE, 2012, 100(6): 1951-1970.

[4] LEE H Y, CHEN P S, WU T Y, et al. Low power and high speed bipolar switching with a thin reactive Ti buffer layer in robust HfO2 based RRAM[C]// International Electron Devices Meeting. San Francisco, CA, USA, 2008: 1-4.

[5] AMBROGIO S, BALATTI S, CUBETA A, et al. Understanding switching variability and random telegraph noise in resistive RAM[C]// International Electron Devices Meeting. Washington, DC, USA, 2013: 782-785.

[6] XU C, NIU D, MURALIMANO HAR N, et al. Understanding the trade-offs in multi-level cell ReRAM memory design[C]// Design Automation Conference. Austin, TX, USA, 2013: 1-6.

[7] KIM Y B, LEE S R, LEE D, et al. Bi-layered RRAM with unlimited endurance and extremely uniform switching[C]// Symposium on VLSI Technology. Honolulu, HI, USA, 2011: 52-53.

[8] CHEN P Y, YU S. Compact modeling of RRAM devices and its applications in 1T1R and 1S1R array design[J]. IEEE Transactions on Electron Devices, 2015, 62(12): 4022-4028.

作者简介:

顾家威 男,(1994-),硕士研究生. 研究方向为数字电路设计与实现. E-mail:gujiaweia@sytu.edu.cn.

孙亚男 女,(1987-),博士,讲师. 研究方向为基于新型纳米器件技术的 VLSI 电路设计.

何卫锋 男,(1976-),博士,副研究员. 研究方向为超低功耗集成电路技术.