

引用格式: 马畅, 王亚飞. 利用叉指电容减小微带线间串扰[J]. 微电子学与计算机, 2019, 36(7): 32-35. [MA C, WANG Y F. Using interdigital capacitance to reduce crosstalk between microstrip lines[J]. Microelectronics & Computer, 2019, 36(7): 32-35.]

利用叉指电容减小微带线间串扰

马 畅, 王亚飞

(北京信息科技大学 信息与通信工程学院, 北京 100101)

摘 要: 针对目前减小 PCB 板上微带线间串扰的方法效果有限的问题, 提出一种利用叉指电容来减小微带线间串扰的方法. 该方法在微带线两端对称加入叉指电容进行电容补偿来平衡不相等的容性耦合和感性耦合进而实现串扰减小. 并先后用电磁仿真软件 (HFSS) 和矢量网络分析仪对远端串扰和插入损耗进行仿真和实际测量, 结果表明: 仿真和实测吻合良好, 加入叉指电容可以使远端串扰减小 9 dB 以上, 且制作成本较低, 易于实现.

关键词: 串扰; 叉指电容; 微带线; PCB

中图分类号: TN702

文献标识码: A

文章编号: 1000-7180(2019)07-0032-04

Using interdigital capacitance to reduce crosstalk between microstrip lines

MA Chang, WANG Ya-fei

(School of Information and Communication Engineering, Beijing Information Science and
Technology University, Beijing 100101, China)

Abstract: In view of the limited effect of current methods to reduce the crosstalk of microstrip lines on PCB board, a method to reduce the crosstalk of microstrip lines using interdigital capacitance is proposed. In this method, an interdigital capacitor is added symmetrically to the two ends of the microstrip line to compensate the capacitance to balance the unequal coupling capacitance and inductance, thereby reducing the crosstalk. The simulation and actual measurement of remote crosstalk and insertion loss are carried out by using electromagnetic simulation software (HFSS) and vector network analyzer. The results show that the simulation and measurement are in good agreement. The addition of interdigital capacitor can reduce the remote crosstalk by more than 9 dB, and the production cost is low and easy to realize.

Key words: crosstalk; interdigital capacitance; microstrip line; PCB

1 引言

串扰是高密度集成电路设计中的重要问题之一, 尤其是在高频范围内, 串扰超出一定的数值会影响传输信号的完整性. 近年来, 集成电路技术不断进步, 客户以及应用环境的要求也越来越高, 在外观上, 要求物理尺寸更小, 这就使得电路板上传输线的布线越来越密集. 而对性能的高要求使得集成电路

的工作频率也越来越高, 引脚越来越多, 这些改变更容易引起串扰, 影响信号的完整性, 解决串扰问题显得尤为重要.

近年来, 许多学者对传输线的串扰问题进行了深入研究, 文献[1-2]分析了两根任意方向的有限长传输线间的串扰. 文献[3]研究了多条有限长传输线间的串扰, 并分析了平行等长传输线间的串扰特性. 此外, 对于某些互连截面, 在文献[4]中提出了一种

采用模态传播延迟均衡或电容耦合和电感耦合的方法来测量远端串扰。目前为止,比较常见的减小串扰的方法主要是通过改变传输线间的距离^[5],或者使用短路过孔的防护布线^[6-7]来减小串扰,但这类方法效果有限,且过孔和防护布线容易引起二次串扰。此外,还有采用蛇形布线来减小相邻传输线间的远端串扰^[8],但此方法牺牲布线空间较大。文献[9]将传输线分成几段,布线成阶梯型结构,通过改变每段传输线的线宽来影响互容和互感,达到减小串扰的目的。文献[10]在文献[9]的基础上改进,加入矩形槽来减小耦合,使减小串扰的效果更佳。

本文在文献[9-10]的基础上进一步优化,提出了一种在传输线两端插入叉指电容减小远端串扰的方法,该结构在不增加传输线间距离的情况下,在两条平行传输线间的两端对称插入相同数量尺寸的叉指电容来减小串扰。为验证文中方法的有效性,用 HFSS 软件进行了仿真验证,与未加叉指电容的微带线进行了比较,并用矢量网络分析仪进行实际测量验证。

2 理论分析

串扰形成的根本原因在于电磁耦合。信号在传输线上传输时,会通过电磁耦合将信号的一部分能量传到相邻传输线上,从而形成噪声^[11-12]。印刷电路板上任意平面的两条传输线之间都有可能产生串扰,且受干扰线上同时存在磁场耦合所产生的容性串扰和电场耦合所产生的感性串扰。容性耦合是源于信号在干扰线上传输时引起的电压变化在受扰线上产生感应电流,从而导致的电磁干扰。感性耦合是源于信号在干扰线上传输时引起的电流变化在受扰线上产生感应电压,从而导致的电磁干扰^[13]。图 1 描述了两种耦合电流的产生和传播方向。

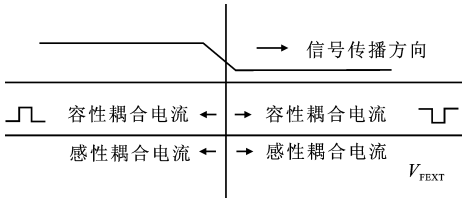


图 1 两种耦合电流产生和流动方向

如图 1 所示,信号向前传输过程中,信号的边沿可以看成移动的电流源,它将在边沿附近产生耦合电流,随着前沿向前移动,会不断的耦合出电流,其中百分之 50 的耦合电流会随干扰线上的信号同向同速的流入远端,当信号到达末端时,远端串扰信号也同时到达末端。

根据文献[14]远端串扰可表示为

$$V_{\text{FEXT}} = \frac{1}{2}l(Z_0 C_m - \frac{L_m}{Z_0}) \frac{dv(t)}{dt} \quad (1)$$

式中, $v(t)$ 为干扰线上激励信号; Z_0 为传输线的特性阻抗; C_m 为单位长度传输线间的耦合电容; L_m 为单位长度传输线间的耦合电感; t 为时间。

PCB 板上的微带线是典型的非均匀电介质传输线,容性耦合通常低于感性耦合,这使得

$$Z_0 C_m \neq \frac{L_m}{Z_0} \quad (2)$$

在不改变传输线参数的情况下,在两条传输线之间插入叉指电容,通过电容补偿,使得

$$Z_0 C_m = \frac{L_m}{Z_0} \quad (3)$$

即

$$V_{\text{FEXT}} = 0 \quad (4)$$

满足式(4) 即可实现串扰减小,插入叉指电容后的电路和结构模型如图 2 所示。

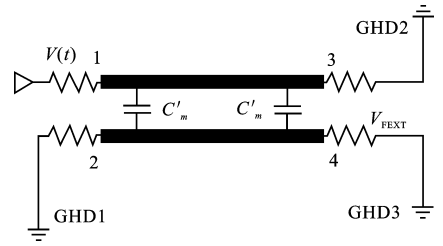


图 2 电路设计模型

假设传输线两端插入的叉指电容为 C'_m , 则

$$Z_0 (C_m + 2C'_m) - \frac{L_m}{Z_0} = 0 \quad (5)$$

C'_m 的值根据式(6) 来确定。

$$C'_m = \frac{L_m}{Z_0^2} - C_m \quad (6)$$

式中, Z_0 、 C_m 、 L_m 可根据文献[15-17] 中的公式得到。

$$Z_0 = \frac{87\Omega}{\sqrt{1.41 + \epsilon_r}} \ln \frac{59.8h}{0.8w + t} \quad (7)$$

$$C_m = \epsilon [0.03 \frac{w}{h} + 0.83 \frac{t}{h} - 0.07(\frac{t}{h})^{0.222}] \cdot (\frac{s}{h})^{-1.34} \quad (8)$$

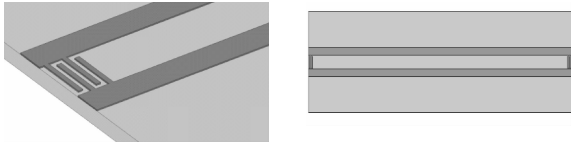
$$L_m = \frac{\mu}{2\pi} \ln(\frac{4h}{t} + 1) [1 + (\frac{s+w}{h})^2]^{-1} \quad (9)$$

式中, h 为微带线介质基片的厚度; w 为微带线宽度; t 为微带线厚度; ϵ 为微带线介质基片的介电常数; ϵ_1 为微带线介质基片的相对介电常数; μ 为微带线介质基片的磁导率; s 为两条微带线间距离。

再根据 C_m 的值来确定叉指电容的结构,进而获得叉指电容的尺寸。

3 仿真与实验结果分析

根据上述理论分析,在微带线两端对称插入同等数量,相同大小,厚度的叉指电容. 叉指结构尺寸先在 ADS 软件库中进行仿真,得到粗略的结果,然后将该结果代入到 HFSS 软件中仿真,得到精确尺寸. HFSS 仿真的结构模型如图 3(a),图 3(b)所示. 具体参数如下:传输线长 $l=100\text{ mm}$,微带线宽 $w=1\text{ mm}$,两条微带线间距 $s=2\text{ mm}$,叉指电容长度 $r=1.8\text{ mm}$,叉指电容宽 $x=0.2\text{ mm}$,叉指电容间隔 $d=0.2\text{ mm}$,微带线厚度 $t=60\text{ }\mu\text{m}$,介质板厚度 $h=0.6\text{ mm}$. 叉指数为两端各四个,每一端上下各两个. 介质板材为 FR4,微带线材质为铜,微带线的特性阻抗约为 50. 利用 HFSS 设置辐射边界条件,并在端口处加激励进行仿真.



(a)HFSS 仿真局部结构模型 (b)HFSS 仿真整体结构模型

图 3 HFSS 叉指结构仿真结构模型

HFSS 仿真结果如图 4 和图 5 所示. 从图 4 中可以看出在 1~4 GHz 范围内,加入叉指电容结构的传输线的远端串扰比未使用叉指电容结构的传输线的远端串扰减小了 9 dB 以上.

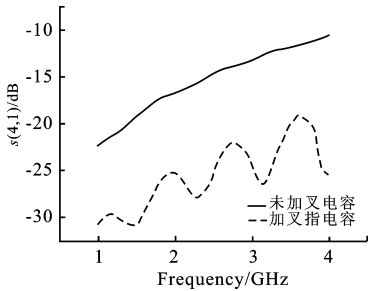


图 4 使用叉指电容前后远端串扰的仿真结果对比

同时,在相同的条件下,对比插入叉指电容前后插入损耗的变化,结果如图 5 所示,可以看出加入叉指电容结构的传输线的插入损耗,与未加入叉指电容结构的传输线的插入损耗相比,波动浮动略大,但整体数值走向未有明显变化.

为了进一步验证结果的准确性,按照 HFSS 仿真模型及仿真参数制作了 PCB 电路板.

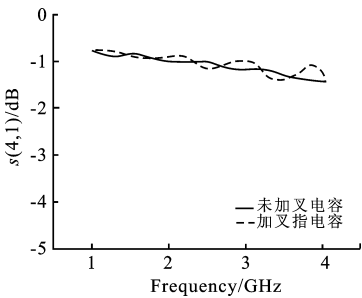
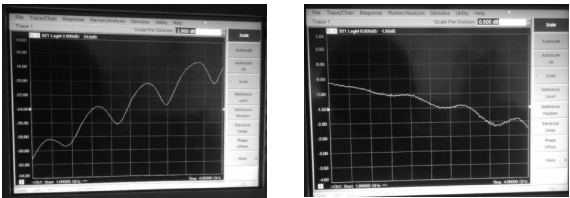


图 5 使用叉指电容前后插入损耗的仿真结果对比

用矢量网络分析仪进行了 S 参数测试并与 HFSS 软件仿真结果进行对比,远端串扰和插入损耗的实测结果如图 6 所示.



(a)加叉指电容结构的远端串扰实际测量结果 (b)加叉指电容结构的插入损耗实际测量结果

图 6 矢量网络分析仪测量结果

将实际测量的远端串扰结果与 HFSS 仿真结果作对比,如图 7 所示. 图中点线为加叉指电容的微带线实际测量结果,可以看出实际测得的远端串扰与仿真所得远端串扰结果相近,且波动幅度较小,比未加叉指电容的微带线的远端串扰减小了 9 dB 以上.

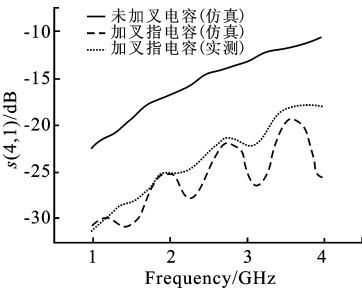


图 7 使用叉指电容前后远端串扰仿真与实际测量结果对比

同时,将实际测量的插入损耗结果与 HFSS 仿真结果作对比,如图 8 所示. 图 8 中点线为加叉指电容的微带线实际测量结果. 从图中可以看出实际测得的插入损耗与仿真所得插入损耗有些许误差,但整体走向一致,且误差较小. 误差存在主要是由于电路板制作的精度以及叉指电容结构在高频时容易寄生电感. 可以通过选择较小封装的电容来降低寄生电感,从而使得实际测量结果更加准确.

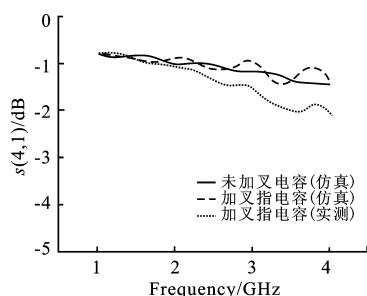


图8 使用叉指电容前后插入损耗仿真与实际测量结果对比

4 结束语

本文提出了一种在传输线两端插入叉指电容来减小远端串扰的方法. 该方法通过在传输线两端加入对称,数量相等的叉指电容进行电容补偿来平衡电路中容性耦合和感性耦合的不相等,从而减小串扰. 在 HFSS 软件模拟和矢量网络分析仪实际测量的双重验证下,展示了较好的结果,使得远端串扰减小 9 dB 以上,且对于插入损耗影响较小. 与文献[9-10]相比,串扰减小效果更佳,且此叉指结构较文献[9-10]中的传输线结构更简单,易于制作,更容易拓展到一般电路中使用. 但如何最大限度的发挥叉指结构对串扰减小的作用还需深入研究.

参考文献:

- [1] KAMI Y, SATO R. Crosstalk of finite length transmission lines in arbitrary directions on the same ground [C] // International Symposium on Electromagnetic Compatibility, 1992;247-250.
- [2] PONCHAK G E, CHUN DONGHOON. Experimental verification of the use of metal filled via hole fences for crosstalk control of microstrip lines in LTCC packages [J]. IEEE Transactions on Advanced Packaging, 2001, 24(1):76-80.
- [3] KAMI Y, SATO R. Analysis of radiation characteristics of a finite-length transmission line using a circuit-concept approach [J]. IEEE transactions on Electromagnetic Compatibility, 1988,30(2):114-121.
- [4] GAZIZOV T R. Far-end crosstalk reduction in double-layered dielectric interconnects[J]. IEEE transactions on Electromagnetic Compatibility, 2001, 43 (4): 566-572.
- [5] FELIX D, MBAIRI W, PETER S, et al. High frequency transmission lines crosstalk reduction using spacing rules[J]. IEEE Transactions on Components and Packaging Technologies,2008, 31(3):601-610.
- [6] LOUBNA T, NABIH E O. Minimizing crosstalk on printed circuit board using non uniform guard traces [C]//Proceedings of 2016International Conference on

Information Technology for Organizations Development. Fez, Morocco: IEEE,2016;1-4.

- [7] SHIUE G H, ZHANG Z H, YE H C L, et al. Analysis and reduction of coupling noise in coupled striplines with inserted guard trace with different trace spacings [J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2013, 8 (3): 1372-1383.
- [8] LEE K, LEE H B, JUNG H K, et al. A serpentine guard trace to reduce the far-end crosstalk voltage and the crosstalk induced timing jitter of parallel microstrip lines[J]. IEEE Transactions on Advanced Packaging, 2008, 31(4):809-817.
- [9] MALLAHZADEH A R, GHASEMI A H, AKHLAGHI S, et al. Crosstalk reduction using step shapedtransmission line[J]. Progress In Electromagnetics Research,2010(12): 139-148.
- [10] SABA F, VIBHA R G. Far end crosstalk reduction in two near by transmission lines[C]//2012 1st International Conference on Recent Advances in Information Technology (RAIT). Dhanbad, India: IEEE, 2012: 224-227.
- [11] 于峥. 信号完整性揭秘[M]. 北京:机械工业出版社, 2013;142-149.
- [12] 王晓静,叶明,马燕. 平行互联线间串扰问题的研究[J]. 电子测量技术,2015,38(1):1-6.
- [13] YOUNG B. Digital signal integrity: modeling and simulation with interconnects and packages[M]. Prentice Hall PTR, 2001;55-103.
- [14] 王亚飞,陈迎潮,杨曙辉. 利用微分电路减小 PCB 上串扰的方法[J]. 华南理工大学学报(自然科学版),2012, 40(8):20-25.
- [15] JOHNSON H, GRAHAM M. 高速数字设计 [M]. 沈立,朱来文,陈宏伟,等,译. 北京:电子工业出版社, 2010;322-323.
- [16] DELORME N, BELLEVILLE M, CHILO J. Inductanceand capacitance analytic formulas for VLSI Interconnects [J]. Electronics Letters, 1996, 32 (11): 996-997.
- [17] PAMUNUWA D, ZHENG L R, TENHUNEN H. Maximiz-ing throughput over parallel wire structures in the deep submicrometer regime [J]. IEEE Transactions on Very Large Scale Integration System,2003,11 (2):224-243.

作者简介:

马畅女,(1993-),硕士研究生. 研究方向为信号完整性. E-mail:machang411@163.com.

王亚飞男,(1981-),博士,副教授,高级实验师,硕士生导师. 研究方向为信号完整性、微波通信.