

引用格式:张晓波,许东升,戴澜,等.一种高性能 ESD 电源钳位电路设计[J].微电子学与计算机,2019,36(11):65-69.
[ZHANG X BO, XU D S, DAI L, et al. Design of a high performance ESD power clamp circuit [J]. Microelectronics & Computer, 2019, 36(11): 65-69]

一种高性能 ESD 电源钳位电路设计

张晓波¹,许东升^{1,2},戴澜¹,蔡小五²,彭锐²,汤红菊²

(1 北方工业大学 电子信息工程学院,北京 100144;2 中国科学院 微电子研究所,北京 100029)

摘 要: 本文提出了一种新型的 ESD 电源钳位电路,该电路采用反馈结构延长了电路在 ESD 事件来临时的开启时间,并且增强了电路的鲁棒性,避免电路在正常供电过程中发生误触发现象. 和传统结构相比,检测电路中电容只有 20 fF,节省了版图面积. 仿真结果表明,ESD 来临时,BIGFET 开启时间能达 1 μ s,在 5V/1 μ s 高速电源电压上电时,BIGFET 未发生误开启,因此本文设计的 ESD 电源钳位电路可以被广泛应用在各种高速电路中.

关键词: ESD; 电源钳位; 反馈; 误触发

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2019)11-0065-05

Design of a high performance ESD power clamp circuit

ZHANG Xiao-bo¹, XU Dong-sheng^{1,2}, DAI Lan¹, CAI Xiao-wu²,
PENG Rui², TANG Hong-ju²

(1 Electronic and Information Engineering College, North China University of Technology,
Beijing 100144, China; 2 Institute of Microelectronics of Chinese
Academy of Sciences, Beijing 100029, China)

Abstract: A novel ESD power clamp circuit is proposed in this paper. A feedback structure is used to extend turn-on time of the circuit under ESD event, and enhance the robustness of the circuit to avoid false triggering during normal power supply. Compared with the traditional structure, the capacitance in the detection circuit is only 20fF, which saves the layout area. The simulation results show that the turn-on time of BIGFET can reach 1 μ s when ESD is coming. When the 5V/1 μ s high-speed power supply voltage is powered on, the BIGFET does not turn on accidentally. Therefore, the ESD power clamp circuit designed in this paper can be widely used in various high-speed circuits.

Key words: ESD; power clamp; feedback; false triggering

1 引言

随着 CMOS 工艺尺寸的减小, MOS 管栅氧化层的厚度也越来越薄, CMOS 工艺电路的安全性问题引起了广泛的关注. 由调查研究表明, 大约 70% 的集成电路失效性问题是 由 ESD(静电放电) 和 EOS(过电应力)造成的^[1]. 虽然在实际应用中, 对内

部电路会进行全芯片 ESD 保护, 但仍然会有 ESD 事件发生, 损坏内部电路. 因此研究设计性能更高的 ESD 保护电路成为一种时代需求.

对内部电路的全芯片 ESD 保护主要分为两部分, 如图 1 所示: 对 I/O 接口的 ESD 保护和 VDD 与 VSS 之间的 ESD 保护^[2-4]. 其中 I/O 接口的 ESD 保护主要由二极管、三极管、MOS 管和 SCR 等器件实

现;对 VDD 和 VSS 之间的 ESD 保护主要由电源钳位电路完成. ESD 电源钳位电路是串联在 VDD 和 VSS 之间的电路结构,当 ESD 来临时,钳位电路中的 BIGFET(释放 ESD 电流的大尺寸器件)导通,在 VDD 和 VSS 之间形成泄放电流的路径,释放 ESD 电流,保护内部电路结构免受 ESD 的损坏.但是钳位电路在正常供电时,需要彻底的关闭,不能影响内部电路的正常工作.所以对 ESD 钳位电路的设计需要重点考虑这两方面的影响.同时随着电路适用范围的增加,还需要保证在中高速电路的应用中,ESD 保护结构仍能起到良好的保护功能.

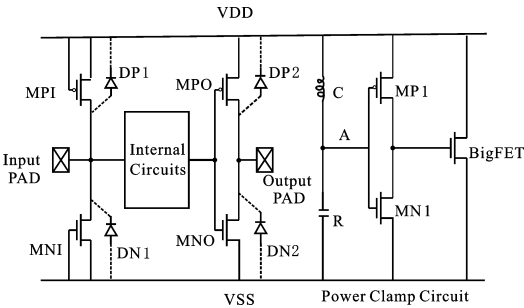


图 1 电路中 ESD 保护电路的结构

本文提出的 ESD 电源钳位电路,在 ESD 来临时能够有效开启电路,开启时间长达 $1\ \mu\text{s}$,充分释放 ESD 电流.引入的反馈结构在正常供电时,将钳位结构彻底关闭,避免误触发现象的发生.电路设计采用的是 $0.18\ \mu\text{m}$ SOI BCD 工艺,所有仿真工作在 Cadence Spectre 中进行.

2 ESD 电源钳位电路的工作原理

传统的 ESD 电源钳位电路由三部分组成:检测电路、延迟电路和钳位器件,结构如图 1 所示^[5-6].传统结构中由 RC 网络和反相器链组成检测电路和延迟电路.ESD 发生时,信号上升时间为 ps 到 ns 量级,正常供电电压的上升时间在 ms 量级^[7-8].当 ESD 来临时,由于电容的耦合效应,A 点电位为低,经过反相器链后,BIGFET 栅极电位为高,将 BIGFET 开启,泄放 ESD 电流,保护内部电路;在电源电压正常供电时,由于耦合作用使 A 点电位为高,BIGFET 栅极电位为低,将 BIGFET 关闭.

为保证 BIGFET 在 ESD 发生时的开启时间足够长,更充分的释放 ESD 电流,在设计时,RC 时间常数通常为 $0.1\ \mu\text{s}\sim 1\ \mu\text{s}$ ^[9].如此大的时间常数,一般需要 pF 的电容和 kΩ 的电阻来实现,这将占用很大的版图面积,增加设计成本.所以在改进的电路中

需要对检测电路进行优化,减小 RC 时间常数.另外,为了保持电路的可靠性,还需要在正常供电时,保证 ESD 电源钳位电路彻底关闭.因为 BIGFET 是大尺寸器件,等效电阻很小,且串接在 VDD 和 VSS 之间,如果在正常供电时发生误开启,内部电路将会短路,影响整体电路的正常工作.

基于上面的分析,在进行 ESD 电源钳位电路设计时,需要使得在 ESD 来临时电路有效开启,并且 BIGFET 保持足够长的导通时间,充分泄放 ESD 电流;在正常供电时,电路彻底关闭,在中高速电路应用中,还需要提高电路的可靠性,减小误开启因素的干扰.

3 新型 ESD 电源钳位电路的设计

3.1 检测电路设计

由于传统电源钳位电路存在一定的缺点,所以需要对传统结构进行改进.本文改进后的电路结构如图 2 所示.

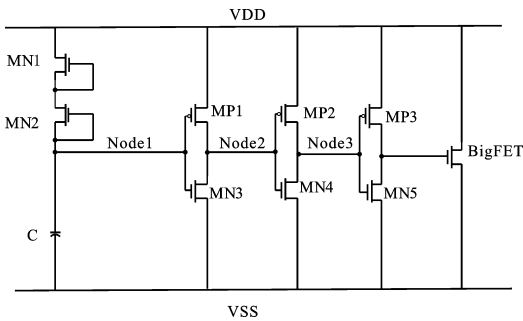
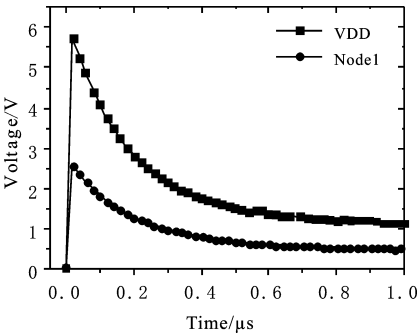


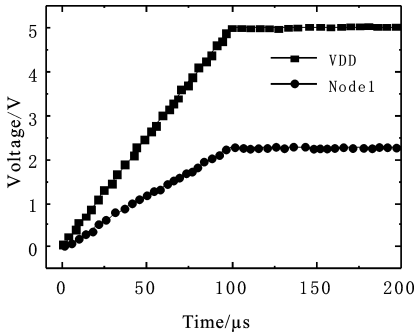
图 2 改进检测电路的 ESD 电源钳位电路

图 2 中,使用二极管接法的 MOS 管代替传统结构中的电阻.由于 MN1、MN2 的 V_{gs} 为 0,MOS-FET 不导通,漏源端等效电阻很大,此时一个小容值的电容就可以实现 $0.1\ \mu\text{s}$ 以上的 RC 时间常数值的功能.但较小的电容对电路中可能存在的干扰因素也更加敏感,当电路工作在不同的应用场景时,ESD 钳位电路就可能会发生误触发现象.

在 ESD 和正常供电时,Node1 点电位如图 3 所示.由于检测电路中电容值较小,导致检测电路在工作时的性能受到影响.经过上面的分析,在 ESD 来临时,需要 Node1 的电位接近 VSS,经过反相器链后更有效的开启 BIGFET,但由图 3(a)中可看出,Node1 的电位并没有达到理想值;在正常供电时,需要 Node1 点电位为高,跟随 VDD,由图 3(b),Node1 点电位也未达到要求.因此还需要对电路进一步优化.



(a)ESD 来临时,VDD 和 Node1 的电位



(b)正常供电时,VDD 和 Node1 的电位

图3 ESD 来临和正常供电时,VDD 和 Node1 的电位

3.2 优化的 ESD 电源钳位电路

文中提出的检测电路在运用时存在缺陷,所以在此基础上,对原电路进行了优化.图4中为本文所提出的新型 ESD 电源钳位电路,在电路增加两路反馈结构:MP1 和 MN3.它们的栅极都与 BIGFET 的栅极相连.在 ESD 来临时,由于检测电路和反相器链的作用,使得 BIGFET 的栅极电位升高,开启 MN3,则 Node1 电位被拉低至 VSS,经过两级反相器后,Node3 电位接近 VSS, MP4 被完全开启,进而 BIGFET 栅极电位被拉高至 VDD,更好的实现了其栅极电位的钳位延迟功能,将 BIGFET 导通,有效的释放 ESD 电流;在正常供电时,BIGFET 栅极电位为低,将 MP1 开启,Node1 电位被拉高至 VDD,经过两级反相器后,Node3 电位接近 VDD, MP4 被彻底关闭, MN6 导通, BIGFET 栅极电位被拉低至 VSS,将 BIGFET 关闭,使得钳位电路在正常供电时不工作,增加了保护电路的稳定性.

加入反馈结构后,Node1 电位在 ESD 和正常供电时的电位变化如图5所示:在 ESD 来临时,Node1 点电位接近 VSS;正常供电时,Node1 电位接近 VDD,符合电路设计要求.

4 仿真分析

文中提出的电路是基于 0.18 μm SOI BCD 工

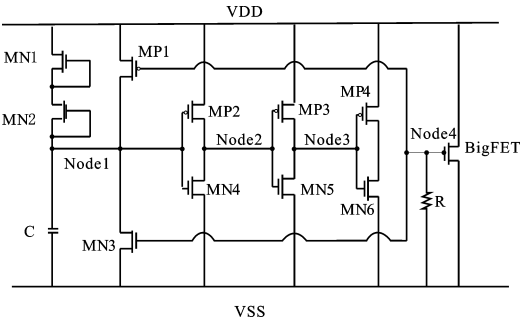
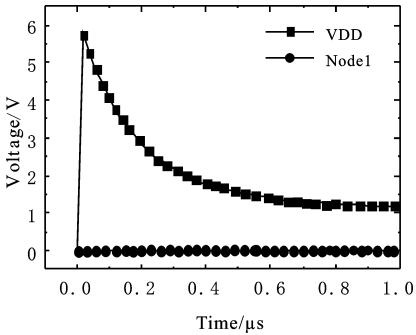
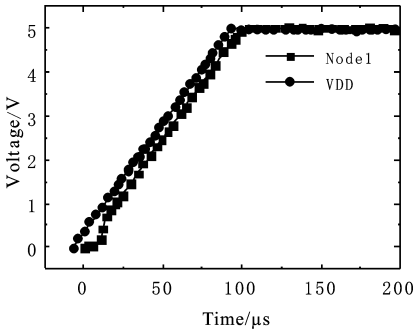


图4 优化的 ESD 电源钳位电路结构



(a)ESD 来临时,VDD 和 Node1 电位



(b)正常供电时,VDD 和 Node1 电位

图5 加入反馈结构后 Node1 电位在

ESD 和正常供电时的电位变化

艺设计,并对所设计的电路进行了 ESD 仿真、正常供电电压仿真和误触发仿真.分别验证新结构电路在这三种情况下的功能特性,综合评定新结构电路的性能.电路中器件的参数如表1所示.

表1 新型电路中器件的参数

(W/L: μm/μm)

器件	参数	器件	参数
MN1/MN2	40/0.6	MN6	30/0.6
MP1/MP2	40/0.5	MP3	20/0.5
MN3	100/0.6	MP4	60/0.5
MN4	20/0.6	BIGFET	2 000/0.6
MN5	40/0.6	C/R	20f/5K

4.1 ESD 仿真

电路中的仿真是对 HBM 模式下的 ESD 进行仿真. 标准值是 2 kV/10 ns 的电压, 经过人体等效电阻 1.5 k、等效电容 100 pf, 到 VDD 仿真 ESD 的情况. 经过检测电路后, VDD 的电压变化如图 6 所示. 由图中可以看出, 在 ESD 来临时, 由于检测电路的作用, 使得 VDD 为 6 V/10 ns 的电压, 经过反馈结构, Node1 电位接近 VSS, 通过三级反相器后, BIGFET 栅极电位会瞬间上升, 开启 BIGFET, 并且导通时间在 1 μ s 左右. 电流波形在 1 μ s 后趋近为 0, 表明 ESD 电流被充分释放, 内部电路得到有效的保护.

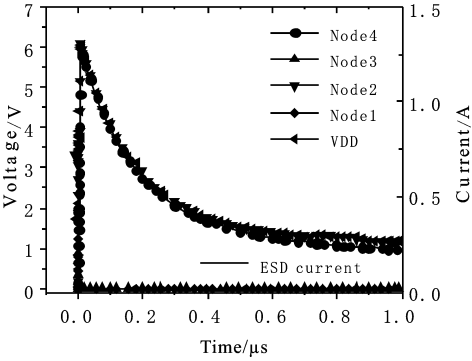


图 6 ESD 来临时, 电路中各点电位变化及泄放 ESD 电流

4.2 正常电源供电仿真

正常供电时电源电压为上升时间 100 μ s、宽度 100 μ s 的 5 V 方波信号, 仿真结果如图 7 所示. 正常电源电压供电时, 检测电路不起钳位作用, 由反馈电路使得 Node1 电位跟随 VDD, 经过三级反相器链后, BIGFET 栅极电位最高为 800 μ V, 彻底的关闭 BIGFET, 防止其影响内部电路的正常工作.

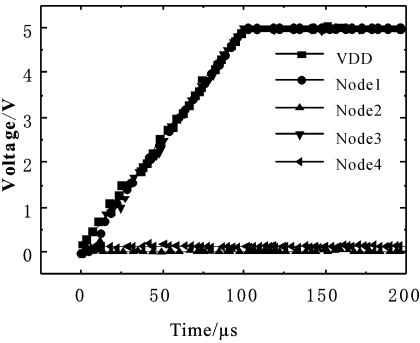
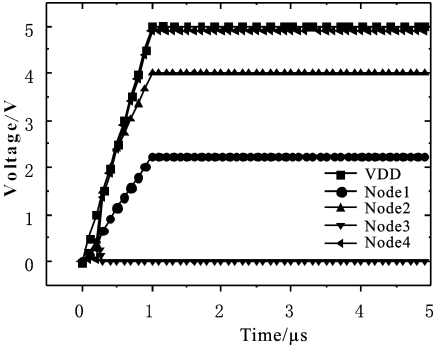


图 7 正常供电时, 电路中各点电位变化

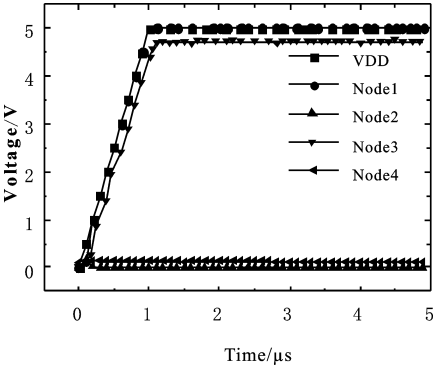
4.3 高速触发过程仿真

ESD 电源钳位电路在实际应用时还需要具有高可靠性. 因此很有必要对其防止误触发的能力进行测试. 如图 8 所示, 对钳位电路在电源电压为 5V/

1 μ s 情况下的工作状态进行仿真. 可以看出, 未加反馈结构时, BIGFET 被开启, 会影响内部电路的正常工作. 而优化后的新结构电路 Node4 电位最高为 57 mV, BIGFET 始终处于关闭状态, 钳位电路不工作. 文中所提出的电路结构在中高速电路应用中能够有效防止误触发, 增强了电路稳定性.



(a) 传统结构的误触发仿真



(b) 新结构的误触发仿真

图 8 误触发仿真

4.4 版图设计

传统结构中采用电容电阻组成检测电路, 为实现 1 μ s 的开启时间, 一般需要 10K 电阻和 10P 的电容, 这将占用很大的版图面积. 文中所提电路使用的电容仅 20f, 能够有效节省版图面积. 整体版图如图 9 所示, 版图面积为 50 $\times$ 108 μ m².

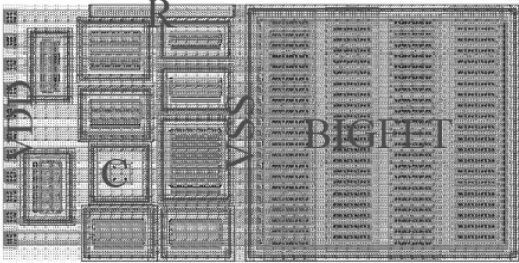


图 9 版图设计

5 结束语

本文提出一种新型 ESD 电源钳位电路结构, 电

路中的反馈结构在 ESD 来临时能够保证电路中 BIGFET 的开启时间在 $1\ \mu\text{s}$ 左右,有效泄放 ESD 电流,保护内部电路结构。检测电路中电容仅为 20fF ,节省了电路的版图面积。反馈结构的引入,增强了电路的抗干扰能力,能够很好地防止误触发事件的发生。经过仿真,在高速电路中,新结构电路依然能够有效的起到保护功能。

参考文献:

- [1] CAI X W. An area-efficient clamp based on transmission gate feedback technology for power rail electrostatic discharge protection [J]. IEEE Electron Device Letters, 2015, DOI:10.1109/LED.2015.2434835.
- [2] KER M D, CHIU P Y, TSAI F Y, et al. On the design of power-rail ESD clamp circuit with consideration of gate leakage current in 65-nm low-voltage CMOS process [J]. IEEE Int Symp Circuits Syst, 2009; 2281. DOI:10.1109/ISCAS.2009.5118254.
- [3] CHIU P Y, KER M D. New low-leakage power-rail ESD clamp circuit in a 65-nm low-voltage CMOS process [J]. IEEE Trans Device Mater Reliab, 2011, 11;474. DOI:10.1109/tdmr.2010.2066976.
- [4] STOCKINGER M, MILLER J W, KHAZHINSKY M G, et al. Boosted and distributed rail clamp networks for ESD protection in advanced CMOS technologies [C] //Proc EOS/ESD Symp. [S. l], 2003;17.
- [5] CHENG Y C, KER M D. The effect of IEC-like fast transients on RC-triggered ESD power clamps [J]. IEEE Trans Electron Devices, 2009(56):1204.
- [6] YEH C T, KER M D. Capacitor-less design of power-rail ESD clamp circuit with adjustable holding voltage for on-chip ESD protection [J]. IEEE J Solid-State Circuits, 2010(45):2476.
- [7] KER M D, CHEN T Y. ESD protection design on analog pin with very low input capacitance for high-frequency or current mode applications [J]. IEEE J. Solid-State Circuits, 2000,35(8): 1194-1199.
- [8] SMITH J, CLINE R, BOSELLI G. A low leakage low cost PMOS-based power supply clamp with active feedback for ESD protection in 65-nm CMOS technologies [C] //Proc EOS/ESD Symp. [S. l], 2005; 298-306.
- [9] JOSHI G, SINGH D, THANGJAM S. Effect of temperature variation on gate tunneling currents in nanoscale MOSFETs [C]//Proc IEEE Conf Nanotechnology, China, Xi'an, 2008;37.

作者简介:

张晓波 男,(1971-),硕士,讲师.研究方向为集成电路设计.

许东升 男,(1993-),硕士研究生.研究方向为智能功率集成电路设计.

戴 澜(通讯作者) 男,(1975-),博士,副教授.研究方向为高速高精度模数转换器设计与精度提高技术.

E-mail: perfect_dai@163.com.

蔡小五 男,(1979-),博士,研究员,博士生导师.研究方向为智能功率集成电路设计.

彭 锐 男,(1992-),硕士研究生.研究方向为功率驱动电路设计.

汤红菊 女,(1993-),硕士研究生.研究方向为智能高边功率开关设计.

(上接第 64 页)

- [8] WANG X, CHEN Q, WAN H, et al. A logic circuit design for perfecting memristor-based material implication[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2017, 36(2):279-284.
- [9] AHMAD K, ABDALHOSSEIN R. Novel design for a memristor-based full adder using a new IMPLY logic approach[J]. Journal of Computational Electronics, 2018,17(3): 1303-1314.
- [10] XIE L, NGUYEN H A D, TAOUIL M, et al. Fast boolean logic mapped on memristor crossbar [C]//IEEE International Conference on Computer Design. New York City, USA, IEEE Computer Society, 2015.
- [11] ZHANG Y, SHEN Y, WANG X, et al. A novel design for memristor-based logic switch and crossbar circuits[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(5):1402-1411.
- [12] 邓辉. 基于忆阻器的加法器设计及其仿真分析[D]. 武汉:华中科技大学, 2016.

作者简介:

郑子遇 男,(1993-),硕士研究生.研究方向为基于忆阻器的集成电路设计. E-mail:594752250@qq.com.

江先阳 男,(1974-),博士,副教授.研究方向为大规模集成电路设计.

汤知日 男,(1994-),硕士研究生.研究方向为类脑计算和忆阻神经网络.