

引用格式:张伟东,董振兴,朱岩,等.星载固态存储控制器标准化、可配置通用设计[J].微电子学与计算机,2019,36(9):61-66.[ZHANG W D, DONG Z X, ZHU Y, et al. Standardized, configurable universal design for onboard solid state memory controllers[J]. Microelectronics & Computer, 2019, 36(9): 61-66.]

星载固态存储控制器标准化、可配置通用设计

张伟东^{1,2,3}, 董振兴^{1,2}, 朱 岩^{1,2}, 安军社^{1,2}

(1 中国科学院 复杂航天系统电子信息技术国防科技创新重点实验室, 北京 100190;
2 中国科学院 国家空间科学中心, 北京 100190; 3 中国科学院大学, 北京 100190)

摘 要:为解决目前星载固态存储系统通用性差的问题,采用标准片上总线(APB总线)架构以及引入参数配置层的方法,设计了一种通用星载固态存储控制器.该设计可支持不同 FLASH 芯片厂家、不同 FLASH 芯片容量,以及不同叠装构型的 NAND 型 FLASH 存储阵列,从而实现一套代码可适应多种工程任务需求,可有效降低开发成本、缩短开发流程、提高开发效率.方案支持 FLASH 读写、擦除、复位等功能,并具备坏块管理机制,可以有效地增强系统的稳定性和提高存储效率.实验结果表明,系统支持最大写入速率达到 100 Mbps、容量可达 256 Gbit,并能够适配不同 FLASH 芯片构型以及兼容主流的宇航级 FLASH 芯片.

关键词:星载;标准化;可配置;SSR

中图分类号: TN919. 5 文献标识码: A 文章编号: 1000—7180(2019)09—0061—06

Standardized, configurable universal design for onboard solid state memory controllers

ZHANG Wei-dong^{1,2,3}, DONG Zhen-xing^{1,2}, ZHU Yan^{1,2}, AN Jun-she^{1,2}

(1 Key Laboratory of Electronics and Information Technology for Space Systems, Chinese Academy of Sciences, Beijing 100190, China; 2 National Space Sciences Center, Chinese Academy of Sciences, Beijing 100190, China;
3 University of Chinese Academy of Science, Beijing 100190, China)

Abstract: To solve the problem of poor universality of the on-board solid-state storage system, a general on-board solid-state storage controller is designed by using the standard on-chip bus (APB bus) architecture and the method of introducing the parameter configuration layer. The design can support different FLASH chip manufacturers, different FLASH chip capacities, and NAND FLASH memory arrays with different stacked configurations, so that a set of codes can be adapted to various engineering tasks, which can effectively reduce development costs, shorten the development process and improve development efficiency. The design supports FLASH read/write, erase, reset and other functions, and has a bad block management mechanism, which can effectively enhance the stability of the system and improve storage efficiency. The experimental results show that the design has a maximum write rate of 100 Mbps and a maximum capacity of 256 Gbit, which can adapt to different FLASH chip configurations and compatible with mainstream aerospace FLASH chips.

Key words: onboard; standardized; configurable; SSR

1 引言

传统卫星型号的研制策略是根据特定的需求制定特定的方案,而星载大容量存储器作为卫星核心设备之一,其方案也大都采用定制式设计^[1].但随着我国卫星型号任务爆发式增长,传统定制式解决方案的开发周期长、成本高等特点已经难以适应新时期的需求.此外,微电子芯片技术的飞速发展,也造成了片上系统集成度和复杂度越来越高,这对于复杂控制系统的设计、集成、测试以及后期版本升级均提出了更高的要求.为解决这些问题,本文提出了一种基于 FLASH 芯片的通用星载固态存储系统,其控制器内部设计采用标准化 APB 总线架构,可通过

不同的参数配置,适应不同的 FLASH 芯片构型.

2 标准化

高级外设总线 (Advanced Peripheral Bus, APB)是由 ARM 公司提出的高级微控制器总线体系 (Advanced Microcontroller Bus Architecture, AMBA)的一部分,目前已经成为一种标准片上总线结构. APB 总线的特性包括:两个时钟周期传输;无需等待周期和回应信号;控制逻辑简单;对于功率以及接口的复杂性都做了优化等.正是基于以上特性,星载固态存储控制器的设计采用 APB 总线作为系统内部总线标准.星载固态存储控制系统的标准化架构如图 1.

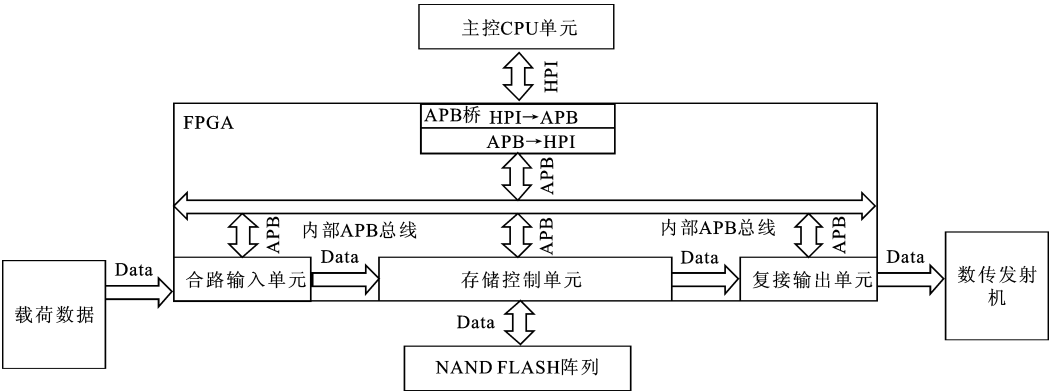


图 1 固态存储控制系统标准化架构

合路输入单元、存储控制单元、复接输出单元通过 APB 总线,经由 APB 桥将 APB 转译为 HPI 信号与主控 CPU 进行通信.实际应用中,FPGA 内各模块均被看作是相互独立的外设,各模块与 CPU 的信号传输均通过内部 APB 总线.其中,APB 桥作为主机,其余部分作为从机.

APB 从机接口主要包括选择信号 PSEL_x、使能信号 PENABLE、地址 PADDR 和控制信号 PWRITE.其中,PSEL_x、PADDR 和 PWRITE 信号组合决定目标寄存器由读或写操作来进行更新.内部 APB 总线中地址位宽为 16 bit,数据位宽为 16 bit.当有传输要求时,相应的选择信号 PSEL_x 被断言.在保持一个时钟周期之后的下一个时钟上升沿 PENABLE 信号被断言. PENABLE 信号仅持续一个周期并且在这个状态之后,如果没有进一步的传输要求,则总线返回 IDLE 状态.为了降低功耗,地址信号和控制信号将在传输之后不再改变,直到下一个传输发生为止.

运用 APB 总线搭建的标准化存储控制系统,可使系统内部的设计模块化.在实际型号任务中,根据不同的需求只在顶层模块中进行少量的例化修改就能实现各种不同的组合,从而满足型号任务的需求.

3 可配置

目前,星载固态存储器存储芯片的主流供货商家为欧比特、镁光、以及 3D-PLUS.结合传统卫星型号任务所选用的 FLASH 芯片,并通过对以上三家公司十几种主流芯片的参数详细对比,总结出 FLASH 芯片内部编程时间参数,如表 1.

表 1 FLASH 芯片内部时间参数

厂商	tREA	tWB	tADL
镁光	Max 16 ns	Max 100 ns	Min 70 ns
欧比特	Max 20 ns	Max 100 ns	Min 70 ns
3D-PLUS	Max 20 ns	Max 80 ns	Min 50 ns

为适应不同的型号任务,除分析不同芯片内部的参数外,还需考虑不同 FLASH 芯片选型以及不同型号任务的容量和速率的需求,因此方案对大容量存储系统的操作位数、芯片数量、块数、页数以及页大小等不同参数进行了设计.具体可配置参数及存储系统的参数配置指令如表 2.数配置指令用于存放系统 FLASH 的配置信息.指令长度为 16 bit,包括内部时间参数、操作位数、芯片数量、块数、页数以及页大小等.

表 2 参数配置指令(ssr_cfg)

位数	功能	可配置参数	优先级
15-11 bit	保留位	保留位	保留位
10-9 bit	操作位数	8/16/32 位	gnt7
8-7 bit	内部时间参数	tR/tREA/tWB	gnt6
6-5 bit	FLASH 芯片数	1/2/4/8 片	gnt5
4-3 bit	FLASH 基片数	2/4/8 片	gnt4
2 bit	FLASH 块数	4 096/8 192 块	gnt3
1 bit	块内页数	64/128 页	gnt2
0 bit	页大小	4 096/8 192 字节	gnt1

4 存储系统方案设计

4.1 存储系统概述

NAND 型 FLASH 芯片的特点之一就是在出厂时就存在一定比例的无效块(Invalid Block),称为“初始无效块”.在芯片的使用中,可能仍会新增无效块.对无效块的读操作是允许的,但对无效块的读和擦除是应该尽力避免.如图 2 存储系统的结构框图所示.存储系统硬件搭建完成后,通过测试程序对 FLASH 芯片进行遍历读写测试,若发现该块为疑似无效块,则会在该块空余区进行标记.在系统初始化过程中,FPGA 会依次扫描存储区每一块空余区信息,空余区内的页标记信息首先由 FLASH 控制模块读取,并由该模块自动组织生成块分配表(Block Assignment Table,BAT)信息,经“块分配信息”链路输出至 BAT RAM 控制模块中,然后经 APB 模块加载到内部 APB 总线上,最后经 APB 桥输出至主控 CPU 单元.在存储系统正式开始工作之前,主控 CPU 单元已经知悉每个 FLASH 块的情况,并且存储系统后续的地址管理都将由主控 CPU 单元来统一进行分配^[2].

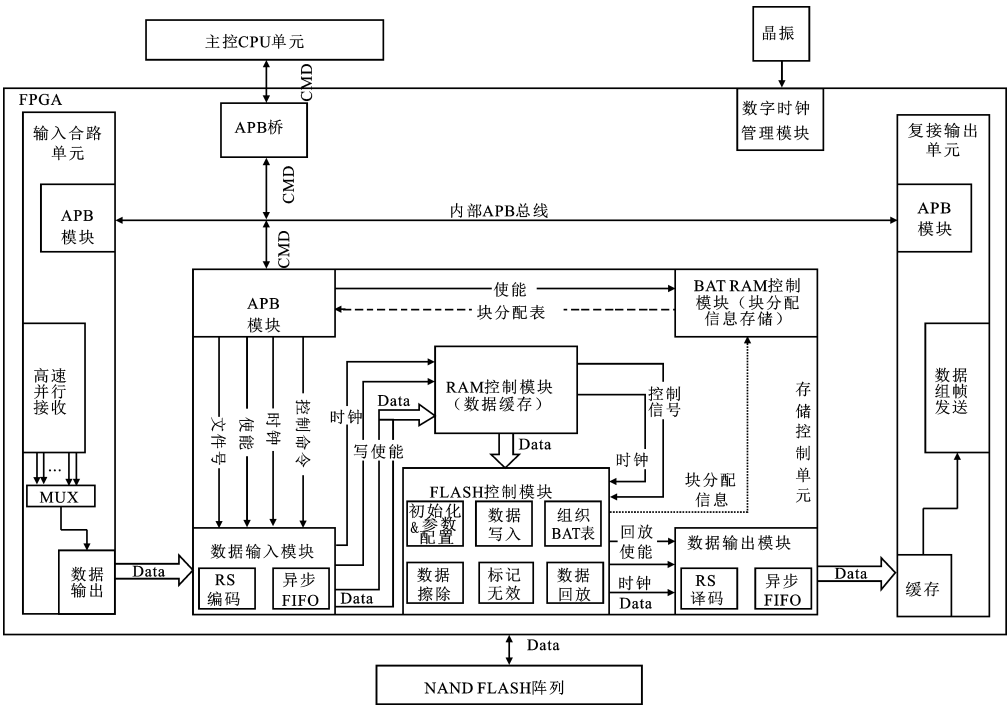


图 2 存储系统结构框图

有效载荷产生的数据首先经数据合路单元,打包后送入到存储控制单元,进行 RS(256,252)编码,

之后将编码后的数据送入到 RAM 中进行缓存^[3].当 RAM 中缓存的数据量达到 FLASH 一页的大小

时,启动 FLASH 页编程,将数据存入 FLASH 中.回放数据经数据回放模块加载至数据输出模块,在数据输出模块中进行 RS 译码并在 FIFO 中进行缓存,随后发送至复接输出单元. RS 译码器可以为每 256 字节的数据进行纠错译码,纠正其中不超过两个字节的错误,以保证数据的可靠性.

4.2 参数配置层设计

存储控制系统的配置参数在系统上电初始化完成后就需被明确,因此本文在传统存储控制系统上设计了参数配置层,用以来实现存储控制系统在不同配置参数下的转换. 参数配置层由参数配置指令解析和参数配置操作两部分组成.

图 3 为参数配置指令解析状态图. 参数配置指令解析使用带仲裁电路的有限状态机(FSM)来对主控 CPU 发来的参数配置指令进行解析. 开始时,复位状态机处于空闲状态(idle),此时没有授权信号. 当收到参数配置指令(ssr_cfg)之后,对 ssr_cfg 第 0 位进行解析,并产生 1 级授权信号 1xx,随即状态跳转到 gnt1,在 gnt1 状态下将完成对于存储系统“页大小”的配置. 当 gnt1 状态下的参数配置操作执行完成之后,产生 2 级授权信号 x1x,状态跳转到 gnt2,进行存储系统“块内页数”的配置,完成之后产生下一级授权信号..... 以此往复,直到 7 个参数配置指令被全部解析完成.

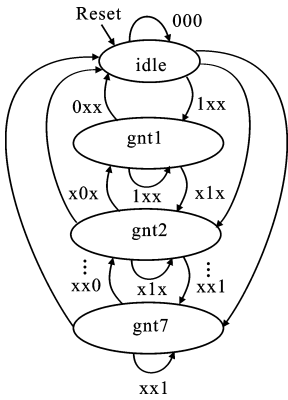


图 3 参数配置指令解析状态图

如图 4 所示为参数配置操作基本单元设计. 每一级参数配置操作都是通过一个多路选择器控制一个寄存器来实现对解析之后的配置参数的存储^[4]. 授权信号连接到多路选择器的使能端,当该级授权信号到来时,使能端被置为 1. 多路选择器根据参数配置指令的内容决定将哪一配置参数存入到寄存

器中.

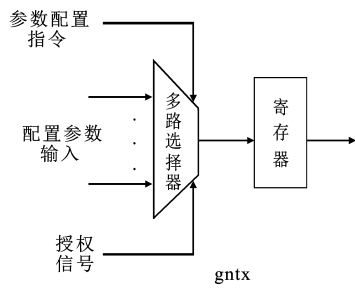


图 4 参数配置操作基本单元设计

对于参数配置指令的 0~6 bit(gnt1~gnt5),其只与存储控制系统中的操作地址相关,因此在设计存储控制系统的时候,将页编程和页回放的默认操作地址设置为配置参数中最大值. 在进行数据写入与回放的过程中,系统首先会根据优先级依次访问各配置参数寄存器,当读取完配置参数寄存器之后,会以读取到配置参数为基准,将读写等操作中用不到的高位地址进行屏蔽.

内部时间参数以及操作位数(gnt6~gnt7)的配置要复杂一些,因为其系统与内的很多参数和操作相关. 因此在进行系统开发时,采用代码块的思想将存储控制系统每个子模块中关于时间参数以及操作位数的代码都打包成一个代码块(放在同一个进程之中),并对每种配置参数情况均生成一个代码块. 进行参数配置时,首先读取参数配置寄存器中的配置参数,之后根据读取到参数指令选择相应的代码进行执行,完成对存储控制系统内部时间参数以及操作位数的配置. 当该参数配置完成后会产生屏蔽信号,将该参数下没有用到的代码块进行屏蔽. 存储控制系统进行新一轮操作时,无需再遍历每种配置情况下的代码块,而是直接读取参数配置寄存器中的参数,执行相应的代码块. 由于配置参数已经存储到寄存器中,因此当系统进行后续操作时无需再对参数配置指令进行解析. 这样既降低了系统的复杂度又将参数配置操作对存储系统速率的影响降到了最低.

5 功能仿真验证

设计采用 VHDL+ Verilog HDL 硬件描述语言进行存储控制器 FPGA 的开发,使用 SystemVerilog 语言建立 FLASH 模型,并借助 QuestaSim 搭建了测试环境进行功能仿真. 在验证过程中,对于存

制器通用性差、难升级、难维护的问题. 测试结果表明,方案有效支持存储速率 100 Mbps、容量 256 Gbit 的多种 FLASH 芯片构型的存储阵列,具有很好的工程应用价值,并且为更高速率、更大容量的通用星载存储系统设计奠定了良好的基础.

参考文献:

[1] 朱岩. 基于闪存的星载高速大容量存储技术的研究[D]. 北京:中国科学院研究生院(空间科学与应用研究中心),2006.

[2] 李姗,宋琪,朱岩,等. 一种高可靠星载大容量存储器的坏块表存储方案设计[J]. 微电子学与计算机,2016,33(4):73-76.

[3] 董振兴,朱岩,许志宏,等. 星载存储器吞吐率瓶颈与高速并行缓存机制[J]. 哈尔滨工业大学学报,2017,49(11):52-59.

[4] 高闯,吴利华,芳罗,等. 一种用于 FPGA 的可配置存储器设计[J]. 固体电子学研究进展,2016,36(1):66-70.

[5] 冉计全,郭林,张三刚,等. NAND Flash 控制器硬件设计与仿真验证[J]. 西北工业大学学报,2017,35(2):304-309.

作者简介:

张伟东 男,(1994-),硕士研究生. 研究方向为空间数据存储与传输. E-mail:iszhangwd@foxmail. com.

董振兴 男,(1991-),博士,工程师. 研究方向为空间数据存储与传输.

朱 岩 男,(1973-),博士,研究员. 研究方向为空间数据存储与传输.

安军社 男,(1969-),博士,研究员. 研究方向为空间智能信息和数据处理技术.