

引用格式:王琳,宋李梅,王立新,等.一种提升抗单粒子能力的新型超结结构[J].微电子学与计算机,2019,36(9):84-88.
[WANG L, SONG L M, WANG L X, et al. A proposed structure to improve SEE performance for 700V Super-Junction VDMOS[J]. Microelectronics & Computer, 2019, 36(9): 84-88.]

一种提升抗单粒子能力的新型超结结构

王 琳^{1,2,3}, 宋李梅¹, 王立新^{1,4}, 罗家俊^{1,3}, 韩郑生^{1,2,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100029

3 中国科学院 硅器件技术重点实验室, 北京 100029

4 北京中科新微特科技开发股份有限公司, 北京 100029)

摘 要: 为了提升超结器件在空间辐照环境下的可靠性, 针对额定电压为 700 V 的超结器件提出了一种新型结构。加固的结构在标准 SJVDMOS 平面栅的基础上刻蚀掉部分栅极, 同时引入了一个肖特基接触来提升器件的抗单粒子能力。2D synopsys TCAD 对器件进行了仿真建模, 并通过单粒子的瞬态仿真来评估器件的 SEE 性能, 仿真结果表明加固之后的器件在单粒子效应下的整体安全工作区大幅增加, 器件抗单粒子烧毁和抗单粒子栅穿的能力都明显提升, 同时新型结构的电学性能也维持了良好的水平。

关键词: 超结器件; 单粒子烧毁; 单粒子栅穿; 线性能量传输函数; 单粒子效应

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2019)09-0084-05

A proposed structure to improve SEE performance for 700 V Super-Junction VDMOS

WANG Lin^{1,2,3}, SONG Li-mei¹, WANG Li-xin^{1,4}, LUO Jia-jun^{1,3}, HAN Zheng-sheng^{1,2,3}

(1 Institute of Microelectronics of Chinese Academy of Science, Beijing 100029, China;

2 University of Chinese Academy of Science, Beijing 100029, China;

3 Key Laboratory of Silicon Device Technology of Chinese Academy of Science, Beijing 100029, China;

4 Beijing Zhong Ke New Micro Technology Co., LTD, Beijing 100029, China)

Abstract: In this paper, a new structure to improve the SEE performance for 700 V Super-Junction VDMOS is proposed. Part of the planar gate of the device is etched away, adding a Schottky contact to enhance the SEE performance. 2D synopsys TCAD is used to do simulation, and transient simulation is used to evaluate the SEE performance of the device. The simulation result shows that the overall safe working area of the device after reinforcement is effectively increased, and the SEB and SEGR performance both improved significantly. At the same time, the electrical performance of the new structure also maintains a good level.

Key words: Super-Junction VDMOS (SJVDMOS); single-event burnout (SEB); single-event-gate-rapture (SEGR); linear energy transfers (LET); single-event-effect (SEE)

1 引言

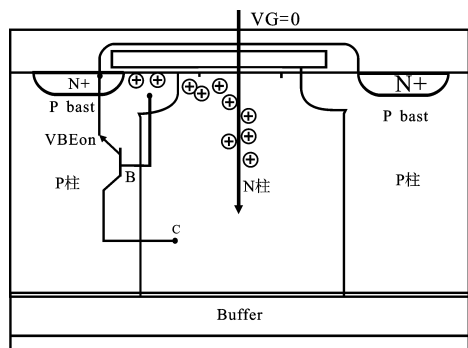
近年来, 功率器件被广泛的应用在军事领域和

航天环境下, 这对于功率器件在特殊环境下的可靠性提出了更高的要求。作为新兴的功率器件, 超结器件同时实现低导通电阻和高击穿电压, 具有优异的

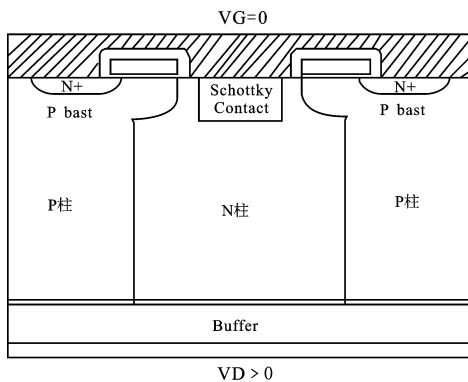
电学性能,因此也逐渐被应用在空间辐照环境下,这需要对超结器件进行辐照加固。

多种多样的重粒子和宇宙射线造成空间辐照环境较为复杂,从而对器件的工作寿命造成严重影响。单粒子效应(SEE)是空间辐照环境下 MOS 器件的永久失效机制之一,是由于重粒子打入关态的器件造成的。单粒子效应分为单粒子栅穿(SEGR)和单粒子烧毁(SEB)两种失效机制^[1-2]。

剑桥大学^[3]于2000年提出了针对单粒子效应进行结构加固的超结器件,文章中提出加深基区 P+柱来提升器件的抗 SEB 性能,但该加固手段对于器件抗单粒子性能的提升有限。英飞凌于2010年也提出了一款商用的抗单粒子加固的超结器件,加固手段主要集中于器件漂移区的 P 柱上,但具体的加固手段尚不明确。此外,国内对该领域的研究尚属于空白的状态。基于以上,在本文中我们针对额定电压为 700 V 的超结器件提出了一种新型加固结构,并采用 2DSynopsysSentaurusTCAD 来对器件进行仿真建模,并通过单粒子瞬态仿真来评估器件的 SEE 特性,仿真中选取的粒子入射长度为 20 μm ,入射位置为器件的中心处(如图 1 所示),采用不同的 LET 值来反映粒子所携带的能量^[3-4]。



(a) 初始器件结构



(b) 加固后的器件结构

图 1 加固前后的器件结构对比

2 器件的结构与仿真

如图 1 所示,为加固前后的器件结构图对比,提出结构在平面栅的基础上进行了刻蚀,只保留了沟道上方的栅极来控制沟道的形成,此外在 JFET 区上方进行了沟槽的刻蚀和金属填充,形成了一个肖特基结构。SEB 效应是由于重粒子入射关态器件造成的器件内寄生晶体管开启(如图 1(a)所示)造成的;SEGR 是由于重粒子入射导致栅氧化层击穿造成的,引入肖特基结可以有效的改善空间辐照环境下的这两种现象。下面本文将对加固手段的作用机理进行分析研究。

3 肖特基接触的作用

在空间辐照环境下,重粒子入射过程中所激发出的电子空穴对在器件内的流动导致了器件的损坏。本文提出的肖特基接触能够快速抽空器件内的多余载流子,有效的提升器件的抗单粒子能力。

3.1 肖特基对于 SEB 性能的提升作用

如图 2 所示,在标准的 SJVDMOS 中,携带高能的重粒子会沿着其入射路径激发出大量的自由电荷。在漏极电场的作用下,电子流经 P 型基区产生压降,促进了 MOS 管内寄生 BJT 管的开启,器件内的电流由于 BJT 的倍增效应而被放大,器件可能会因为 SEB 而烧毁。

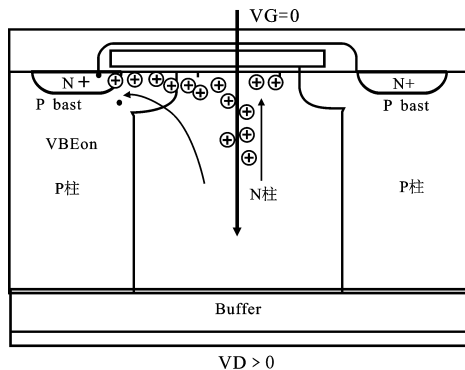


图 2 标准 SJVDMOS 中电子流向示意图

而在图 3 所示加固后的结构中,由于肖特基结构的存在,导致大部分的载流子会通过器件顶部的肖特基结构快速排出。从而减少了流经 P 基区的载流子数目,有效抑制寄生晶体管的开启,提升了器件的抗 SEB 能力。

3.2 肖特基对 SEGR 性能的提升作用

重粒子入射到器件过程中会击打甚至穿透栅极进入器件内部,这种击打会给栅氧化层造成不可忽

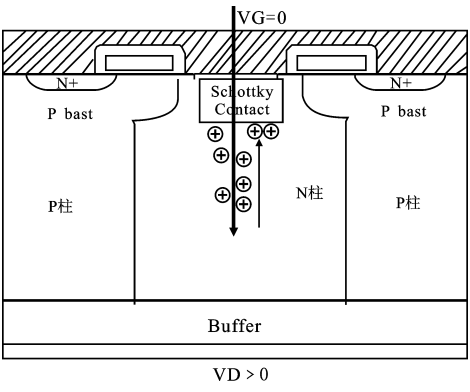


图 3 具有肖特基结构的 SJVDMOS 中电子流向示意图

视的损伤,直接造成氧化层所能够承受的临界电场降低。

重粒子击打氧化层造成的损伤与诸多因素有关,比如粒子的质量,携带的能量,以及初始的氧化层质量、氧化层厚度等,已经有一些文献[6]对于重粒子击打后器件氧化层的情况进行了研究,并且得到了相应的评估方法^[6-8],如式(1)~(3)所示,被高能重粒子击打过的器件氧化层临界电场可以通过计算:

$$V_{GScr} = d_{ox} \times (E_{cr} - E_{tr max}) \tag{1}$$

$$E_{cr} = \frac{E_0}{1 + \frac{LET}{B}} \tag{2}$$

$$E_{tr max} = E_p - E_{DC} \tag{3}$$

式中, d_{ox} 为氧化层厚度;LET 为粒子的线性能量传输函数,单位为 $MeV-cm^2/mg$;B 是由曲线拟合得到的参数,主要与器件结构相关。 E_{cr} 为器件氧化层最初的临界电场强度,主要由氧化层的生长质量决定。在本文所做的仿真中,采用的粒子 LET 值为 $100MeV-cm^2/mg$ 。采用的初始氧化层临界电场强度为 $6e6MV/cm$,根据式(1)~(3)计算得到被 $LET=100MeV-cm^2/mg$ 的粒子击打后的氧化层临界电场强度降低为 $3.4e6MV/cm$ ^[8],如图 4 所示。

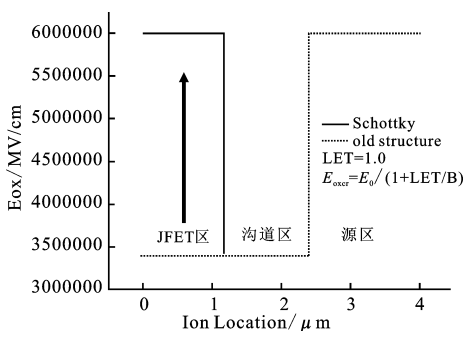


图 4 刻蚀栅极对 Ecr 的提升作用

加固结构选择性的刻蚀掉部分多晶硅栅极和栅

氧化层,选择性的保留了 P 型基区上方的栅极,在保证栅极对于沟道的控制能力的同时,最大限度降低了栅氧化层被重粒子击打的概率,从而保证粒子入射到器件中间位置时,氧化层的临界击穿场强始终维持比较高的水平。同时,肖特基结可以快速的抽空器件内的多余载流子,从而有效提升器件的抗单粒子能力。

4 肖特基结构尺寸对于器件抗 SEE 能力的影响

如图 5,6 所示,为肖特基结的尺寸对于器件的导通电阻和 SEB 性能的影响,其中 WSchottky 代表肖特基结的长度,LSchottky 代表肖特基结的宽度, V_d 代表在 $LET=100MeV-cm^2/mg$ 的重粒子入射时,器件在不发生 SEB 的情况下所能承担的最大漏压,可以直接反应器件的抗 SEB 能力。

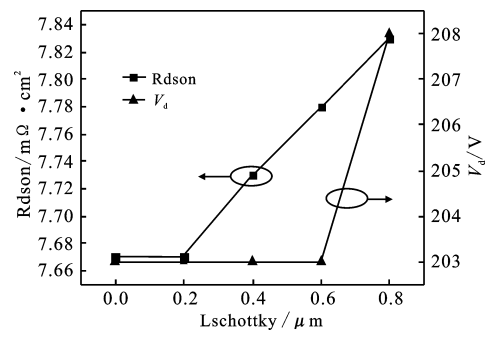


图 5 LSchottky 对于器件的导通电阻和 SEB 性能的影响

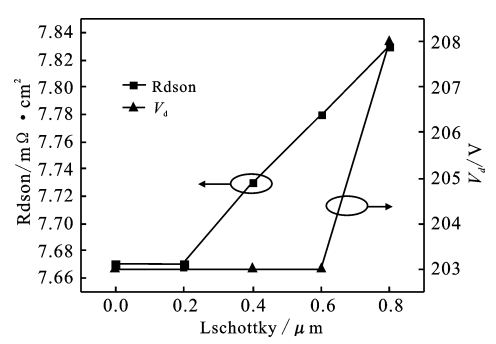


图 6 WSchottky 对于器件的导通电阻和 SEB 性能的影响

由图示 5 可得,肖特基结的长度超过 0.2 微米后,器件的导通电阻会随着结深的增加而增加,这可能是由于结深过大导致器件正向导通时 JFET 区的电流导通路径变窄,但肖特基沟槽的长度对于器件的抗 SEB 能力没有明显的影响。图 6 表明,在重粒子入射的情况下随着肖特基结宽度的增加,器件的漏压 V_d 阈值在 203 V 到 205 V 之间小范围波动,而肖特基结的宽度增加则会导致器件的导通电阻从 7.64

$\text{m}\Omega \times \text{cm}^2$ 增加到 $8.1 \text{ m}\Omega \times \text{cm}^2$. 基于以上分析,为了实现较低的导通电阻和较高的 SEB 漏压阈值,文中选取肖特基结的长度为 $0.2 \text{ }\mu\text{m}$,宽度为 $0.64 \text{ }\mu\text{m}$.

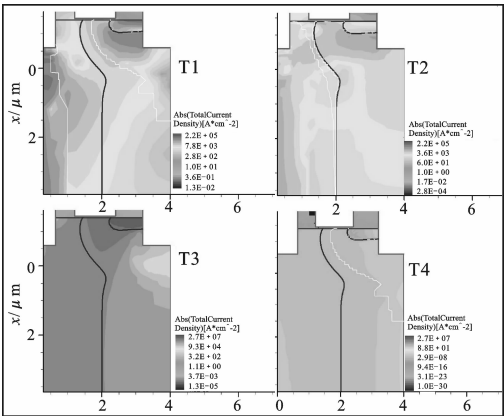
5 器件的最终结构

基于以上理论分析和参数的选取,我们提出了一种提升器件抗单粒子性能的新型超结结构. 对比于初始器件,该新型结构集成了选择性刻蚀的栅极和栅氧化层,以及一个肖特基沟槽. 加固后器件的结构如图 1(b)所示.

如图 7 示为加固前后的结构在同样的条件下(入射重粒子 $\text{LET}=100 \text{ MeV}\cdot\text{cm}^2/\text{mg}$,漏压 $V_d=205 \text{ V}$),相同时刻器件内的电流密度对比. 我们根据粒子入射后器件内的电流密度随时间的变化来判断器件是否发生 SEB. 图 7(a)表明粒子入射后,标准器件内的电流密度逐渐加大,而且在最终时刻 T4 器件内的电流密度仍然很高,表明器件最终由于电流密度过大发生了 SEB 烧毁. 而在加固后的器件中电流密度在粒子入射后的短暂时刻内升高后,迅速回落到平稳的初始的水平,SEB 未发生. 说明加固后的器件有效抑制体内寄生晶体管的开启,具有良好的电流处理能力.

基于上述方法,本文中改变粒子入射的条件得到了标准 SJVDMOS 和加固器件在不同粒子 LET 值下的抗 SEB 的漏压阈值^[9]. 如图 8 所示,加固器件将 SJVDMOS 的 SEB 阈值电压从 103 V 提升到了 205 V 左右.

此外,我们在粒子入射后给栅极加负偏压,并通过仿真提取粒子入射后器件栅氧化层的电场值来模拟器件的抗 SEGR 性能. 一旦栅氧化层的电场超过器件的氧化层临界击穿场强 E_{cr} (由生长工艺决定,根据实际工艺情况,选取临界值为 $6\text{e}6\text{MV}/\text{cm}$),说



(b)加固结构中的电流密度

图 7 加固前后结构中的电流密度
明器件发生了 SEGR. 仿真之后加固器件和标准 SJVDMOS 器件的抗 SEGR 性能对比如图 9 所示.

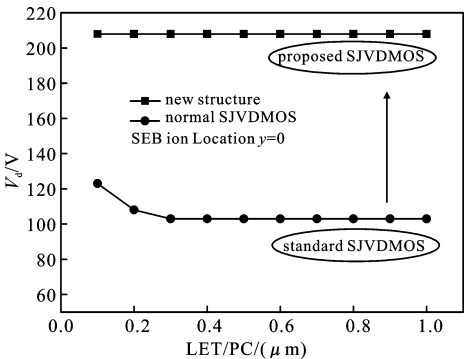


图 8 器件抗 SEB 能力对比

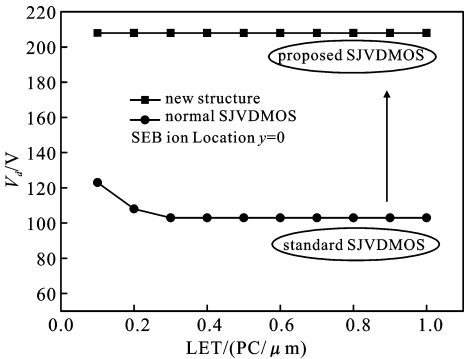
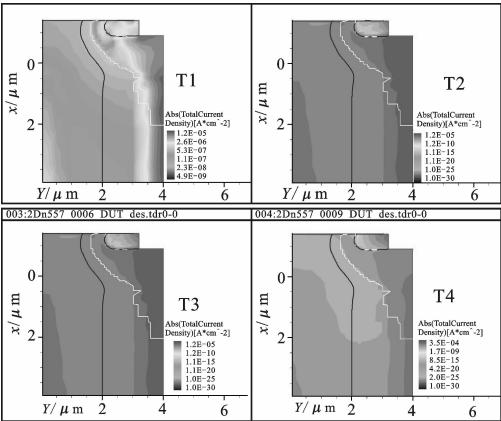


图 9 器件的抗 SEGR 能力对比

图 8,9 所示为加固前后的器件的抗 SEB 和抗 SEGR 性能对比. 两图分别对比了不同条件下粒子入射时器件的抗 SEB 性能和抗 SEGR 性能. 可以看到粒子入射时,加固后的器件抗 SEGR 能力和 SEB 能力都有了明显的提升.

6 结束语

本文针对 700 V 的超结 VDMOS 进行了抗辐



(a)初始结构中的电流密度

照加固,加固后的器件抗 SEB 能力从最初的 103 V 左右提升到 203 V,器件的抗 SEGR 能力也大大提升,提升了器件在空间辐照环境下的可靠性.

参考文献:

[1] TITUS J L, WHEATLEY C F. Experimental studies of single-event gate rupture and burnout in vertical power MOSFETs[J]. IEEE Transactions on Nuclear Science, 2002, 43(2):533-545.

[2] TITUS J L, WHEATLEY C F, GILLBERG J E, et al. A study of ion energy and its effects upon an SEGR-hardened stripe-cell MOS-FET technology [space-based systems] [J]. Nuclear Science IEEE Transactions on, 2001, 48(6):1879-1884.

[3] HUANG S, AMARATUNGA G A J, UDREA F. Analysis of SEB and SEGR in super-junction MOSFETs [J]. Nuclear Science IEEE Transactions on, 2000, 47(6):2640-2647.

[4] LIU S, TITUS J L, ZAFRANI M, et al. Worst-Case test conditions of SEGR for power DMOSFETs[J]. IEEE Transactions on Nuclear Science, 2013, 57(1): 279-287.

[5] WANG Y, YU C H, DOU Z, et al. Single-Event burnout hardening of power UMOSFETs with integrated schottky diode[J]. IEEE Transactions on Electron Devices, 2014, 61(5):1464-1469.

[6] WANG Y, ZHANG Y, WANG L G, et al. Single-event burnout hardening of power UMOSFETs with optimized structure[J]. IEEE Transactions on Electron

Devices, 2013, 60(6):2001-2007.

[7] ALLENSPACH M, BREWS J R, MOURET I, et al. Evaluation of SEGR threshold in power MOSFETs [J]. IEEE Transactions on Nuclear Science, 1994, 41(6):2160-2166.

[8] ALLENSPACH M, DACHS C, JOHNSON G H, et al. SEGR and SEB in n-channel power MOSFETs[J]. IEEE Transactions on Nuclear Science, 2002, 43(6): 2927-2931.

[9] TITUS J L, WHEATLEY C F, BURTON D I, et al. Impact of oxide thickness on SEGR failure in vertical power MOSFETs; development of a semi-empirical expression[J]. IEEE Transactions on Nuclear Science, 2002, 42(6):1928-1934.

作者简介:

王琳女,(1993-),硕士研究生.研究方向为超结器件的抗辐照加固.

宋李梅女,(1976-),博士,研究员,硕士生导师.研究方向为功率器件及其可靠性.

王立新(通讯作者)男,(1976-),博士,研究员,博士生导师.研究方向为高可靠性电子器件的设计.

E-mails:wanglixin@ime.ac.cn.

罗家俊男,(1973-),博士,研究员,博士生导师.研究方向为深亚微米集成电路低功耗设计技术、高性能深亚微米数模混合集成电路设计技术、智能功率集成电路设计技术等.

韩郑生男,(1962-),硕士,研究员,博士生导师.研究方向为集成电路技术.