

引用格式:韩健,陈斌,顾悦吉.一种复合栅结构 IEGT 器件设计[J].微电子学与计算机,2019,36(9):99-102. [HAN J, CHEN B, GU Y J. A new composite gate structure IEGT device design [J]. Microelectronics & Computer, 2019, 36(9): 99-102.]

一种复合栅结构 IEGT 器件设计

韩 健,陈 斌,顾悦吉

(杭州士兰集昕微电子有限公司,浙江 杭州 310018)

摘 要: 在传统平面栅 IEGT 器件基础上,设计了一种复合栅结构 IEGT 器件,器件兼容了电子注入增强和载流子存储层技术.器件纵向延展的沟槽栅增加器件有效栅极长度而不额外增加栅极面积,提高 N-漂移区内部的载流子浓度.沟槽的存在能够减小 P 型基区侧面的电场强度,改善由于 N 型阻挡层浓度过高造成的器件耐压的跌落,从而进一步提高表面载流子浓度,最终降低器件饱和压降.器件具有两种不同厚度的栅氧化层,靠近 P 型基区采用薄栅氧化层以保持器件正常的阈值电压,其余大部分栅极区域采用厚栅氧化层以降低器件电容,减小开关损耗.

关键词: IEGT;沟槽;N 型阻挡层;饱和压降;栅氧化层

中图分类号: TN323+.4

文献标识码: A

文章编号: 1000—7180(2019)09—0099—04

A new composite gate structure IEGT device design

HAN Jian, CHEN Bin, GU Yue-ji

(Hangzhou Silan Multichip Circuits Co., Ltd, Hangzhou 310018, China)

Abstract: Based on traditional planar gate IEGT device, a new composite gate structure IEGT device was designed. The device is compatible with electron injection enhancement and carriers storage technology. The longitudinally extending trench gate of the device increases the effective gate length without increasing gate area, and carrier concentration inside the N-drift region is increased. The existence of the trench can reduce the electric field of the side of the P-type base, improve the breakdown voltage falling because of high concentration of the N-type barrier layer, and increase surface carrier concentration to reduce device saturation voltage drop. The device has two different thicknesses of the gate oxide, the gate oxide near the p-type base region adopts a thin gate oxide to maintain the device's normal threshold voltage, and the rest of gate region uses thick gate oxide to reduce the device capacitance which is useful to reduce the switching loss.

Key words: IEGT; trench; N-type barrier; saturation voltage drop; gate oxide

1 引言

IGBT(绝缘栅双极型晶体管)是一种兼容 MOS 和双极器件结构的功率器件^[1],具有高输入阻抗,大电流能力,低通态压降等优点,目前已在开关电源、白色家电、光伏逆变、电焊机和 UPS 等工业领域广泛应用. IGBT 自问世以来一直朝着低损耗、高频率和高可靠性的方向发展^[2],功率损耗一直是衡量器

件性能的重要指标,为了适应全球节能减排的战略需要,降低功耗也会长期作为 IGBT 的主要发展方向^[3]. IGBT 器件根据栅结构不同分为平面栅和槽栅 IGBT. 槽栅 IGBT 结构上消除结型场效应管效应,元胞密度高而具有相对较低的饱和压降,但短路电流较大,器件短路能力下降,在高电压下,较大短路电流会使器件短路瞬间功率过大使温度急剧上升,导致器件损坏. 平面栅 IGBT 因相对较低的短路

电流而具有较高短路能力,仍在高压应用环境中占有一席之地,而降低器件饱和压降一直研究的重点.

IGBT 以集电极的少子注入到轻掺杂的 N-漂移区进行电导调制来降低器件的饱和压降,对于传统 IGBT 结构,漂移区内载流子的浓度分布曲线从集电极到发射极下降很快^[4],器件 N-漂移区内越接近表面的少子浓度越低,使电导调制作用降低而导致 N-漂移区电阻增大. 目前,提高器件表面载流子浓度主要有两种方法. 第一种方法是采用电子注入增强技术,由东芝公司研究人员在 1993 年提出,称为电子注入增强型栅极晶体管 (Injection Enhanced Insulated Gate Bipolar Transistor, IEGT)^[5] 器件. 平面栅 IEGT 与平面栅 IGBT 结构相似,区别在于平面栅 IEGT 栅极长度较长,器件导通时,底部集电极注入的空穴会在长栅极下方的 N-漂移区堆积,为达到电荷平衡, N-漂移区会注入更多的电子,形成了电子注入增强效应 (IE 效应). 原本载流子浓度相对较低的栅极下方 N-漂移区形成高浓度的载流子区,减小器件导通电阻,降低器件的饱和压降. 平面栅 IEGT 栅极长度必须合理控制,长栅极虽能增加空穴积累效果,但两侧 P 型基区距离较远,使两结侧面相互电场减弱的作用减小,导致器件 P 型基区侧面电场强度过高而提前击穿,耐压下降,同时长栅极会使元胞密度较低,浪费芯片面积,提高 IGBT 成本. 第二种方法是采用载流子存储层技术 (Carriers storage)^[6-7],该技术最早被三菱公司应用于槽栅 IGBT,日立公司随后提出的平面栅结构高电导率 IGBT (High-conductivity IGBT)^[8-9] 原理与之相似. 该技术是在 N-漂移区和 P 型基区之间设置一层浓度高于 N-漂移区的 N 型阻挡层,掺杂浓度自上而下逐渐降低,形成了阻挡空穴的势垒,使空穴在此堆积,提高器件表面的载流子浓度. 载流子存储层技术主要从器件工艺角度改善表面载流子浓度,无需修改器件版图结构或增加面积,其缺点是 N 型阻挡层的浓度和深度受到严格控制,浓度太高会造成器件耐压下降.

上述两种方法都有各自的优缺点,但都会造成器件耐压下降. 本文在传统平面栅 IEGT 器件基础上,设计了一种复合栅结构 IEGT 器件.

2 器件结构

图 1 为传统平面栅 IEGT 器件剖面示意图,器件通常需要很长的栅极以增加空穴积累区域面积,实现电子注入增强效应. 图 2 为采用载流子存储层

技术平面栅 IGBT 器件剖面图,器件的 P 型基区下方具有 N 型阻挡层,以形成阻挡空穴的势垒,提高器件表面的载流子浓度.

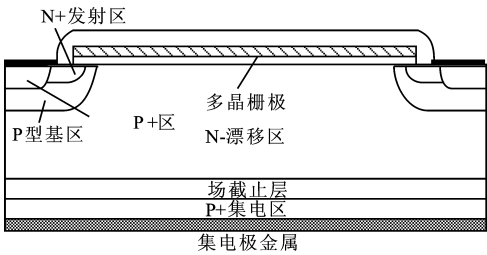


图 1 传统平面栅 IEGT 器件剖面图

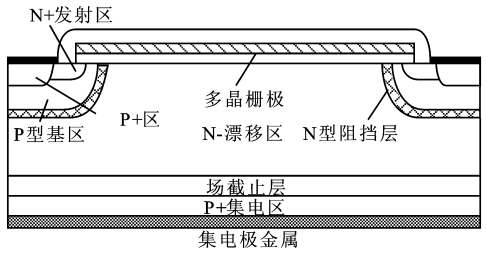


图 2 采用载流子存储层技术平面栅 IGBT 器件剖面图

图 3 为本文提出的一种具有复合栅的新结构 IEGT 器件剖面图,器件在传统平面栅 IEGT 栅极区域设计一个或者多个与平面多晶栅相连的沟槽栅,取代传统平面栅 IEGT 器件的长栅极,其中靠近 P 型基区的栅氧化层厚度较薄,与传统结构氧化层厚度接近,其余部分栅极氧化层较厚以降低器件电容. 器件的 P 型基区下方形成掺杂浓度大于 N-漂移区的 N 型阻挡层. 如图 3 所示,器件背面为 P+集电区和场截止层,场截止层是在背面形成一层浓度高于 N-漂移区浓度的 N 型层用于截止电场,避免 NPT 型 IGBT 器件需要较厚的 N-漂移区以维持较高的反向电压,从而减小芯片厚度,降低器件饱和压降和关断拖尾电流. 场截止区上方是 N-型漂移区,该区域是轻掺杂的 N 型区,其作用是维持足够的反向电压. N-漂移区上方形成了器件的正面结构,包括 N 型阻挡层、P 型基区、P+区、N+发射区、平面多晶栅和沟槽栅、薄栅氧化层区和厚栅氧化层区,构成了器件的 MOS 部分. 当器件开启时,电子自 N+发射区经过平面栅极下方的沟道进入 N-漂移区,引起器件由 P+集电区、N 型场截止区、N-漂移区、P 型基区和 P+区构成的 PNP 型双极晶体管开启,由于电导调制作用,集电区注入的空穴进入原本轻掺杂的 N-漂移区,提高了此区域的载流子浓度,从而降低了导通电阻. 相比与传统平面栅 IEGT 器件,新结构器件具有三个的优点.

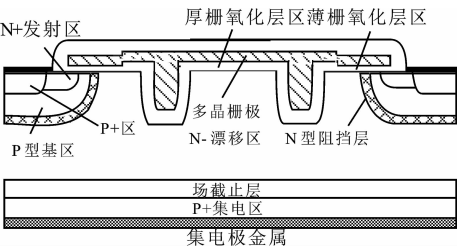


图 3 本文提出的新结构 IEGT 器件剖面图

第一个优点是纵向延伸的沟槽栅增大了器件有效栅极的长度,同时在 N-漂移区靠近沟槽和平面栅极底部区域形成空穴积累区,改善 N-漂移区内部的载流子浓度. 由于沟槽栅的纵向延伸,新结构器件能够利用较小的平面尺寸获得较大的有效栅长度,沟槽的宽度和深度可以调节,无需如传统平面栅 IEGT 器件需要较大的栅极尺寸,有利于提高器件元胞密度,减小芯片面积. 传统平面栅 IEGT 器件空穴只在平面栅下方积累,只能改善 N-漂移区靠近栅极区域的载流子浓度,而新结构器件的空穴能够在槽底部积累,提高槽底部区域附近的 N-漂移区载流子浓度,因此,调节沟槽深度和数量,能够提高 N-漂移区内部的载流子浓度.

第二个优点是沟槽栅能够减小 P 型基区侧面的电场强度,有利于在保持足够耐压前提下,提高 N 型阻挡层浓度. 如前所述,传统平面栅 IEGT 器件长栅极两侧的 P 型基区距离较远,导致 P 型基区之间的侧面电场减弱的作用减小甚至消失, N 型阻挡层则会进一步降低器件的耐压,因此传统平面栅 IEGT 基本不做 N 型阻挡层. 本文设计的复合栅结构 IEGT 器件能够有效减小 P 型基区侧面的电场强度,图 4 为新结构 IEGT 器件反偏时 P 型基区附近电场分布示意图,箭头方向为电场方向,如图 4 所示,新结构 IEGT 由于沟槽栅靠近 P 型基区一侧的电场方向与 P 型基区侧面电场方向相反,起到分压环的作用,只要沟槽栅到 P 型基区距离合适,能够减小 P 型基区侧面电场强度. 图 5 为相同位置新结构 IEGT 器件和传统平面栅 IEGT 器件在 $V_{ce}=1\,700\text{ V}$ 时 P 型基区侧面电场强度的对比仿真结果,本文设计的新结构 IEGT 器件在 P 型基区侧面的最大电场强度为 $1.6\text{E}5\text{ V/cm}$,而传统结构在此处电场强度达到 $2.3\text{E}5\text{ V/cm}$. 因此,新结构 IEGT 器件能够改善传统平面栅结构 IEGT 器件 P 型基区侧面电场强度偏大的问题,提高器件的耐压.

第三个优点是将器件栅氧区域分为薄栅氧区和厚栅氧区. 靠近 P 型基区的栅氧化层厚度较薄,与

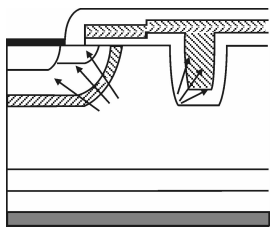


图 4 新结构 IEGT 器件反偏时 P 型基区电场示意图

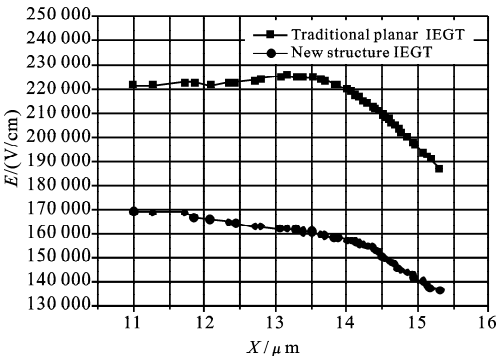


图 5 两种器件 $V_{ce}=1\,700\text{ V}$ 时 P 型基区侧面电场强度对比

传统结构氧化层厚度接近,使器件的阈值电压 V_{th} 基本不变. 其余大部分区域采用厚栅氧化层结构,其厚度为薄栅氧化层的数倍,由于电容值与栅氧介质层厚度反比关系,因此该区域电容比与原先采用薄栅氧时减小数倍,避免器件有效栅氧长度增加引起的电容增加,导致开关损耗增大.

3 仿真结果

本文利用 Silvaco 公司 TCAD 仿真软件对 $1\,700\text{ V}$ IGBT 工艺平台下相同尺寸的传统平面栅 IEGT 器件和复合栅结构 IEGT 器件进行仿真对比.

图 6 为两种器件在 $V_{ge}=15\text{ V}$ 条件下输出电流曲线对比,可知在栅极电压 $V_{ge}=15\text{ V}$ 、集电极电流 $I_{ce}=20\text{ A}$ 条件下,传统的平面栅 IEGT 器件的饱和压降为 2.2 V ,本文提出的新结构 IEGT 器件的饱和压降为 2 V ,新结构 IEGT 器件饱和压降较传统结构降低 0.2 V .

图 7 和图 8 为不同 N 型阻挡层注入剂量拉偏条件下两种结构耐压和饱和压降对比,器件耐压和饱和压降都随着 N 型阻挡层注入剂量增加而下降. 当 N 型阻挡层注入剂量大于 $4\text{e}12$ 时,传统平面栅 IEGT 器件耐压低于 $1\,700\text{ V}$,而本文提出新结构 IEGT 器件在剂量为 $5\text{e}12$ 时仍然具有 $1\,800\text{ V}$ 以上耐压,同时饱和压降下降到 1.75 V ,因此,新结构的 IEGT 器件由于减小了 P 型基区侧面电场强度,提

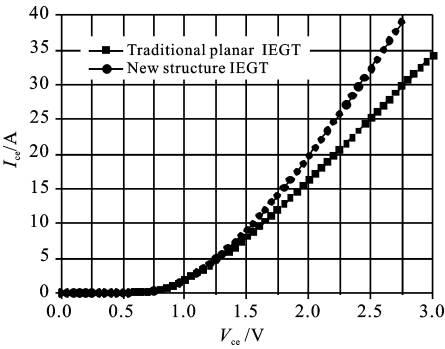


图 6 两种器件 $V_{ge}=15\text{ V}$ 时输出电流对比

高器件的耐压,有利于进一步增加 N 型阻挡层的浓度,以降低器件饱和压降。

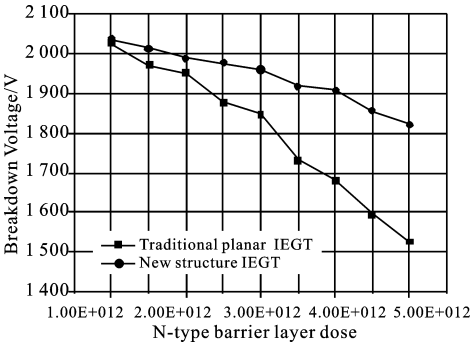


图 7 不同 N 型阻挡层注入剂量拉偏下两种结构耐压对比

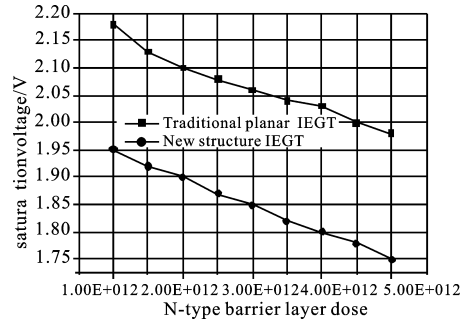


图 8 不同 N 型阻挡层注入剂量拉偏下两种结构饱和压降对比

图 9 为两种器件输入电容 C_{ies} 仿真结果对比,可知在相同器件尺寸下,本文设计的新结构 IEGT 器件的输入电容 C_{ies} 小于传统平面栅 IEGT 器件,同时大部分以厚栅氧为介质层的反向传输电容 C_{res} 也会相应减小(限于文章篇幅,本文未给出仿真曲线)。因此,新结构大部分区域采用厚栅氧化层后,能够有效减小电容,从而避免电容增大导致的开关损耗最加。

4 结束语

本文设计了一种兼容电子注入增强技术和载流

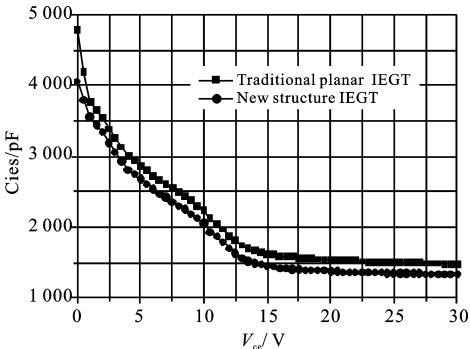


图 9 两种器件输入电容 C_{ies} 仿真结果对比

子存储层技术的复合栅结构 IEGT 器件. 器件的沟槽栅纵向延展栅极长度,增加器件有效栅极长度而不额外增加栅极尺寸,同时减小 P 型基区侧面的电场强度,减轻 N 型阻挡层对器件耐压的影响,提高了其掺杂浓度,有利于在 P 型基区周围形成了阻挡空穴的势垒,形成载流子存储层,从而进一步提高表面载流子浓度,降低器件饱和压降. 器件设计两种不同厚度的栅氧化层,靠近 P 型基区的栅氧化层厚度较薄以维持正常的阈值电压 V_{th} ,其余部分栅极氧化层较厚以降低器件电容,减小开关损耗. 仿真结果显示,在不增加电容的情况下,本文提出的具有复合栅结构的 IEGT 器件在饱和压降较传统结构下降 0.2 V.

参考文献:

[1] NAAYAGI R T, SHUTTLEWORTH R, FORSYTH A J. Investigating the effect of snubber capacitor on high power IGBT turn-off[C]//1st International Conference on Electrical Energy Systems. Tamilnadu, India, 2011: 50-55.

[2] 张金平, 赵倩, 高巍. IGBT 新技术及发展趋势[J]. 大功率交流技术, 2017, 11(5): 21-27.

[3] 毛国锋. IGBT 产业"十三五"有望大发展[J]. 电器工业, 2015, 15(11): 16-17.

[4] 沈千行, 张须坤, 张广银, 等. IGBT 载流子增强技术发展概述[J]. 半导体技术, 2016, 40(10): 751-757.

[5] MITSUHIKO KITAGAWA, ICHIRO OMURA, SHIGERU HASEGAWA. A 4500 V injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a thyristor[C]//IEDM Tech 1993. [S. l.]. 1993: 679-682.

[6] TAKAHASHI H, HARUGUCHI H, HAGINO H. Carrier stored trench-gate bipolar transistor (CSTBT) -a novel power device for high voltage application[C] // ISPSD'96. NEW YORK, NY, USA, 1996: 349-352.

三方面综合表现最好,最适合在嵌入式端部署,且占用小量的小量芯片资源. 虽然其计算量方面的优势没有参数量那么明显,但是对于嵌入式设备,存储资源需求的权重大于计算量的权重,关键词识别系统的参数量直接决定了该系统能否在嵌入式端部署,而如果存储需求满足则可以通过使用芯片内置 DSP 指令加速运算,缓解计算量压力. 且较少的参数量意味着网络在推理阶段更好的存储交换操作,也可以在一定程度上加速计算.

5 结束语

本文探索使用传统卷积神经网络和深度可分离卷积神经网络来完成关键词识别任务,并将传统卷积神经网络、深度可分离卷积神经网络和全连接深度神经网络在存储消耗、计算量和识别精度进行比较. 实验结果表明,本文提出的基于深度可分离神经网络的 Low_MobileNets 网络在三个方面都有很大的优势,其计算量、参数量的大小都适合在资源受限的嵌入式设备端部署,且计算量、参数量还有进一步的改进空间,以适用条件更苛刻的嵌入式设备.

参考文献:

[1] 郑方. 连续无限制语音流中关键词识别方法研究[D]. 北京:清华大学, 1997.

[2] CHEN G, PARADA C, HEIGOLD G. Small-footprint keyword spotting using deep neural networks[C] // 2014 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). Florence, Italy ,IEEE, 2014: 4087-4091.

[7] KAMIBABA R, KONISHI K , FUKASA Y. Next generation 650V CSTBT with improved SOA fabrication by an advanced thin wafer technology [C] // ISPSD 2015. Hong Kong, China, 2015:29-32.

[8] MORI M, UCHINO Y, SAKANO J. A novel High-conductivity IGBT (HiGT) with a short circuit capability [C] // ISPSD 1998. Kyoto, Japan, 1998: 429-432.

[9] MORI M, OYAMA K, ARAI T. A planar-gate high-conductivity IGBT (HiGT) with hole-barrier layer

[3] LECUN Y, BENGIO Y. Convolutional networks for images, speech, and time series[J]. The handbook of brain theory and neural networks, 1995, 3361(10): 66-68.

[4] 张晴晴, 刘勇, 潘接林, 等. 基于卷积神经网络的连续语音识别[J]. 北京科技大学学报, 2015, 37(9):1212-1217.

[5] 惠博. 语音识别特征提取算法的研究及实现[D]. 西安:西北大学, 2008.

[6] 刘华平, 李昕, 郑宇, 等. 一种改进的自适应子带谱熵语音端点检测方法[J]. 系统仿真学报, 2008, 20(5): 1366-1371.

[7] HOWARD A G, ZHU M, CHEN B, et al. Mobile-nets: Efficient convolutional neural networks for mobile vision applications[z]. arXiv preprint arXiv:1704.04861, 2017.

[8] SZEGEDY C, LIU W, JIA Y, et al. Going deeper with convolutions[C] // Proceedings of the IEEE conference on computer vision and pattern recognition. Boston, USA, 2015: 1-9.

[9] WARDEN P. Speech commands: A dataset for limited-vocabulary speech recognition[J]. arXiv preprint arXiv:1804.03209, 2018.

作者简介:

王 帅 男, (1993-), 硕士研究生. 研究方向为语音识别、深度学习. E-mail: 13659829769@163. com.

彭意兵 男, (1994-), 硕士研究生. 研究方向为深度学习、网络安全.

何顶新 男, (1966-), 硕士, 教授. 研究方向为系统仿真、控制工程.

(上接第 102 页)

[J]. IEEE Trans. Electron Devices, 2007 (54): 1515-1520.

作者简介:

韩 健 男, (1983-), 硕士研究生, 工程师. 研究方向为功率半导体器件研发. E-mail: hanjianhdu@163. com.

陈 斌 男, (1987-), 硕士, 工程师. 研究方向为半导体器件仿真.

顾悦吉 男, (1983-), 硕士, 工程师. 研究方向为功率半导体器件.