

引用格式:智玉欣,蔡小五,赵海涛,等.一种宽电源电压输入多通道振荡器的电路设计[J].微电子学与计算机,2020,37(9):1-5. [ZHI Y X, CAI X W, ZHAO H T, et al. Circuit design of wide supply voltage input and multi-channel oscillator [J]. Microelectronics & Computer, 2020, 37(9): 1-5.]

一种宽电源电压输入多通道振荡器的电路设计

智玉欣^{1,2,3}, 蔡小五^{1,2,3}, 赵海涛^{1,3}, 夏瑞瑞^{1,2,3}, 刘海南^{1,3}, 罗家俊^{1,2,3}

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学,
北京 100049; 3 中国科学院 硅器件技术重点实验室, 北京 100029)

摘 要: 采用 BCD 工艺设计了一中宽电源电压输入、多通道张弛振荡器电路, 文中提出的一种片上电源变换电路以及一种基于张弛振荡器的时钟产生电路, 克服了宽电源范围供电情况下对低压振荡器的要求, 在降低电压变换电路复杂性的同时降低了频率对电压的敏感性, 可应用于单电源高压供电芯片。在电源电压 VDDH 为典型值 24 V 情况下, 逻辑低电平 VDDL 温度系数为 290 ppm/°C; 电源电压从 0 跳变到 24 V 时, VDDL 稳定 5 V 仅需 0.16 μs; 27°C 情况下, 电源电压 VDDH 从 7 V 到 40 V 变换情况下, VDDL 电平变化 1.72%。27 °C 情况下, 在 7 V 供电电压时, 最大时钟偏移 0.20%; 在 24 V 供电电压时, 最大时钟偏移 0.21%。电路采用 0.25 μm 工艺实现, 在电源电压 24 V, 工作频率 25 MHz 时, 电流消耗仅为 150 μA。

关键词: 宽电源电压; 多通道张弛振荡器; 电压敏感性; 功率集成电路

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)09-0001-05

Circuit design of wide supply voltage input and multi-channel oscillator

ZHI Yu-xin^{1,2,3}, CAI Xiao-wu^{1,2,3}, ZHAO Hai-tao^{1,3}, XIA Rui-rui^{1,2,3},
LIU Hai-nan^{1,3}, LUO Jia-jun^{1,2,3}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China;

3 Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper introduces a design of multi-channel relaxation oscillator circuit using BCD process wide power supply voltage input. An on-chip power conversion circuit and a clock generation circuit based on a relaxation oscillator are proposed to overcome the requirement of a low-voltage oscillator under a wide power supply range, and reduce the frequency-to-voltage sensitivity while reducing the complexity of the voltage conversion circuit. This circuit can be applied to a single power supply chip for a wide range of voltage changes. When the power supply voltage VDDH is a typical value of 24 V, the logic low level VDDL temperature coefficient is 290 ppm / °C; when the power supply voltage changes from 0 to 24 V, VDDL is stable at 5 V and needs only 0.16 μs. At 27 °C, the VDDL level changes by 1.72% when the power supply voltage VDDH changes from 7 V to 40 V. At 27°C, the maximum clock offset is 0.20% at 7 V supply voltage and 0.21% at 24 V supply voltage. The circuit is implemented in CSMC 0.25 μm process. When the power supply voltage is 24 V and the operating frequency is 25 MHz, current consumption is only 150 μA.

Key words: wide supply voltage; multi-channel relaxation oscillator; voltagesensitivity; power IC

1 引言

时钟电路广泛地存在于数字电路、模拟电路和混合信号电路中,可应用于电荷泵电路、信号采集电路、开关电容电路以及许多其他电路中^[1].如何在单电源供电且供电范围大的情况下产生稳定的低压时钟信号就显得尤为重要.传统的电源变换电路是采用 LDO 低压差线性稳压器,但是此类电路设计复杂、占用面积大,且需要外接电容,大大限制了其应用范围;传统时钟电路可由环振或者 PLL 电路产生,环振稳定性差;PLL 设计复杂且需要外接晶振,这也限制了其应用范围.

本文提出一种基于 BCD 工艺宽电源电压输入、多通道振荡器的电路设计,通过将 7 V 至 40 V 的电源电压输入,变换为 5 V 的稳定输出,再以此电压产生时钟信号^[2].

2 系统分析

图 1 是一种基于电荷泵的传统张弛振荡器电路结构框图,其中电荷泵由两个电流源组成,该电流源周期性地对电容器 C_L 进行充放电,然后将电容器上的电压与比较器负端的电压进行比较,经 Buffer 之后输出具有周期性变换的时钟信号。 V_{ref} 是片内基准电压源,当比较器输出高电平电平时,比较器负端点位为:

$$V = V_{ref} \frac{R_2}{R_1 + R_2} \quad (1)$$

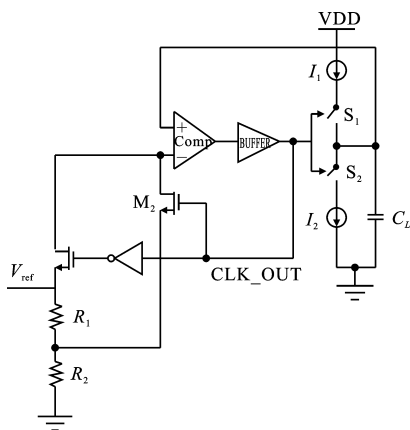


图 1 传统张弛振荡器结构图

在电路的基础上增加选频模块和频率校准模块,可以产生七个不同频率的信号,如图 2 所示,频率范围从 5.5 MHz 到 30 MHz. 一般来说,频率越高,消耗的动态功率越大,根据实际电路需求,可以选择不同的通道信号作为时钟源^[3].

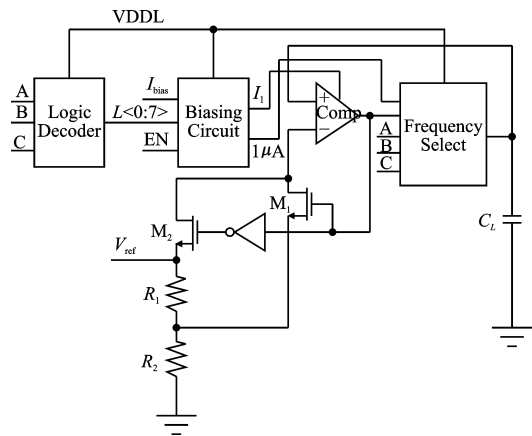


图 2 经改进的振荡器结构

2.1 电源变换电路

图 3 是该论文提出的新型稳压源结构,该电路的巧妙之处在于:一是由两个双极性晶体管 Q_1 、 Q_2 和 R_1 组成等效跨导输入级,其等效跨导分别为 G_{m1} 、 G_{m2} ;二是利用该跨导级的双极晶体管构成带隙基准源,可以一定程度上抵消温度引起的电压漂移; D_{z1} 、 D_0 、 D_1 、 D_2 与 D_3 对高压管 MN_9 栅极进行保护, D_{z2} 对 MN_8 栅极进行保护,防止突然上电时对电路造成损坏。

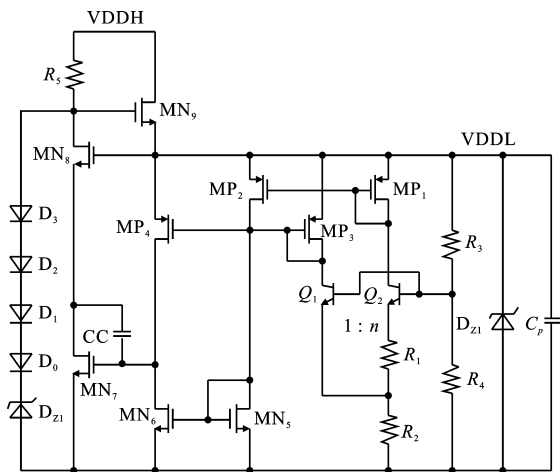


图 3 新型稳压源结构

巧妙一处分析:

双极晶体管的电流方程近似为:

$$I_C = n I_0 \exp\left(\frac{V_{BE}}{V_T}\right) \quad (2)$$

其等效跨导为:

$$g_m = \frac{\partial I_C}{\partial V_{BE}} = \frac{I_C}{V_T} \quad (3)$$

则输入级 Q_1 、 Q_2 的等效跨导 G_{m1} 、 G_{m2} 分别为:

$$G_{m1} = g_m \quad (4)$$

$$G_{m2} = \frac{8 g_m}{1 + 8 g_m R_1}$$

$$= \frac{g_m}{\frac{1}{8} + g_m R_1} \quad (5)$$

$$g_m R_1 > 7/8 \text{ 时: } G_{m1} > G_{m2} \quad (6)$$

则节点 1 电压波动引起的节点 3 电压变化可以由下式表示:

$$A_{V0} = -(G_{m1} - G_{m2})(r_{o4} \parallel r_{o6}) g_{m7} \cdot (R_5 \parallel g_{m8} r_{o8} r_{o7}) \quad (7)$$

整个环路形成负反馈来稳定输出低电平 VDDL, 电容 C_C 用来维持整个环路的稳定性, 对电源突然上电时 VDDL 稳定时间有影响。

巧妙二处分析:

电路中 Q_1 、 Q_2 并联个数为 1:8, 当电路处于平衡态时, 流过 MP_3 、 MP_1 的电流相等, R_1 两端的电压为:

$$\Delta v_1 = V_T \ln n \quad (8)$$

所以流经 Q_1 、 Q_2 两支路的电流为:

$$I_1 = I_2 = \frac{\Delta v_1}{R_1} \quad (9)$$

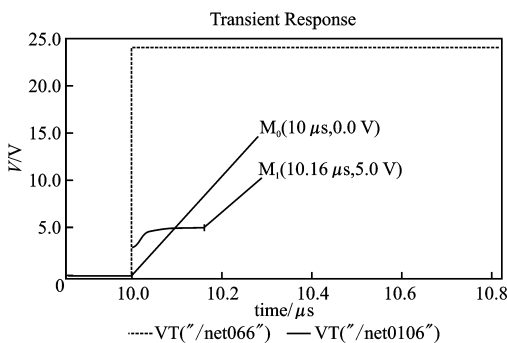
节点 1 的电压为:

$$v_1 = \frac{2 R_2 \ln n}{R_1} V_T + V_{BE1} \quad (10)$$

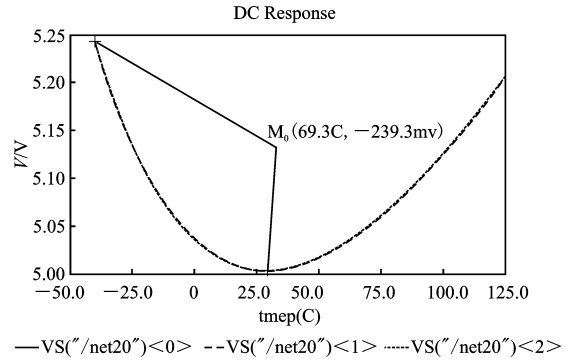
V_{BE1} 为负温度系数, V_T 为正温度系数, 所以通过调节 V_T 前的系数可以得到与温度无关的电压基准^[4], 其温度系数 β 为:

$$\beta = \frac{2 R_2 \ln n}{R_1} \quad (11)$$

图 4(a)(b) 分别代表了在电源电压上电时, 以及在温度从 -40°C 升至 125°C 时, 三种工艺角条件下 VDDL 电压变化。由图 4(a) 可见, 电源电压从 0 跳变到 24 V 时, VDDL 稳定 5 V 仅需 $0.16 \mu\text{s}$; 由图 4(b) 可计算出, 逻辑低电平 VDDL 温度系数为 $290 \text{ ppm}/^\circ\text{C}$



(a) 电源电压上电 VDDL 变化图



(b) VDDL 随温度变化示意图

图 4 VDDL 电压变化示意图

2.2 本文改进的时钟电路

图 2 是本文提出的张弛振荡器结构, 整个电路在输入偏置电流 $1 \mu\text{A}$ 的条件下工作。主要包括偏置模块、比较器、频率选择模块、逻辑译码模块和反馈电路模块组成。偏置模块不仅为比较器提供恒定的 $10 \mu\text{A}$ 偏置电流 (I_1), 而且为频率选择模块提供可校准的偏置电流。包含一个由两个电流源组成的电荷泵。通过配置 A、B 和 C 可以更改电流源的充电和放电电流, 从而控制频率。除了 $A=B=C=0$ 的情况外, 这三个输入还可以实现七种不同的配置。逻辑译码模块通过微调不同配置下的频率选择模块的电流来实现精确的频率控制。CLK 信号由比较器的输出提供。根据图一进行分析, 当 CLK 信号为高电平时, 比较器负极的电压为:

$$V_L = \frac{R_2}{R_1 + R_2} V_{\text{ref}} \quad (12)$$

比较器 C_L 放电至 V_L , 比较器输出低电平。此时, 比较器负极的电压为 V_{ref} 。当电荷泵将 C_L 充电至 V_{ref} 时, 时钟信号再次反转, 可以通过改变电阻比 (R_1 和 R_2) 来调节频率。

根据电容的特性得:

$$I = C \frac{dv}{dt} \quad (13)$$

其中 v 是电容两端的电压, I 是电容的充电和放电电流, 电容的充电速率为:

$$S_{\text{charge}} = \frac{I_1}{C_L} \quad (14)$$

当比较器输出低电平时, 电流源给电容 C_L 充电, 电容 C_L 的时域电压变化为:

$$V(t) = V_L + S_{\text{charge}} t_{\text{charge}} \quad (15)$$

当电容 C_L 的电压充电至阈值电压 V_H 时, 比较器的输出发生翻转, 由式(14) 得充电时间为:

$$t_{\text{charge}} = \frac{V_H - V_L}{S_{\text{charge}}} \quad (16)$$

同样,电容的放电速率为:

$$S_{\text{discharge}} = \frac{I_2}{C_L} \quad (17)$$

放电时,电容 C_L 两端的时域电压变化为:

$$V(t) = V_H - S_{\text{discharge}} t_{\text{discharge}} \quad (18)$$

当电压降低到阈值电压 V_L 时,比较器再次翻转,根据式(17),放电时间为:

$$t_{\text{discharge}} = \frac{V_H - V_L}{S_{\text{discharge}}} \quad (19)$$

如果忽略比较器和反馈系统延迟,则输出振荡频率为:

$$f = \frac{I_1 I_2}{C_L (I_1 + I_2) (V_H - V_L)} \quad (20)$$

根据公式(19),可以通过改变比较器的上下阈值电压 V_H 和 V_L ,电荷泵的充电和放电电流 I_1 与 I_2 ,以及电容器 C_L 的大小来调整振荡频率,振荡频率不受工艺、温度的影响。

2.2.1 电流偏置电路

电流偏置模块为比较器和频率选择提供偏置电流,如图5所示,为了提高电流复制的精度,电路中采用了两种电流镜结构。

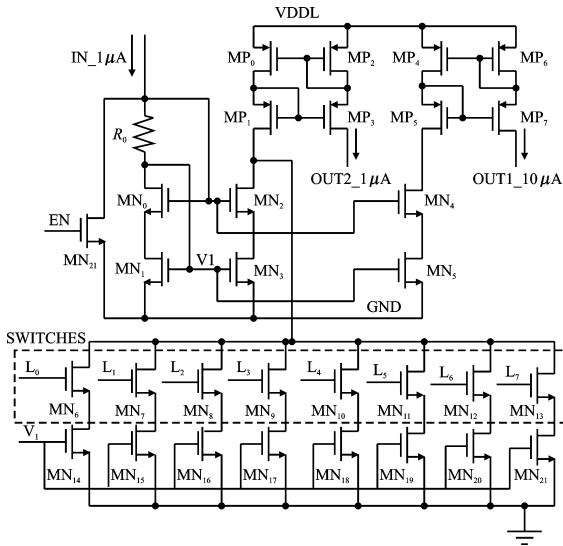


图5 电流偏置电路

R_0, MN_0, MN_1, MN_2 和 MN_3 构成自偏置共源共栅电流镜; MP_0, MP_1, MP_2 和 MP_3 构成 Wilson 电流镜^[5], 并且 MN_{21} 的栅极连接到使能信号 EN。当 $EN=1$ 时,整个电路模块不工作,可以大大降低功耗。 $MN_6 \sim MN_{13}$ 作为开关使用,其门极连接的逻辑模块为每个频率提供校准电流。作为简单的电流镜模块,需要根据校准电流确定 $MN_{14} \sim MN_{21}$ 的宽

长比。

2.2.2 频率选择模块

频率选择模块由电流镜,选择开关和电荷泵组成,如图6。同样,使用自偏置电流镜和 Wilson 电流镜来提高电流的复制精度。开关 A, B, C 的不同组合可为电荷泵提供七种不同的充电和放电电流(不包括 $A=B=C=0$),从而生成七种不同频率的时钟信号。为减少开关上的电压损耗,采用传输门实现开关功能。电荷泵的充电电流和放电电流决定了时钟的占空比,为了使时钟的占空比为 50%,应当使得 I_1 和 I_2 相等^[5]。

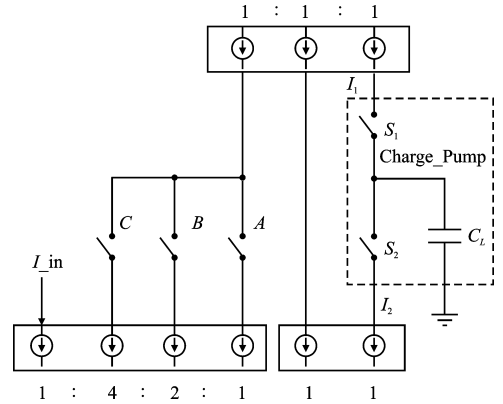


图6 频率选择模块示意图

具体的电路实现形式如图7所示。

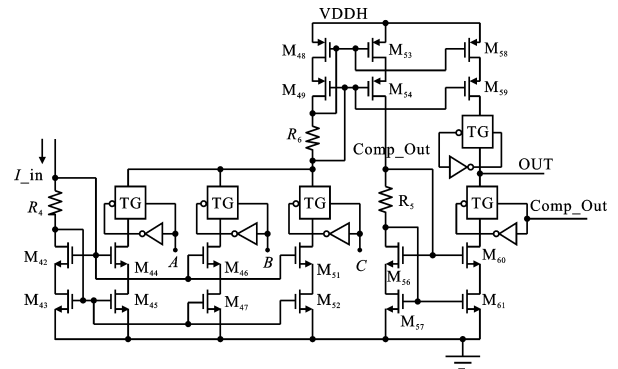


图7 频率选择电路

3 仿真结果与分析

基于 $0.25 \mu\text{m}$ BCD 工艺模型,采用 Cadence Virtuoso 进行仿真实证。

分别在电源电压 7 V, 温度 27°C ; 电源电压 24 V, 温度 27°C 条件下对各个通道信号进行仿真,四种典型频率的仿真结果分别以数据的形式记录于表1、表2中。在电源电压 7 V, 温度 27°C 时,最小频率漂移为 0.10%,最大频率漂移为 0.20%;在电源电

压 24 V,温度 27℃时,最小频率漂移为 0.11%,最大频率漂移为 0.21%,最大值小于文献[6]的漂移,因此电源电压在很大的范围内变化时,对此电路的时钟频率影响极小。

表 1 VDDH=7 V,T=27℃时四种频率仿真结果

频率/MHz	5.5	16.6	25	30
周期/ns	182.000	60.313	40.068	33.400
偏移/%	0.10	0.12	0.17	0.20

表 2 VDDH=24 V,TT=27℃时四种频率仿真结果

频率/MHz	5.5	16.6	25	30
周期/ns	182.018	60.331	40.072	33.402
偏移/%	0.11	0.15	0.18	0.21

表 3 分别对文献中的电路与本文的电路性能做了比较,可见,本文的优点一是可以实现宽范围的电压变化,这一优点的实现是基于电压变换电路的基础;优点二是可以实现多通道的频率输出;优点三是对电源电压的敏感性很低。以上优点是以牺牲电流消耗来实现的,本文提出的电路的电流消耗要高于文献[3]与文献[4]的电流消耗。

表 3 性能比较

	文献[2]	文献[3]	文献[4]	本文
工艺/ μm	0.25	0.18	0.18	0.25
电源电压/V	2.5	1.4	1.8	24
单/多通道	单	单	单	多
电源电压范围/V	2.40~2.70	1.40~3.30	1.62~1.98	7.00~40.00
频率/MHz	7.0	4.7	25.0	25.0
电流消耗/ μA	600	38	28	150
电源电压引起的频率变化/%	0.32	0.40	0.22	0.18

4 结束语

基于 0.25 μm BCD 工艺的宽电源电压输入、多通道振荡器电路的设计,在传统的张弛振荡器基础上做一些改进,实现了单通道向多通道的优化;增添电压转换模块,实现了宽电源电压输入的功能,可以实现 7 V 到 40 V 的电源电压输入,该范围内低电压变化率 1.72%;结合频率校准模块实现了频率偏移的缩小,典型电压 24 V 应用下,在 27℃时,最大频

率偏移出现在 30 MHz 频率下,其值为 0.21%;最小偏移出现在 5.5 MHz 频率下,其值为 0.11%。此电路可作为单电源供电功率集成电路中的时钟源,在工程实际中有很强的实用性。

参考文献:

[1] O’CIBBELL T R,HARTMAN J M,ERRETT E B ,et al. Two static 4K clocked and noncl ocked RAM designs[J]. IEEE Journal of Solid-State Circuits, 1977, 12(5):479-501.

[2] SYBNDARESAN K, ALLEN P E, AYAZI F. Process and temperature compensation in a 7MHz CMOS c-lock oscillator[J]. IEEE Journal of Solid-State Ci-rcuits,2006,41(2):433-422.

[3] LEE J,PARKP,CHO S H,et al. A 4.7MHZ 53uW fullydiferential CMOS reference clock oscillator with 22dB worst-case PSRR for miniaturized SoCs[C]//In-ternational Solid-State Circuits Con-ference. SanFranci-sio,CA,USA:IEEE press,2015:1-3.

[4] CAO Y, YAN R J, HONG Z L. On-chip rela- xation oscillator with low temperature sensitivi ty [J]. Micro-electronics and Computer,2018,35(3):28-32.

[5] BEGZAD RAZAVI. Design of Analog CMOS Integ-rated Circuits [M]. Xi’ an: Xian Jiaotong University Press,2013.

作者简介:

智玉欣 男,(1993-),硕士研究生. 研究方向为模拟集成电路设计. E-mail:zhiyuxin168@163.com.

蔡小五 男,(1979-),博士,研究员,博士生导师. 研究方向为智能功率集成电路设计、体硅 BCD 和 SOI BCD 工艺研究、功率器件 VDMOS 设计等.

赵海涛 男,(1983-),硕士,助理研究员. 研究方向为智能功率集成电路设计.

夏瑞瑞 女,(1996-),博士. 研究方向为智能功率集成电路设计.

刘海南 男,(1979-),硕士,副研究员. 研究方向为集成电路的高可靠性设计技术研究.

罗家俊 男,(1973-),博士,研究员,博士生导师. 研究方向为深亚微米集成电路低功耗设计技术、高性能深亚微米数模混合集成电路设计技术、智能功率集成电路设计技术等.