

引用格式:赵灿坤,王自强. 基于动态可重构处理器的信道估计算法实现[J]. 微电子学与计算机,2020,37(7):1-5. [ZHAO C K, WANG Z Q. Implementation of channel estimation algorithms based on dynamic reconfigurable processor [J]. Microelectron-ics & Computer,2020,37(7):1-5.]

基于动态可重构处理器的信道估计算法实现

赵灿坤,王自强

(清华大学 微电子学研究所,北京 100084)

摘 要: 随着无线通信标准的快速发展与各个协议中操作模式数量的激增,为特定模式设计专用芯片的成本和时间难以承受. 同时,使用通用微处理器来进行信号处理的速度过慢,难以满足需要. 本文尝试在动态可重构处理器架构上实现一种 MIMO-OFDM 系统中典型的信道估计算法,可以兼顾硬件实现的灵活性与处理速度的高效性. 在 28 nm 工艺下以 1 GHz 的时钟频率仿真,其处理速度可达通用微处理器的 8.8 到 14.6 倍.

关键词: 可重构处理器;信道估计;多输入多输出;正交频分复用

中图分类号: TP332

文献标识码: A

文章编号: 1000-7180(2020)07-0001-05

Implementation of channel estimation algorithms based on dynamic reconfigurable processor

ZHAO Can-kun, WANG Zi-qiang

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: With the rapid development of wireless communication standards and the proliferation of operating modes in various protocols, the cost and time to design an ASIC for a particular mode is unbearable. At the same time, the use of a general-purpose microprocessor for signal processing is too slow to meet the needs. Therefore, this paper attempts to implement typical channel estimation algorithms in a MIMO-OFDM system on a dynamic reconfigurable processor architecture, which can balance the flexibility of hardware implementation and the efficiency of processing speed. It is simulated at a clock frequency of 1 GHz in 28 nm process, and its processing speed can reach 8.8 to 14.6 times of that of a general-purpose microprocessor.

Key words: reconfigurable processor; channel estimation; MIMO; OFDM

1 引言

在无线通信系统中,发射端发出的信号经过复杂多变的信道到达接收端,传输过程中信号会经过各种反射、散射、衍射,导致接收端收到的信号发生畸变. 需要对信道进行建模与估计来恢复发射信号,因此研究信道估计的各类算法具有重要意义.

在多输入输出(Multiple-Input Multiple-Output, MIMO)-正交频分复用(Orthogonal Frequency

Division Multiplexing, OFDM)系统中信道信息的准确性对系统性能有很大影响^[1]. 对信道的估计有多方面的要求:一是支持多种算法;二是满足不同的信号标准;三是估算的速度要快、以减小延时. 因此信道估计对实现的硬件具有很高的要求.

随着无线通信标准的发展以及各协议中操作模式数量的激增,ASIC 设计的成本和时间难以承受,使用灵活的可重构硬件平台进行 MIMO 信号处理的方法越来越重要. 相关研究^[2-5]都在尝试使用不同

的可重构架构实现 MIMO 系统中常用的估计检测算法。

本文将基于信道估计算法多种类、多标准、实时处理等要求,在可重构处理平台上实现典型的信道估计算法,并进行功能和速度的性能仿真,实现将特定信道估计算法进行高效硬件实现的过程。

2 信道估值算法

2.1 MIMO-OFDM 系统

MIMO 技术指在无线通信系统中,发射端和接收端分别使用多根天线发射和接收信号的技术,它在保持发射功率和带宽不变的情况下,提高数据传输速率和系统的信道容量,改善系统通信质量。

OFDM 技术指将无线通信的信道分割为多个互相正交的子信道,从而实现将高速的串行数据流转变为若干个低速的并行数据流进行窄带传输的技术。它可以有效对抗信道的频率选择性衰落问题,同时还可以增大系统的频谱利用率。

由于上述优势,将两者结合的 MIMO-OFDM 系统在实际生产生活中得到了广泛的应用。图 1 展示了一个 MIMO-OFDM 系统的简化结构框图。

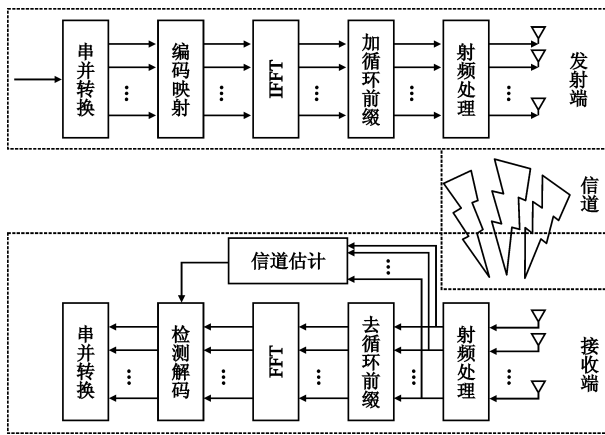


图 1 MIMO-OFDM 系统简化结构框图

2.2 信道估计算法简介

MIMO-OFDM 系统的信号传递模型为:

$$\mathbf{X}_P = \mathbf{X}_P \mathbf{H}_P + \mathbf{W}_P \quad (1)$$

式中, $\mathbf{X}_P$ 表示发射信号中的导频信号, $\mathbf{Y}_P$ 表示接收信号中的导频信号, $\mathbf{H}_P$ 表示导频处的信道响应, $\mathbf{W}_P$ 表示导频处的均值为零, 方差为 σ^2 的加性高斯白噪声。 $\mathbf{X}_P = \text{diag}(\mathbf{X}_{P0}, \mathbf{X}_{P1}, \dots, \mathbf{X}_{P(N-1)})$ 为 $N \times N$ 的矩阵, $\mathbf{Y}_P$ 、 $\mathbf{H}_P$ 、 $\mathbf{W}_P$ 为 $N \times 1$ 的列向量。设计目标是根据已知的 $\mathbf{X}_P$ 和 $\mathbf{Y}_P$, 尽可能准确地对信道矩阵 $\mathbf{H}_P$ 进行估计。

信道估计有多种算法, 以下对几种算法进行了分析:

(1) 最小二乘信道估计算法

最小二乘 (Least Square, LS) 算法对信道的估计只需使用发射和接收的导频数据, 而与噪声、接收信号的其他统计值等信息均无关。所以 LS 算法的最大优势是计算复杂度很低。但由于算法不考虑接收端的高斯白噪声, 所以当信噪比较小时, 估计的性能就会明显恶化。因此一般实际应用中不会直接将信道估计结果作为最终估计结果, 而是以此为基础进一步进行其他估计处理。

(2) 最小均方误差信道估计算法

最小均方误差 (Minimum Mean Square Error, MMSE) 信道估计理论上应基于二维的维纳滤波器进行设计, 从而具有最优的 MSE 性能^[6]。但是由于二维维纳滤波器的复杂度过高, 无法在实际应用中实现, 因此一般采用一维的频域和时域维纳滤波器进行估计。MMSE 算法利用了子载波的互协自协方差矩阵及噪声的统计特征, 对最小二乘信道估计算法的结果进行了修正, 得到了更精确的估计结果。但是由于所需的信道和噪声信息难以获得, 且其中的矩阵求逆复杂度很高, 所以在实际情况中难以广泛应用。

(3) 线性最小均方误差信道估计算法

线性最小均方误差 (Linear Minimum Mean Square Error, LMMSE) 算法是一种 MMSE 算法的近似算法, 降低了 MMSE 算法的复杂度^[7]。

(4) 正交掩码

正交掩码 (Orthogonal Cover Code, OCC) 是一种在通信领域将解调参考符号 (Demodulation Reference Signal, DMRS) 进行正交化处理的方法, 它的具体变换方法与离散沃尔什-哈达玛变换 (Discrete Walsh-Hadamard Transform, DWHT) 相同。

2.3 本设计使用的信道估计算法

本设计要实现的算法选择了一种典型的通信模型, 系统的结构示意图如图 2 所示, 以 12 个子载波为单位进行处理。

由图 2 可以看出, 信道估计可以分为 3 个步骤: 首先, 对接收到的参考信号进行 LS 信道估计, 从而得到导频位置的 LS 信道估计矩阵; 其次, 对 LS 信道估计矩阵进行 OCC 恢复, 以此得到发射信号进行 OCC 处理前的导频位置对应的信道矩阵; 最后, 在频域和时域分别进行 LMMSE 信道估计, 以得到所有子载波位置的信道矩阵估计。该流程如图 3 所示。

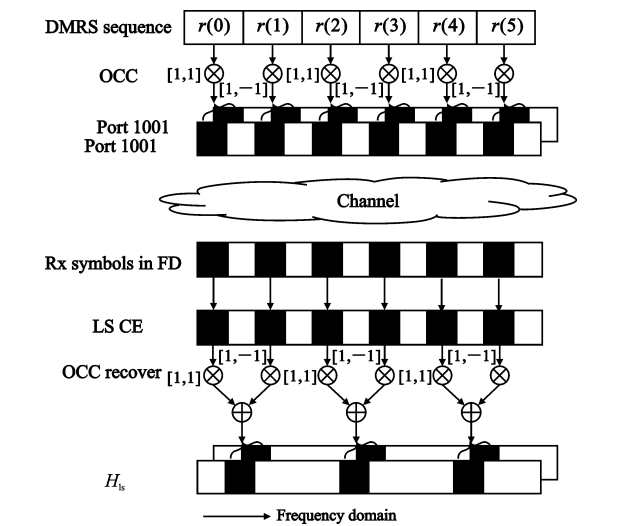


图 2 通信模型

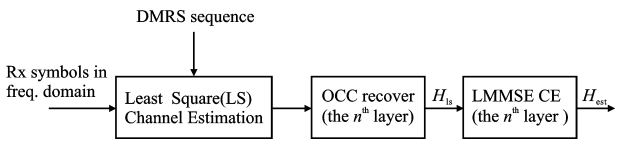


图 3 信道估计算法流程图

3 可重构处理器结构

可重构处理器包括配置存储器、数据存储器、AHB总线、ARM核以及四个计算单元阵列(Processing Element Array,PEA)。

每个计算单元(Processing Element,PE)由一个ALU及本地的数据存储器和配置存储器构成,每个算法进行运算前先由处理器的主控ARM将配置信息搬运到每个功能单元中,之后每个单元按照预设的配置进行运算。

3.1 计算结构

处理器由四个PEA组成,每个PEA均包含一个由4×4的PE构成的阵列。每个PE包含一个ALU,支持三个输入,两个输出。其中输入包含两个32 bit的粗粒度输入和一个1 bit的细粒度输入,输出包括一个32 bit的粗粒度输出和一个1 bit的细粒度输出。

3.2 存储结构

处理器的存储结构可分为数据存储及配置信息存储两部分。

数据存储可以分为3层。最高层为共享存储器(Shared Memory,SM),共4个,每个PEA对应一个SM。第2层为PEA内部的全局寄存器(Global Register,GR),每个PEA内有16个GR,可用来与

ARM核交换运行时产生的数据。第3层为PE内部的寄存器堆(Register File,RF),每个PE内都有16个数据寄存器,用来暂存计算中所需的数据,以减少频繁的SM读写。

此外,每个PE内部还有两个为了脉动阵列而专门设计的脉动寄存器(Systolic Register,SR),以及为了乘累加和乘累减而设计的寄存器等,但是这些寄存器对于使用处理器的开发者是透明的。

配置信息的存储较为简单,每个PE内有一个配置寄存器(Context Memory,CM)。

3.3 配置结构

为了压缩配置信息以使配置信息占据的存储空间尽可能小,本处理器采用分层式的配置信息,一共分为3层。每个PEA对应的配置信息称为一个配置包,从上至下各层的配置信息为:

(1)PEA顶层配置信息(PEA_TOP),指定PEA顶层迭代次数,即下面的所有PE配置信息会被重复运行几遍。

(2)PE顶层配置信息(PE_TOP),指定PE顶层迭代次数及迭代开始行号。

(3)PE配置信息(PE_CONF),用来指示该PE在每个周期运行的功能。

4 信道估值算法在可重构处理器上的映射

4.1 常用映射思路

为了将算法映射到PEA上,首先需要分析该算法中的关键算子,将可并行运行的关键算子拆解成数据流图(Data Flow Graph,DFG)的形式。具体来说,PEA常用的算法映射策略有时间映射(Temporal Mapping)和空间映射(Spatial Mapping)。

(1)时间映射

时间映射的思路是将每一个PE视为一个独立的单元,每个单元在各个周期执行的指令一般不相同,像16个独立的串行处理器同时工作。按照该思路可以很方便地将代码映射到PEA阵列上。但是映射的结果往往性能很差,因为它不是按照可重构计算的设计思想映射的,没有充分利用到该结构的优势。

(2)空间映射

空间映射的思路是将数据流图转化为流水线,将每一个PE视为流水线上的一级,通过配置信息中的“迭代次数”让其重复执行同一操作,通过递增的直接或间接访问来读写数据。按照该思路映射往往可以得到比较好的性能,因为它符合可重构计算

的“配置一次,计算多次”的理念.但是很多时候算法并不能完全转化为流水线映射到阵列上,这时就需要用时间映射的方法在其他 PE 上补全阵列的功能.

4.2 算法核心算子

本设计实现的算法包括 3 个步骤:LS 信道估计、OCC 恢复、LMMSE 信道估计.

(1)LS 信道估计

LS 信道估计要将输入的接收信号 y 与参考信号 r_s 做矩阵中逐元素复数除法,其中接收信号 y 的维度为 6×2 ,参考信号 r_s 的维度为 6×1 .一方面由于所用的可重构处理器不支持复数除法,另一方面由于在接收端已知参考信号 r_s 远早于接收信号 y ,所以可以将复数除法转换为预先求出参考信号 r_s 的倒数 r_{s_r} ,再在接收到信号 y 后将 y 与 r_{s_r} 进行复数乘法.

(2)OCC 恢复

OCC 恢复操作将 LS 信道估计的结果进行加减处理.其中输入的 LS 信道估计矩阵 H_{ls} 的维度为 6×2 ,经过 6 次加法和 6 次减法后变为矩阵 H_{occ} ,其维度为 $3 \times 2 \times 2$.

(3)LMMSE 信道估计

LMMSE 信道估计将 OCC 恢复得到的矩阵 H_{occ} 通过与插值矩阵 W 相乘,得到最终的信道估计矩阵 H_{est} .

4.3 具体映射

(1)LMMSE 信道估计

本部分的矩阵乘法维度为 12×3 的 W 乘以 3×1 的 H_{occ} ,通过观察该部分矩阵乘法的特点,注意到以下两点.

首先,同一个 12×3 的矩阵 W 将与四个不同的 H_{occ} 进行矩阵乘,该部分的映射要考虑到如何不重复读取 W 的数据,怎样在本地存储 W 以减少访存次数.其次,由于该部分的计算较多,所以应该占据整个阵列的大部分 PE 资源,因此留给前两部分的 PE 资源较少,需要采用流水线方式以压缩使用的 PE 资源.根据以上两点,本设计使用了脉动阵列映射方式.

具体实现中,由于 H 的数值会被复用很多次,所以在开始脉动阵列的计算之前,先将 H 的值由 SM 读出,并保存在 PE 的本地寄存器堆 RF 中,之后计算过程中在阵列中流动的只是 H_{occ} 的值.计算流程如图 4 所示,每行对应一个周期,每列对应一个 PE,其中 $x+$ 表示复数乘累加操作.

	PE1	PE2	PE3	...	PE12
1	$W(1,1)$ (read)				
2	$W(1,2)$ (read)	$W(2,1)$ (read)			
3	$W(1,3)$ (read)	$W(2,2)$ (read)	$W(3,1)$ (read)		
4	clr	$W(2,3)$ (read)	$W(3,2)$ (read)	...	
5	$x+$	clr	$W(3,3)$ (read)	...	
6	$x+$	$x+$	clr	...	
7	$x+$	$x+$	$x+$	...	
8	clr	$x+$	$x+$	...	
9	$x+$	clr	$x+$	...	
10	$x+$	$x+$	clr	...	
11	$x+$	$x+$	$x+$	...	$W(12,1)(r)$
12	clr	$x+$	$x+$	...	$W(12,2)(r)$
13	$x+$	clr	$x+$	...	$W(12,3)(r)$
14	$x+$	$x+$	clr	...	
15	$x+$	$x+$	$x+$	...	
16	clr	$x+$	$x+$	...	$x+$
17	$x+$	clr	$x+$	...	$x+$
18	$x+$	$x+$	clr	...	$x+$
19	$x+$	$x+$	$x+$	...	clr
20		$x+$	$x+$	...	$x+$
21			$x+$	...	$x+$
...				...	...
...				...	...
30				...	$x+$

图 4 LMMSE 映射方法

在本处理器中,由于 PEA 阵列是 4×4 维的,所以需要将该 12×1 的阵列折叠为三行,如图 5 所示.

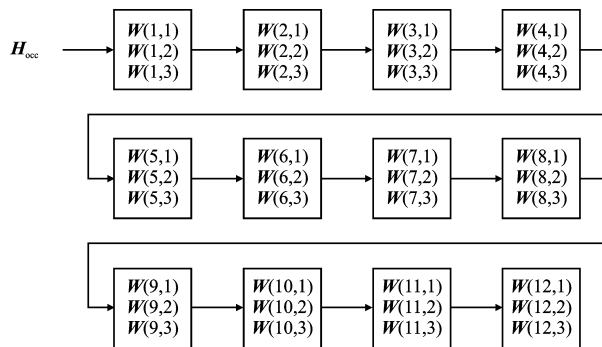


图 5 LMMSE 在阵列上的布局

(2)LS 信道估计与 OCC 恢复

本部分的映射思路是:假设 LMMSE 信道估计部分的映射已按前文所述确定,考虑本部分的映射会有哪些约束,在这些约束下尝试进行映射,若无法映射再进行调整.

那么在假定第 3 步的映射已经确定的情况下,将会有以下 4 条约束,其中前 2 条为空间约束,后 2 条为时间约束.

(1)LMMSE 信道估计部分要求使用 3×4 尺寸的共 12 个 PE,所以本部分最多使用 1×4 形状的共 4 个 PE;

(2)由图 5 可知, H_{occ} 的数据进入脉动阵列必须要在该 3×4 阵列的角上的 PE,不失一般性,假设要在左上角的 PE.那么这 3×4 的阵列就需要放在整个 PEA 阵列的下部,最上方的 1×4 运算出 H_{occ} 的数据后,需要由最左侧的 PE 传递给下方的脉动阵列,如图 6 所示.

(3)由于脉动阵列的计算连续 3 个周期需要数据,之后空出 1 个周期,再连续 3 个周期需要数据,所以 PE0 在生成及传递 H_{occ} 给 PE4 时需要满足时

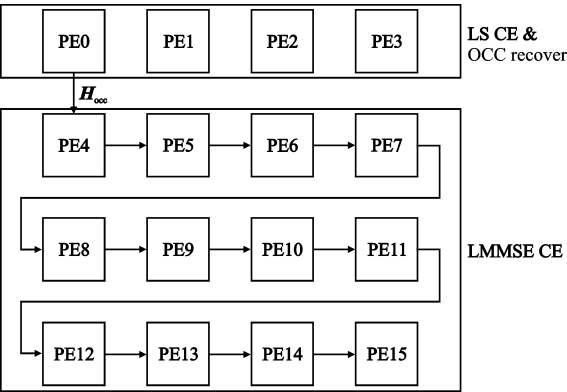


图 6 算法整体映射在阵列上的布局

序约束。

(4)由于前 3 个周期 PE4 要从 SM 读取数据,第 4 个周期需要对乘累加寄存器清零,所以第 5 个周期开始需要数据。那么 PE0 应该在第 4 个周期计算出第一个数据,同时还要满足第 3 条约束。

综合以上 4 点约束,同时考虑各算法间的数据依赖关系,最终整体的算法映射方案如图 7 所示。

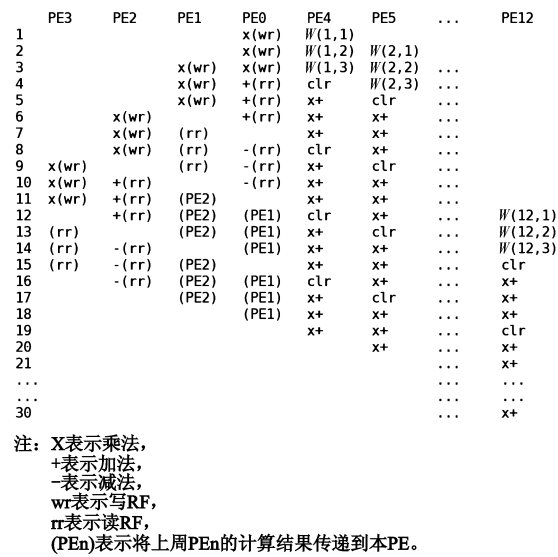


图 7 算法的整体映射图案

5 性能仿真

本设计使用的可重构处理器配有相应的功能验证模拟器和 SoC 仿真平台,在该平台上实现了信道估计算法,使用 28 nm 工艺参数在 1 GHz 时钟频率下完成了仿真测试。

信道估计算法分别在可重构处理器、具有相同频率的串行处理器上运行,进行了单次运行、多次连续运行测试。测试的结果如表 1 所示,其中 n 表示连续运行

次数, t_r 表示在可重构处理器上的运行时间, t_s 表示在串行处理器上的运行时间, $\beta = t_s / t_r$ 为在可重构处理器上运行相比于在串行处理器上运行的提速倍数。

表 1 仿真数据

n	t_r/ns	t_s/ns	β
1	30	264	8.8
2	48	529	11.0
3	66	792	12.0
10	192	2641	13.8
100	1812	26400	14.6

可重构处理器的 PEA 共含有 16 个 PE,所以相比于串行处理器,理论上的提速极限为 16 倍。在实际算法映射中,由于无法在每个周期都完全利用整个 PEA 的所有 PE,所以实际提速倍数无法达到 16 倍。由表 1,本设计所映射的信道估计算法中,单次运行情况下,可重构处理器仅提速了 8.8 倍。观察映射中各个周期 PE 的运行情况可知,提速倍数与理论极限相差过大主要的原因是:在运行的后期脉动阵列计算过程中,前面的 PE 会先计算完毕而空闲。因此为了提升运行效率,可以让同个 PEA 连续进行多次信道估计算法的运算,处理多组接收数据。由仿真结果可以看出,当连续处理的次数增加时,速度提升倍数会逐渐提升。当连续处理一百组数据时,速度提升了 14.6 倍,接近理论极限,说明算法在阵列上映射的方式较为合理。

6 结束语

论文主要研究了 MIMO-OFDM 系统中的典型信道估计算法及在可重构处理器上的算法映射方法,并通过仿真验证了算法映射的正确性。

参考文献:

[1] PAULRAJ A J, GORE D A, NABAR R U, et al. An overview of MIMO communications—a key to gigabit wireless[J]. Proceedings of the IEEE, 2004, 92(2): 198-218.

[2] YANG C H, MARKOVIC D. A flexible DSP architecture for MIMO sphere decoding[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(10): 2301-2314.

[3] ZHANG C, LIU L, MARKOVIC D, et al. A Heterogeneous Reconfigurable Cell Array for MIMO Signal Processing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(3): 733-742.

- DAC). Macao, China, IEEE, 2016.
- [6] 吴佳祥, 刘辉, 贺光辉. 一种应用于高分辨率遥感图像目标检测的尺度自适应卷积神经网络[J]. 微电子学与计算机, 2018, 35 (8): 84-87.
- [7] 林健巍. YOLO 图像检测技术综述[J]. 福建电脑, 2019, 35(9): 80-83.
- [8] NGUYEN D T, NGUYEN T N, KIM H, et al. A High-Throughput and Power-Efficient FPGA Implementation of YOLO CNN for Object Detection[C]// IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019. Sydney, Australia, 2019: 1-13.
- [9] ZHANG X, WANG J, ZHU C, et al. DNNBuilder: an Automated Tool for Building High-Performance DNN Hardware Accelerators for FPGAs[C]// 2018 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2018. Marrakech, Morocco, 2018.
- [10] WAI Y J, YUSSOF Z B M, SALIM S I B, et al. Fixed Point Implementation of Tiny-Yolo-v2 using OpenCL on FPGA[J]. International Journal of Advanced Computer Science and Applications, 2018, 9 (10): DOI: 10.14569/IJACSA. 2018. 091062.
- [11] YU J, GUO K, HU Y, et al. Real-time object detection towards high power efficiency[C]// 2018 Design, Automation & Test in Europe Conference & Exhibition (DATE). Dresden, Germany, 2018.

作者简介:

李岑 男, (1995-), 硕士研究生. 研究方向为神经网络加速器设计. E-mail: lgc2013@sjtu. edu. cn.

贺光辉 男, (1980-), 博士, 副研究员. 研究方向为通信系统 VLSI 电路设计和随机计算设计等.

(上接第 5 页)

- [4] HUANG X, LIANG C, MA J. System architecture and implementation of MIMO sphere decoders on FPGA[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2008, 16(2): 188-197.
- [5] CHIU P L, HUANG L Z, CHAI L W, et al. A 684Mbps 57mW joint QR decomposition and MIMO processor for 4×4 MIMO-OFDM systems[C]// IEEE Asian Solid-State Circuits Conference 2011. Jeju, Korea, 2011: 309-312.
- [6] COLIERI S, ERGEN M, PURI A, et al. A study of channel estimation in OFDM systems[C]// Proceedings IEEE 56th vehicular technology conference. Vancouver, BC, Canada, 2002(2): 894-898.
- [7] EDFORS O, SANDELL M, VAN DE BEEK J J, et al. OFDM channel estimation by singular value decomposition[J]. IEEE Transactions on communications, 1998, 46(7): 931-939.

作者简介:

赵灿坤 男, (1997-), 硕士研究生. 研究方向为数字集成电路设计.

王自强 男, (1975-), 博士, 副研究员. 研究方向为数模混合集成电路设计. E-mail: wangzq@tsinghua. edu. cn.