

引用格式:张玺,王颀,童炜,等. 一种用于三维闪存测试的低成本 PMU 电路[J]. 微电子学与计算机, 2020, 37(5): 1-5.
[ZHANG X, WANG Q, TONG W, et al. A low-cost PMU circuit for 3D NAND Flash memory testing [J]. Microelectronics & Computer, 2020, 37(5): 1-5.]

一种用于三维闪存测试的低成本 PMU 电路

张 玺^{1,2}, 王 颀^{2,3}, 童 炜³, 霍宗亮^{1,2,3}

(1 中国科学院大学, 北京 100049; 2 中国科学院 微电子研究所, 北京 100029;

3 长江存储科技有限责任公司, 湖北 武汉 430000)

摘 要: 为了改善 3D NAND 测试机价格昂贵导致的闪存芯片成本过高的问题, 提出了一种新的基于 FPGA 的用于 3D NAND 闪存芯片直流参数测试的低成本 PMU(精密测量单元)电路. 利用 FPGA 灵活的可编程特性, 通过对 ADC、DAC 和继电器等分立元件工作的控制, 实现了具有 FVMI(加电压测电流)、FIMV(加电流测电压)等直流参数测试功能的 PMU 电路. 该 PMU 电路已应用于 YMTC 自研 3D NAND Flash 测试平台, 可以对 3D NAND 的直流参数进行准确测量, 并且测试机台的成本只有大型 ATE 机台的 0.175%, 从而缓解了芯片测试成本过高的问题.

关键词: 3D NAND; FPGA; 直流参数测试; 精密测量单元

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2020)05-0001-05

A low-cost PMU circuit for 3D NAND Flash memory testing

ZHANG Xi^{1,2}, WANG Qi^{2,3}, TONG Wei³, HUO Zong-liang^{1,2,3}

(1 University of Chinese Academy of Sciences, Beijing 100049, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

3 Yangtze Memory Technologies Co., Ltd., Wuhan 430000, China)

Abstract: In order to improve the cost of the chip caused by the high price of the 3D NAND tester, a new FPGA-based low-cost PMU (precision measurement unit) circuit for DC parameter testing of 3D NAND memory chips is proposed. The flexible programmable feature of the FPGA is used to implement the PMU circuit by controlling the discrete components of the ADC, DAC and relays so that the PMU circuit can test DC parameters with FVMI (Force Voltage Measure Current) and FIMV (Force Current Measure Voltage) function. The PMU circuit has been applied to the YMTC self-developed 3D NAND Flash test platform, which can accurately measure the DC parameters of the 3D NAND, and the cost of the test machine is only 0.175% of the cost of the large ATE machine, thus alleviating the problem of excessive test cost of the chip.

Key words: 3D NAND; FPGA; DC parameter testing; PMU

1 引言

集成电路测试是集成电路生产周期中十分重要的一环, 而测试成本也在芯片成本中占有很大比例^[1]. 直流参数测试是集成电路测试技术的重要组成部分, 能够快速有效的检测芯片的性能, 受到集成

电路行业的高度重视^[2]. 而 NAND Flash 测试机价格昂贵, 如果一味的购买测试机进行 NAND 直流参数测试, 将极大地增加 3D NAND 产品的生产成本. 本文针对 3D NAND 存储芯片的工作特性设计并实现了一种基于 FPGA 的低成本 PMU (Precision Measurement Unit, 精密测量单元) 电路, 该电路可

收稿日期: 2019-09-20; 修回日期: 2019-10-22

基金项目: 国家科技重大专项(2017ZX02301002)

以满足 3D NAND Flash 的直流参数测试需求,已应用于搭建 YMTC 的 3D NAND Flash 产品测试平台.该平台可对产品特性进行高效准确的测试,极大地降低了测试成本,具有应用价值和实践意义.

2 测试系统组成

集成电路从研发到应用要经历不同的阶段性的测试,虽然每个测试中的测试目的和测试的方法有所不同,但是大致的测试流程是相似的^[3].根据文献^[3]的测试流程设计了如图 1 所示的测试系统.

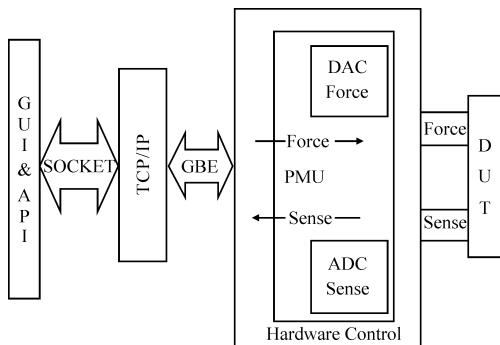


图 1 测试系统框图

3 三维闪存芯片工作原理及测试需求

本文待测的 3D NAND 闪存芯片采用 3D CTF (Charge Trap Flash) 结构,图 2(a)中给出了 3D CTF 结构的截面图,虚线框内为结构相应的符号示意图.其中栅极由多层材料堆叠而成,从外到内依次为控制栅,氮化硅俘获介质层,隧穿氧化层和沟道层.控制栅与字线相连,施加不同电压可以在控制栅到沟道层之间产生电场,在电场作用下电荷会在俘获介质层和沟道层之间发生隧穿;俘获介质层使用氮化硅作为介质材料,包含大量的电荷陷阱,当存储单元进行编程操作时,控制栅加正电压,电子在电场作用下从沟道层隧穿,进入俘获介质层时被陷阱俘获达到稳定,且由于陷阱固定,电子不会在俘获介质层自由移动,可避免缺陷导致电荷流失^[4].通过给控制栅(与字线相连)、漏极(与位线相连)、源极施加电压可以改变俘获介质层中的隧穿电流,进而改变存储单元的阈值电压(V_{th})实现对存储单元的数据读、写和擦除操作.

图 2 中(b)(c)(d)分别标出了不同操作下字线和位线所加电压的范围^[5]:在读操作时,被读取单元的字线加 0 V,位线加 1 V,其余字线电压为 4~5 V 作为导通电压 V_{PASS} ;在编程操作时,被编程的存储

单元的字线加高压(20~25 V),位线接 GND,其余字线电压为 8~10 V 作为 V_{PASS} ;在擦除操作时,整个块结构的所有字线全部接 GND,位线悬空,源极加高压(20 V),电荷存储层中俘获的电子在电场作用下反向隧穿进入沟道层,实现擦除操作.

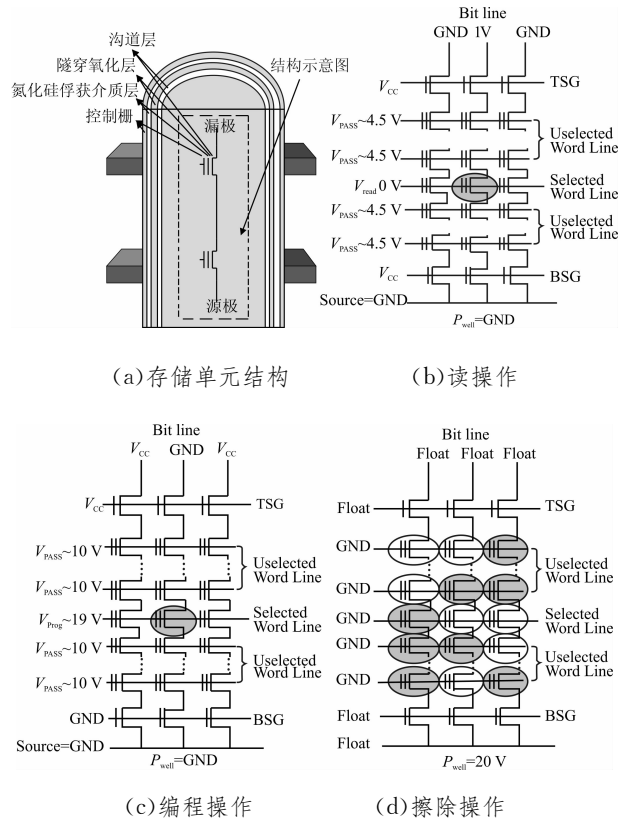


图 2 NANDFlash 存储单元结构及基本操作

在对存储单元进行编程操作控制其 V_{th} 时,通过 ISPP (Incremental Step Pulse Programming) 算法实现.这种编程机制通过分步施加脉冲的方式来实现编程操作,每个编程脉冲 V_{step} 都有固定间隔 0.4 V^[6].

基于 3D NAND Flash 的这种工作特性,目前存在的主流测量芯片并不能满足测量需求,如 AD5522 只提供特定的工作电压范围 -12~+12 V 内,不能覆盖 3D NAND Flash 的工作电压量程.本文提出一种新的 PMU 电路结构,可提供 -10~+30 V 供电电压和 1 mV 的精度,电流测量精度可达 6 nA,完全满足 3D NAND Flash 测量所需的电压范围和测量精度,且制造成本远低于大型 ATE 机台.

4 PMU 电路设计

PMU 用于精确的直流参数测量,可以实现加电压测电流功能和加电流测电压功能^[7-8].根据 3D

NAND 闪存芯片的直流参数测试需求设计了如图 3 所示的 PMU 模块原理图。

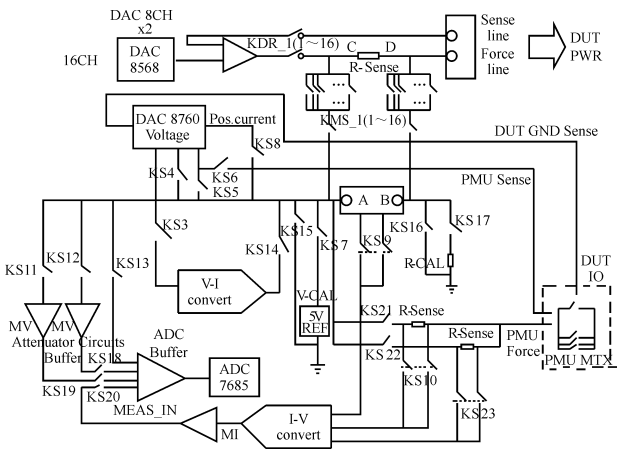


图 3 PMU 模块原理图

图中包括 16 条供电通道,由两块 DAC8568 芯片输出,每一条输出回路上都有一对光耦继电器 KDR_1(1~16)控制导通,通过 FPGA 控制 DAC 使对应管脚输出电压并导通对应继电器形成测试回路.不同的通道对应不同的供电电压范围,一共可提供-10~+30V 范围的工作电压以及产生测试矢量,具体供电电压和测量量程如表 1 所示。

表 1 PMU 电路的供电电压及电流量程			
通道名称	供电电压范围	数量	电流量程
MV	0~9 V	8	100 mA
HV	0~28 V	4	100 mA
LV	0~5 V	3	500 mA
HLV	-9~+9 V	1	100 mA

在 FVMV(加电压测电压)模式下,图 3 中 DAC8568 的供电回路会在高精度电阻 R-Sense 两边 C、D 两点产生电压差.C、D 两端连接的开关使用机械继电器 KMS_1(1~16),FPGA 控制 C、D 两端开关打开时,将 C、D 两端的电压加在 A、B 两端,接通 KS16,将 B 点接地,将与 A 点相连的开关除了 KS13 全部关闭,则 A 点所加的电压进入 MEAS_IN,通过 ADC Buffer 进入 ADC7685,可以测得加在 R-Sense 高精度电阻上的电压值.而 KS11、KS12 开关控制的两个支路是用于将电压等比缩小的衰减电路,例如当选择 DAC 的高电压量程(0~28 V)的通路时,通过衰减电路将大电压值等比缩小到 ADC 量程范围(0~5 V)后进入 ADC7685 测量出数字值送回计算机。

在 FVMI(加电压测电流)模式下,图 3 中 A 点的 KS21、KS22 打开一个(两条通路的高精度电阻

R-sense 提供不同的电流测量量程),再选择相应的 KS9、KS10 或 KS23 把经过 R-sense 的电流送入 I-V 转换电路,得到的电压通过驱动电路,转化为 ADC7685 量程(0~5 V)以内的电压值,通过 ADC 转换为数字值送回计算机,电压值经过换算即可得到电流值。

在 FIMV(加电流测电压)模式时,由图 3 中的 DAC8760 提供电压,通过 KS3 进入 V-I 转换电路到 KS14,从而为 A 点提供施加电流.测电压原理与 FVMV 类似,选择不同量程的衰减电路进入 MEAS_IN,通过 ADC7685 可测得电压值.同时 DAC8760 也可以提供 20mA 量程以内的高精度电流,通过继电器 KS7、KS15 配合基准 5 V 电压可以完成电压校准。

5 PMU 控制及仿真

5.1 ADC 模块

本设计使用 ADI 公司型号为 ADC7685 的 ADC,具有 16 bit 采样的分辨率,非线性失真的典型值为±0.6LSB^[8],在 FVMI 模式下,200 μA 测量范围下精度可达到 6 nA,满足 PMU 对高精度测量的要求.AD7685 芯片有多种工作模式,本设计使用的是比较基本的 CS/三线(无 BUSY 信号)模式,ADC 模块的原理图如图 4 所示。

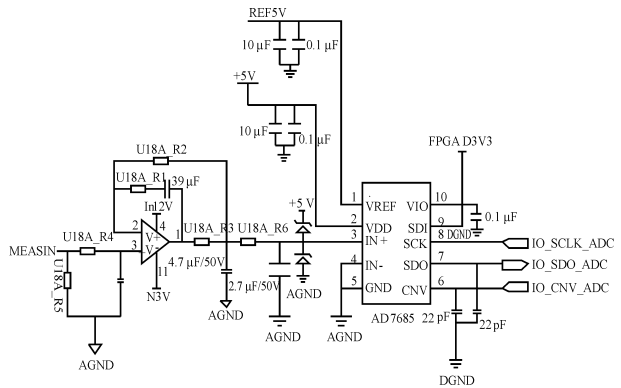


图 4 ADC 模块原理图

在 CS/三线模式(无 BUSY 信号)下的 ADC7685 的工作时序图如图 5 所示.CNV 信号在拉高 t_{CONV} 之后拉低,SDO 端口有高阻态变为低阻态,可以传输数据,此时 SCK 开始进行翻转,每一个 SCK 周期传输 1 bit 数据,在第 16 个 SCK 周期以后,CNV 拉高,SDO 返回高阻态,这样就实现了将 16 位的有效数据通过 SDO 端口传输的过程。

根据 ADC7685 的工作时序图设计其控制程序,FPGA 通过状态机控制 CNV 信号和 SCK 信号

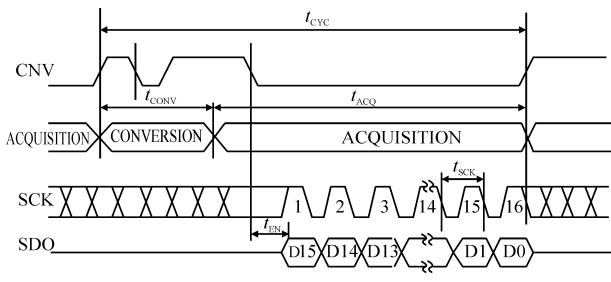


图 5 ADC7685 工作时序图

的翻转,使其符合 ADC7685 的工作频率和时序要求,可以将 SDO 端口传出的 16 个单 bit 数据通过串转并转换成一个 16 bit 的数据,仿真结果如图 6 所示.这 16 bit 数据对应的则是 ADC 将测得的模拟信号值转化为数字值的二进制表示.

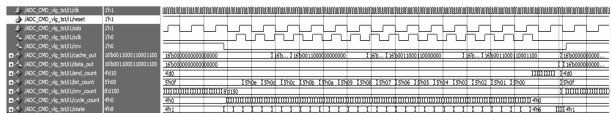


图 6 ADC 模块 Modelsim 仿真结果

5.2 DAC 模块

DAC 模块完成对 DAC8568 的时序控制, DAC8568 是一款低功耗、电压输出的八通道 16 bit DAC 芯片,最高工作频率在 50 MHz,在 FVMI 模式下,0~30 V 施加电压范围内的精度可达 1 mV.有三个串行接口:SYNC_N、SCLK 和 D_{IN},支持 SPI 接口标准^[9].图 7 为 DAC 模块的原理图.

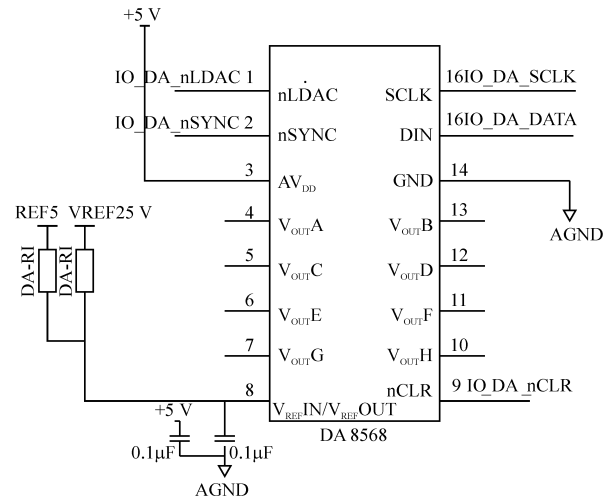


图 7 DAC 模块原理图

DAC8568 的工作时序图如图 8 所示,当 SYNC_N 由高变低时,输入移位寄存器被使能,D_{IN}端口的数据信号有效,SCLK 信号开始翻转,每一个周期采样 1 bit 数据存入移位寄存器,经过 32 个周期后将

采到的 32 bit 数据从移位寄存器输出,LDAC_N 拉低,一次传输结束.

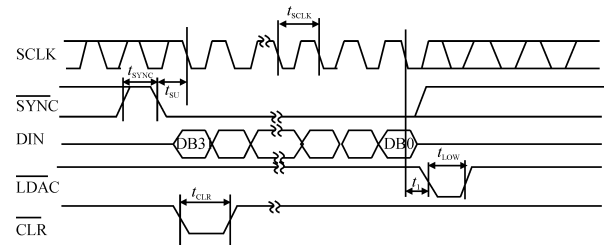


图 8 DAC8568 时序图

与 ADC 同理,根据时序图设计 DAC 模块的控制程序,通过 FPGA 的状态机控制信号 SCLK、SYNC_N、LDAC_N 和 CLR_N.当 SYNC_N 拉低时,SCLK 开始翻转并采样 data_in,经过 32 个周期后,将 32 位的 data_in 通过移位从 DIN 单 bit 输入 DAC,DAC 将 32bit 数据转换为对应的模拟值从相应通道的引脚输出,仿真结果如图 9 所示.在 32 位的 data_in 中,DB4~DB19 是 16 位数据位,其余位分别为操作控制位、地址控制位和保留位,操作控制位用于 DAC 目标寄存器的写和更新,地址控制位用于 DAC 八个输出通道的选择.

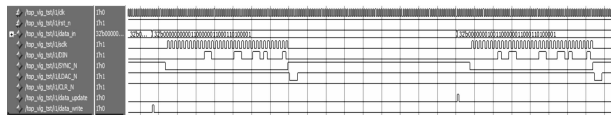


图 9 DAC 模块 Modelsim 仿真结果

6 测量结果分析

选用不同精密电阻作为 DUT 对 PMU 电路的 FVMI 和 FIMV 功能进行测试,测量结果如表 2.通过数据分析可以得到:该 PMU 电路能提供稳定、精确的电压电流值同时进行准确的电流电压测量.

表 2 PMU 电路 FVMI/FIMV 功能测试结果

测试功能	负载/ Ω	施加值 FV/FI	MI/MV 测量结果
FVMI	6.62 k	-5 V	-0.755 mA
FVMI	6.62 k	+5 V	0.755 mA
FVMI	6.62 k	+25 V	3.776 mA
FIMV	6.62 k	2 mA	13.240 V
FIMV	506.6	20 mA	1.013 V
FIMV	5.241 k	1 mA	5.241 V

将该 PMU 电路应用于图 1 所示的测试系统,可搭建桌面级的小型测试平台,用于测试和开发人

员对测试程序的调试和升级.表 3 是 YMTC 自研的测试平台与 Teradyne 公司的 NAND Flash 测试机 Magnum V EV(用于测试程序开发和调试的机型)的优缺点比较.

表 3 小型测试平台与 Magnum V EV 优缺点比较

测试机	FPGA based Benchtop Tester	Magnum V EV
机台测试成本	低(700 \$)	高(400,000 \$)
开发难度	较复杂	容易,有成熟的开发方案先例
适用范围	仅在企业内部各部门使用	在业界有很高的普及率
机台专用性	专用测试,针对 3D NAND Flash 进行测试	通用测试,针对 SRAM、DRAM、Flash 等存储产品进行测试
便携性	体积小,便携性高	体积大,需放置在实验室中

从表中可以看出,虽然传统的 ATE 机台 Magnum V 开发容易、普及率高,但价格昂贵,而这种桌面级的小型测试平台在成本方面具有很大的优势,成本只有大型 ATE 机台的 0.175%,并且具有便于软硬件维护、便携性高的优势.

7 结束语

本文针对 3D NAND 测试机价格昂贵导致闪存芯片成本过高的问题,设计并实现了一种专于 3D NAND Flash 芯片测试的低成本 PMU 电路.该电路可提供-10~+30V 的供电范围,在 FVMI 测量模式下达到 6 nA 的测量精度(量程 200 μ A),最高工作频率可达 50 MHz,并可提供精度为 1 mV 的驱动电压.将该 PMU 电路进一步应用于搭建 YMTC 的 3D NAND Flash 产品测试平台,降低了测试成本,为 3D NAND 闪存芯片低成本测试提供了一种新的方案,具有应用价值和实践意义.

参考文献:

[1] 时万春. 现代集成电路测试技术[M]. 北京:化学工业

出版社,2006: 3-11/282-294.

[2] 刘军. 大功率模拟集成电路直流参数测试研究与实现[D]. 成都:电子科技大学,2010.

[3] 李建辉. 大功率模拟集成电路直流参数测试[D]. 成都:电子科技大学,2011.

[4] LEE Y K, SUNG S K, SIM J S, et al. Multi-level vertical channel SONOS nonvolatile memory on SOI [C] // VLSI Technology, Digest of Technical Papers, 2002 Symposium on. Honolulu, HI, USA, 2002.

[5] MICHELONI R, CRIPPA L, MARELLI A. Inside NAND Flash Memories[M]. Netherlands: Springer, 2010: 22-26.

[6] SUH K D, SUH B H, UM Y H, et al. A 3.3 V 32 Mb NAND flash memory with incremental step pulse programming scheme [C] //Solid-State Circuits Conference, 42nd ISSCC, 1995 IEEE International, San Francisco, USA, 1995:128-129.

[7] 郝叶军,詹惠琴. 数字集成电路功能测试仪的设计与实现[J]. 电子测试, 2010(11):1-5.

[8] Analog Devices, 16-Bit, 250kSPSPulSAR ADC in MSOP [EB/OL]. <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7685.pdf>, 2014.

[9] Texas Instruments. 12-/14-/16-Bit, Octal-Channel, Ultra-Low Glitch, Voltage Output DIGITAL-TO-ANALOG CONVERTERS with 2.5V, 2ppm/°C Internal Reference [EB/OL]. <http://www.ti.com/lit/ds/sym-link/dac8568.pdf>, 2009.

作者简介:

张 玺 男,(1993-),硕士研究生.研究方向为三维闪存芯片的测试.

王 颀 男,(1975-),博士,研究员,博士生导师.研究方向为新型存储器设计技术研究.

童 炜 男,(1980-),高级工程师.研究方向为新型存储器设计和测试研究.

霍宗亮(通讯作者) 男,(1975-),博士,研究员.研究方向为新型半导体存储技术. E-mail: huozongliang@ime.ac.cn.