

引用格式:应健锋,梁华国,江悦,等. 一种多 X 值输入下测试覆盖率损失的预测方法[J]. 微电子学与计算机,2020,37(4):12-18. [YING J F,LIANG H G,JIANG Y,et al. A prediction method of test coverage loss under multi-input with unknown [J]. Microeletronics &Computer,2020,37(4):12-18.]

一种多 X 值输入下测试覆盖率损失的预测方法

应健锋¹,梁华国¹,江悦¹,蒋翠云²,李丹青¹,黄正峰¹

(1 合肥工业大学 电子科学与应用物理学院,安徽 合肥 230009;

2 合肥工业大学 数学学院,安徽 合肥 23009)

摘 要: 在集成电路的设计和测试过程中,黑盒模块,未初始化的时序单元,时钟域交叉和 A/D 转换器的错误行为等情况常常会导致电路中未知值 X 的出现. 电路中 X 值的传播会严重影响故障的激活和敏化,降低测试覆盖率. 针对电路多个输入为 X 值的情况,本文提出了一种基于极端随机树算法的测试覆盖率损失的预测方法. 通过对电路进行仿真分析,区域划分,提取结构特征等步骤提取出数据集,训练出高准确率高稳定性的预测模型,达到快速分析多点 X 值输入下电路测试覆盖率损失的目的. 实验结果表明,本文模型的平均预测准确率达到 94.47%,相比于同类方法增加 21.71%. 单个电路的预测结果最低为 89.03%,最高为 99.99%,表明了本文预测模型具有很好的稳定性.

关键词: 数字电路测试;测试覆盖率;机器学习;极端随机树;X 值

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2020)04-0012-07

A prediction method of test coverage loss under multi-input with unknown

YING Jian-feng¹,LIANG Hua-guo¹,JIANG Yue¹,JIANG Cui-yun²,
LI Dan-qing¹,HUANG Zheng-feng¹

(1 School of Electronic Science & Applied Physics,Hefei University of Technology, Hefei 230009, China;

2 School of Mathematics, Hefei University of Technology,Hefei 230009,China)

Abstract: In the process of IC design and test, black-box modules, uninitialized sequential units, clock-domain interface and erroneous behavior of analog-to-digital converters, which may lead to the emergence of unknown values (X). The transmission of X-value in the circuit will seriously affect the activation and sensitization of faults and decrease the test coverage. In this paper, a method of predicting test coverage loss based on extremely randomized trees is proposed to the case where multiple inputs of the circuit are X-values. The data set is extracted by performing simulation analysis, circuit partition, and extracting structural features. Then train high-precision prediction models to quickly analyze the loss of circuit test coverage under multi-input with X-value. The experimental results show that the average prediction accuracy is 94.47% and 21.72% higher. The minimum prediction result of a single circuit is 89.03%, and the maximum value is 99.99%, which indicates that the prediction model has good stability.

Key words: digital logic testing; test coverage; machine learning; extremely randomized trees; X-value

1 引言

在集成电路的测试过程中,未知值(X)的产生会导致电路内部节点的可控制性和可观察性下降,从而影响电路的测试质量.未知值(X)通常产生于电路的设计和测试阶段,如设计阶段的黑盒模型,未初始化或不可控的时序单元,A/D转换器的错误行为等等^[1].而多点X值输入通常会严重影响电路的测试覆盖率,降低 ATPG 系统的测试效率,同时也会导致测试压缩过程的压缩比下降,甚至压缩失败.

对于电路中存在 X 值时的 ATPG 问题,B. Becker等人在文献[2]中提出了一个完整的故障分类体系和量化布尔范式(Quantified Boolean Formula, QBF)进行了求解.文献[3-4]通过对文献[2]的算法流程和编码方式进行优化,来减少原方案过长的求解时间.文献[5]中采用了基于概率和 SAT 的方法对电路中的故障进行分类并求解测试向量.尽管现有的针对 X 值的 ATPG 算法对求解时间做出了很大的优化,但在快速确定部分 X 值对电路测试覆盖率影响的问题上依旧无能为力.X 值的出现同样给电路的测试压缩过程带来了很大的挑战,当 X 值传播到输出端口的时候,会严重影响测试响应压缩的效率,甚至使压缩失败^[6].文献[7-8]提出了 X 容忍技术,通过不同的压缩电路架构来容忍进入电路中的 X 值.文献[9-10]使用了 X 值阻塞技术,通过向电路中添加额外的 DFT 电路来防止 X 值传播到压缩电路.但是上述方案基本都是对所有的 X 值输入都进行防护和容忍,存在着过度防护的问题.

文献[11]中首次提出了一种通过机器学习的方法来衡量单个 X 值输入对电路测试覆盖率的影响,引入了机器学习中的 SVR(Support Vector Regression)模型对电路中提取出的结构特征进行训练和预测,达到快速确定 X 值影响的目的.但在实际的应用场景下,电路中通常都会出现多个 X 值输入的情况,单个 X 值输入的情况较少,并且由于自身的特征和模型方面的问题,存在着整体预测精度不够高,部分电路预测偏差很大的问题.

为了解决上述各方案的不足之处,本文主要针对电路中存在多个 X 值输入的情况,提出了一个完整的预测算法流程,选取电路中最重要并且相关性较低的几个特征,采用极端随机树模型,大幅度增加模型的泛化能力,能够快速预测多个 X 值输入的测试覆盖率影响,且具有较高的准确率,对电路 X 值的防护具有重要的指导意义.

2 测试覆盖率损失

本文主要采用 DT-Loss^[11](Detectability Loss)来衡量存在多个 X 值输入时,电路测试覆盖率的损失程度,DT-Loss 越大,说明该情况下电路的测试覆盖率损失越多.首先考虑一个最简单的单点故障情况,其他故障的情况可以通过单点故障的情况扩展可得.假设在没有 X 值输入的情况下,电路的可测故障数量为 $|F|$,当在部分输入端口 $S = \{s_i, \dots, s_j\}$ 都为 X 值的情况时,电路的可测故障数量为 $|F_s|$,则在该情况的 DT-Loss 值可以用下式表示:

$$DT-Loss(S) = \frac{|F - F_s|}{|F|} \times 100\%,$$
$$S = \{s_i, \dots, s_j\}$$

(1)

以 ISCAS'89^[12]中的 s27 电路为例,图 1 为 s27 电路的结构示意图.分别限制电路中的部分输入端口为 X 值,再通过 TetraMAX^[13]对每种情况下的测试覆盖率进行测试,则结果如表 1 所示.从表 1 中可以看出对于不同的输入端口,因为其在电路中的拓扑结构不同,对电路测试覆盖率的影响也不同.通常节点的扇出区域越大,对电路测试覆盖率的影响也越大.而当越多的输入端口为 X 值时,对应的 DT-Loss 也越大,当电路的所有输入端口都为 X 值时,电路的测试覆盖率损失为 100%.

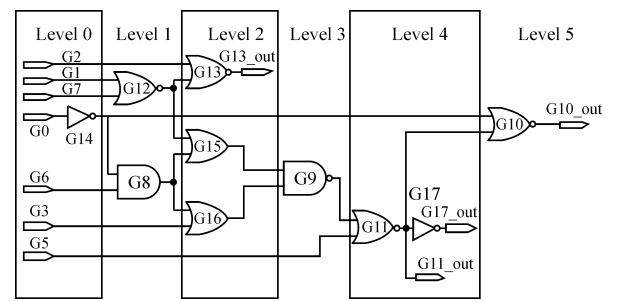


图 1 s27 电路结构图

表 1 s27 电路输入端口与 DT-Loss%

输入端口	G1	G2	G5	G2,G5	G1,G2,G5	All
DT-Loss	24.36	10.26	51.28	74.36	76.92	100

3 极端随机树

本文采用了极端随机树(Extremely Randomized Trees, ET)^[14]模型作为回归预测模型,极端随机树是基于 Bagging 思想的一种机器学习算法,同时也是随机森林(Random Forests, RF)^[15]算法的一种变体. Bagging 方法的主要思想是通过对数据

集的多次随机采样形成多个样本,并使用这些样本训练出多个弱学习器,最后通过一定的策略将这些弱学习器结合成一个强学习器,达到比较精准的预测结果.

ET 算法继承了 Bagging 方法的思想,每次采用整个数据集作为多个样本,并使用 CART (Classification And Regression Tree)决策树作为基本的弱学习器模型,每个生成的决策树之间相互独立. 在最后的模型结合过程中,对于回归问题,取所有决策树模型的算术平均值作为最后的结果. ET 算法具体流程主要如下:

Step 1:对于数据集 D 进行 T 次拷贝,得到 T 个样本. 对每个样本 D_t ,随机无放回地选取 m 个特征(m 的值一般远小于特征总数 M),形成 T 个决策树模型.

Step 2:对于每个决策树模型根据数据集分别进行训练,为模型中每个特征都随机生成一个分裂阈值,采用其中最优的一个分裂阈值进行分裂,使得分裂后的决策树模型的方差最小.

Step 3:循环执行 Step 2,直到满足停止分裂的条件,进入 Step 4.

Step 4:把所有的决策树模型结合成一个完整的模型,在回归问题中,即取所有决策树模型的算术平均值作为整个模型的结果.

ET 算法的每个决策树模型都是随机选取多个特征,每次的分裂阈值都是随机生成,可以很大程度地防止过拟合,提高模型的泛化能力,使模型在预测未训练过的数据上也有很好的表现. 其次,每个决策树模型训练都是相互独立的,易于并行实现,大幅提高模型的训练速度.

4 本文方法

4.1 算法流程

本文的算法流程主要如图 2 所示,包括数据预处理、样本点采集和模型预测三个部分. 首先在数据预处理阶段,对电路网表格式进行转换,然后根据特定的比例随机生成输入端口的组合 S ,并把这些输入端口设为 X 值.

样本点采集阶段主要分成两个部分:1)通过电路仿真环境提取电路特征;2)通过 ATPG 工具计算当组合 S 为 X 值时的实际 DT-Loss. 在提取电路特征过程中,首先对电路的仿真环境进行初始化,载入特定的电路信息 C 和特定的输入端口组合 S ,然后根据电路的拓扑结构和输入端口组合 S 的结构特征

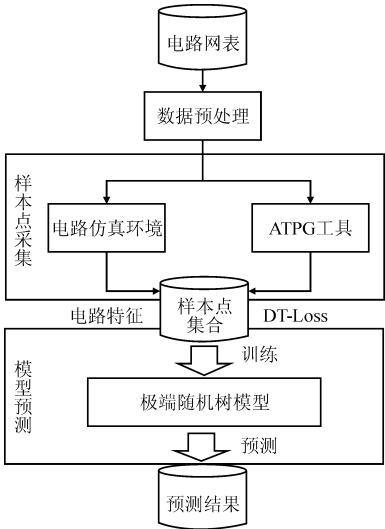


图 2 主要算法流程

对整个电路进行区域划分,不同区域的结构特征对电路测试覆盖率的影响也不尽相同. 最后提取出电路中部分关键结构特征作为机器学习模型中的特征值,再把 ATPG 工具对于特定电路 C 和特定输入端口组合 S 情况下计算出的 DT-Loss 值作为机器学习模型中的实际值,形成最初的数据集 D . 对于每个电路选取的每种输入端口组合都可以生成一个样本点,在实际的实验过程选取其中一部分样本点作为最初的数据集.

在模型预测阶段,把最初的数据集 D 进行一定的预处理之后形成数据集 D' ,把数据集 D' 划分成模型训练和预测需要的测试集和训练集,使用训练集对机器学习模型进行训练,然后使用训练好的模型对测试集中的数据进行预测比较,得出模型的预测精度.

4.2 电路区域划分

为了提取出电路中的关键特征,即对 DT-Loss 影响更大的电路特征,本文首先根据电路的拓扑结构和 X 输入端口组合的结构特征把电路划分成三个区域:1) X 直接传播区域 $P1$:包含所有从 X 值输入端口一直扇出到输出端口的逻辑锥中的逻辑门;2) X 传播辅助区域 $P2$:包含除了 $P1$ 区域外所有能够把信号传播到 $P1$ 区域中的逻辑门;3) X 无关区域 $P3$:除了 $P1$ 和 $P2$ 之外的所有区域.

划分出的三个区域与 X 值信号传播的关系不同,对 DT-Loss 的影响也有很大的区别. 首先,在电路中只有 $P1$ 区域中的逻辑门信号可能为 X 值,意味着 $P1$ 区域中的所有逻辑门上的故障有很大可能会 X 值被阻塞,无法激活或者无法敏化到输出端

口. 通常而言, P1 区域包含的逻辑门占整体逻辑门的比例越大, 那么 DT-Loss 也会越大, 测试覆盖率会损失地越多; 其次, 对于 P2 区域而言, P2 区域中的信号可以传播到 P1 区域中, 会对 P1 区域中故障的激活和敏化有一定的影响, 并且, P2 区域中的逻辑门上的故障是通过 P2 和 P3 区域中的信号激活, 敏化到 P1 和 P3 区域中, 也就是说 P1 区域中的 X 值也会影响 P2 区域中故障的敏化, 降低 P2 区域中故障的可测试性; 最后, P3 区域中的故障, 无论是激活和敏化都和 X 值没有任何关系, 那么 P3 区域中故障的可测试性与不包含 X 值情况下的可测试性基本相同.

以 ISCAS'89 中 s27 电路为例(电路结构图如图 3 所示), 假设电路中 G0, G3, G6 为 X 值, 则电路的区域划分结果如表 2 所示. 从图中可以看出, 在区域 P1 内, 所有 G0, G3, G6 扇出的逻辑门的故障都有可能被 X 值阻塞而无法测试. 而在 P2 区域中的 G1, G7, G12 上的故障既可以敏化到 P1 区域中, 也可以敏化到 P3 区域中的 G13, P2 区域中的 G5 上的故障只能敏化到 P1 区域中, 而 P2 区域本身不会包含任何输出端口. 至于 P3 区域中的 G2 和 G13 上的故障测试与 X 值完全无关.

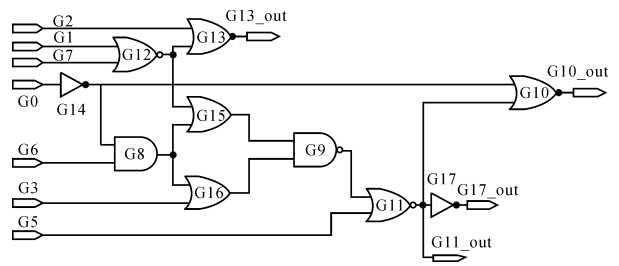


图 3 s27 电路结构图

表 2 G0, G6, G3 为 X 值时, s27 电路区域划分结果

Part1	G0, G6, G3, G14, G8, G15, G16, G9, G11, G10, G17, G10_out, G11_out, G17_out
Part2	G1, G7, G12, G5
Part3	G2, G13

4.3 电路特征提取

为了提取出电路中能有效反映电路结构和 DT-Loss 之间关系的结构特征, 本文主要根据特征的重要性和特征之间的相关性来选取不同的特征. 首先, 通过区域划分的结果, 区域 P1 的特征对于 DT-Loss 的影响是最大的, 其次是区域 P2 的特征, 所以以提取区域 P1 的特征为主, 同时也考虑区域 P2 的特征; 从特征之间的相关性上来说, 不考虑选取电路中

相关性很强的特征, 例如, 区域 P1, P2, P3 中逻辑门数量分别占总逻辑门数量的比例, 这三个特征相加的和为 1, 那么很明显知道其中任意两个特征的值, 第三个特征值可以通过其他两个特征值通过线性变换得到.

考虑如上诸多因素, 本文共选取了五个特征: 1) P1 区域的输出端口数量 $nP1_{ops}$; 2) 电路输出端口总数 $nOPs$; 3) P1 内输出端口的 X 深度平均值 $aOPs_{xdep}$; 4) X 深度为 1 的节点数量 $nXdP1$; 5) P2 节点的数量 $nP2_{nodes}$.

在介绍选取的特征之前, 首先介绍本文中有关节点和 X 深度的内容. 1) 节点: 本文中节点指的是除了电路中除了输入输出端口、反相器、缓冲器和异或同或门以外的所有逻辑门, 因为反相器、缓冲器和异或同或门不存在控制信号可以阻塞 X 值的传播, 意味着只要这些门的输入存在 X 值, 那么输出也一定包含 X 值; 2) X 深度: X 深度指的是当前节点到任意 X 值输入的最短距离, 也就是 X 值输入端口到当前节点一共经过了几个节点, 注意反相等逻辑门不算节点, 所以经过这些逻辑门不会增加深度.

下面以 ISCAS'89 电路中 s27 电路在输入端口 G0, G3, G6 为 X 值的情况下(如表 2), 对这几个特征进行详细的说明.

1) P1 区域的输出端口数量 $nP1_{ops}$: 当 $nP1_{ops}$ 越大, 说明 X 值能够影响的输出端口就越多. 因为所有的故障都需要敏化到输出端口进行观察, 当可能为 X 值的输出端口越多, 那么就可能阻塞更多的故障敏化, 使得 DT-Loss 增大. 在表 2 的情况下, P1 包含的输出端口有 G10_out, G11_out 和 G17_out 3 个, 所以 $nP1_{ops}$ 等于 3.

2) 电路的输出端口总数 $nOPs$: 电路的输出端口总数越少, 那么 P1 区域的输出端口所占比例就可能越大, 通常会导致在同一个电路中不同情况下 DT-Loss 的波动很大, 在相同的 $nP1_{ops}$ 值下, $nOPs$ 越大, DT-Loss 的值就会越小, 这也反映了 P1 区域中 X 值的影响就越小. 在图 3 中, 电路的输出端口一共有 G13_out, G10_out, G17_out 和 G11_out 四个输出端口, $nOPs$ 等于 4.

3) P1 内输出端口的 X 深度平均值 $aOPs_{xdep}$: 从电路的可控制性的角度上来说, 当输出端口的 X 深度越大, 那么输出端口为 X 值的可控制性就会越大, 换言之, 控制输出端口为 X 值的难度就越大, 则 X 值对 DT-Loss 的影响就越小. 在表 2 中, 区域 P1 中的输出端口 G10_out, G11_out 和 G17_out 的 X 深度分

别为 1,3,3,则平均值为 $(1+3+3)/3=2.33$

4)X深度为1的节点数量 $nXdp_1$: $nXdp_1$ 主要反映了X值输入端口最直观的影响范围,当 $nXdp_1$ 越大,就说明X值扇出的区域越大,那么通常而言X值的影响区域就越大,当扇出的逻辑门不是节点时,那么该逻辑门扇出的节点也包含在内.在表2中,X-depth为1的节点共有G8、G16和G11三个,所以 $nXdp_1$ 等于3.

5)P2节点的数量 $nP2_{nodes}$:为了描述区域P2对电路DT-Loss的影响,本文选取了一个比较粗略直观描述P2区域的特征,因为P2区域的节点可能也需要敏化到P1区域的输出端口,P2区域的节点数量对电路DT-Loss的值也有一定的影响.在表2中,因为输入端口不计入节点,所以只有G12一个节点, $nP2_{nodes}$ 等于1.

表3中总结了本文算法需要提取的5个电路特征参数表示和对应的含义,表中最后一列为电路在G0,G3,G6为X值时,各个特征参数的取值.

表 3 特征参数含义和取值表

特征参数	含义	取值
$nP1_{ops}$	P1 输出端口数量	3
$nOPs$	电路输出端口总数	4
$aOPs_{xdp}$	P1 内输出端口的 X 深度平均值	2.33
$nXdp_1$	X 深度为 1 的节点数量	3
$nP2_{nodes}$	P2 区域的节点数量	1

5 实验结果

5.1 实验环境

本文实验使用的电路网表是ISCAS'89^[12]和ITC'99^[16]中的部分大型电路,使用C++构建电路仿真环境,提取电路的结构特征作为预测模型的特征值,使用Synopsys公司的TetraMAX^[13]计算电路在不同情况下的DT-Loss值,最后通过scikit-learn中的极端随机树模型进行训练和预测.

本文的实验原始数据主要选择了ISCAS'89和ITC'99中15个大型电路网表,从每个电路中随机选取1%,2%和5%的输入端口为X值,每个电路每种情况选取1,000个样本点,数据集共45,000个样本点.

本文模型的评价标准是采用决定系数 R^2 , R^2 的计算公式如下式所示.

$$R^2(y,\hat{y})=1-\frac{\sum_{i=1}^{n_{sample}}(y_i-\hat{y}_i)^2}{\sum_{i=1}^{n_{sample}}(y_i-\bar{y})^2}\tag{2}$$

式中, y 和 $\hat{y}$ 分别表示样本点的实际值和预测值; $\bar{y}$ 表示样本点预测值的平均值; n_{sample} 为样本点总数. R^2 的值可以看成是1减去均方误差与方差的比值,当 R^2 越接近1,说明预测效果越好,反之预测效果越差.

5.2 预测结果

本文选取的数据集中共有45 000个样本点,每个电路有3 000个样本点,对每个电路按照7:3的比例随机划分为训练集和测试集,那么每个电路的样本点中随机选取2 100个样本点作为训练集,剩余的900个样本点作为测试集,再将所有电路的选取结果合并,得到有31 500个样本点的训练集和有13 500个样本点的测试集.使用划分好的训练集对模型进行训练,再对不同的数据集进行预测,结果如表4所示,对每个电路的预测结果如图4所示.

表 4 不同情况的预测准确率%

	GSVR ^[11]	本文方法
训练集	81.54	96.63(+15.09)
测试集	79.34	90.43(+11.09)
平均准确率	72.75	94.47(+21.72)

表4中的预测情况共有三种,前面两种是使用训练好的模型分别对训练集和测试集进行预测,第三种是对每个电路3000个样本点进行预测,每个电路预测结果的平均值.其中GSVR是文献[11]中的高斯核支持向量回归(Gaussian kernel Support Vector Regression,GSVR)模型的预测结果.从表4中可以看出本文方法在训练集和测试集的预测准确率上分别提高了15.09%和11.09%,且预测精度都达到90%以上,说明了本文方法具有较高的预测精度.其次在每个电路预测精度平均值上本文方法达到了94.47%,同比提高了21.72%,说明了本文方法在各个不同结构的电路上具有更好的稳定性,这点在图4的结果中表现的更加明显.

图4显示的是本文方法和GSVR方法在所有测试电路中单个电路的预测效果.从图4的结果中可以看出,在所有电路中本文方法的预测准确率整体起伏不大,并且准确率基本都高于90%,最小值为b17s的89.03%,最大值为s35932下的99.99%.而文献[11]中的GSVR方法预测结果波动很大,甚至s38417电路的预测精度低于40%.图4说明了本文方法在保持较高预测精度的同时,在预测不同结构的电路上,也具有很高的稳定性.

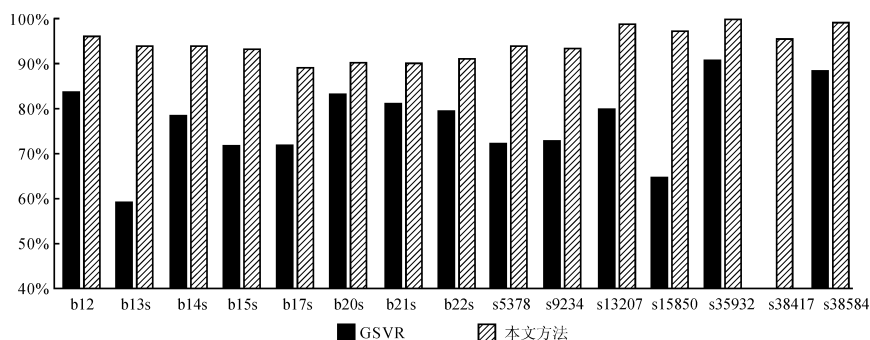


图 4 所有电路的预测结果

6 结束语

本文针对电路可能存在的多 X 值输入的情况,提出了一个完整的基于机器学习的算法流程。相比于传统的 ATPG 方法,本文的方法能够快速分析电路中多个 X 值引起的测试覆盖率损失程度,对设计电路中的 X 值防护结构有一定的指导意义。与现有的预测方法相比,本文提出的预测模型具有更高的精确度,并且在不同结构的电路上的预测也有很好的稳定性。

参考文献:

- [1] BECKER BERND. Known unknowns — Knowledge in the presence of unknowns[C]//2016 17th Latin-American Test Symposium. Iguazu, Brazil: IEEE Computer Society Press, 2016: 1-1.
- [2] ERB D, KOCHTE M A, REIMER S, et al. Accurate QBF-Based Test Pattern Generation in Presence of Unknown Values[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015, 34(12): 2025-2038.
- [3] SCHEIBLERK, ERB D, BECKER B. Accurate CEGAR-based ATPG in presence of unknown values for large industrial designs[C]//2016 Design, Automation & Test in Europe Conference & Exhibition. Dresden, Germany: IEEE Computer Society Press, 2016: 972-977.
- [4] ERB D, SCHEIBLER K, KOCHTE M A, et al. Mixed 01X-RSL-Encoding for fast and accurate ATPG with unknowns[C]//2016 21st Asia and South Pacific Design Automation Conference. Macao, China: IEEE Computer Society Press, 2016: 749-754.
- [5] BURCHARD J, ERB D, BECKER B. Characterization of possibly detected faults by accurately computing their detection probability[C]//2018 Design, Automation & Test in Europe Conference & Exhibition.

Dresden, Germany: IEEE Computer Society Press, 2018: 385-390.

- [6] POMERANZ IRITH. Unknown Output Values of Faulty Circuits and Output Response Compaction[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2014, 33: 323-327.
- [7] RAJSKI W, RAJSKI J. Modular compactor of test responses[C]// 24th IEEE VLSI Test Symposium. Berkeley, California: IEEE Computer Society Press, 2006: 241-251.
- [8] YANG J S, TOUBA NUR A. X-Canceling MISR Architectures for Output Response Compaction With Unknown Values[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2012, 31(9): 1417-1427.
- [9] WANG S, BALAKRISHNAN K J, WEI W. X-Block: An Efficient LFSR Reseeding-Based Method to Block Unknowns for Temporal Compactors[J]. IEEE Transactions on Computers, 2008, 57(7): 978-989.
- [10] WANG S, WEI W. An Efficient Unknown Blocking Scheme for Low Control Data Volume and High Observability[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(11): 2039-2052.
- [11] PRADHAN M, BHATTACHARYA B B, CHAKRABARTY K, et al. Predicting X-Sensitivity of Circuit-Inputs on Test-Coverage: A Machine-Learning Approach[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Early Access), 2018: 1-1.
- [12] BRGLEZ F, BRYAN D, KOZMINSKI K. Combinational profiles of sequential benchmark circuits[C]// IEEE International Symposium on Circuits and Systems. Portland, Oregon, USA: IEEE Computer Society Press, 1989: 1929-1934.
- [13] Synopsys. TetraMAX[EB/OL]. (2017-12-19) [2019-04-15]. <https://www.synopsys.com/support/train->

ing/signoff/tmax1-fcd. html.

[14] GEURTS P, ERNST D, WEHENKEL L. Extremely randomized trees[J]. Machine Learning, 2006,63(1): 3-42.

[15] LEO B. Random Forests[J]. Machine Learning, 2001, 45(1): 5-32.

[16] DAVIDSON S. ITC99 Benchmark Circuits Preliminary Results[C]// International Test Conference 1999. Proceedings. Atlantic City, USA: IEEE Computer Society Press, 1999: 1125-1125.

作者简介:

应健锋 男,(1995-),硕士研究生. 研究方向为嵌入式系统

综合与测试.

梁华国(通讯作者) 男,(1958-),教授,博士生导师,CCF 高级会员. 研究方向为嵌入式系统综合与测试、数字系统设计自动化、高可靠性的工业控制计算机研究与开发和分布式控制系统等. E-mail:scorpiowind@outlook. com

江悦 女,(1992-),硕士研究生. 研究方向为嵌入式系统综合与测试.

蒋翠云 女,(1962-),硕士研究生,副教授. 研究方向为容错计算、自动测试模式生成算法等.

李丹青 女,(1991-),博士研究生. 研究方向为嵌入式系统的综合与测试、高可靠性集成电路设计.

黄正峰 男,(1978-),男,博士研究生,教授,硕士生导师. 研究方向为 Soc 芯片的抗辐射加固.