

引用格式:周郭飞,杨宏,杨延峰.基于自适应环路滤波算法的全数字锁相环设计与分析[J].微电子学与计算机,2020,37(9):62-67. [ZHOU G F, YANG H, YANG Y F. Design and analysis of the all-digital phase-locked loop based on adaptive loop filtering algorithm[J]. Microelectronics & Computer, 2020, 37(9): 62-67.]

基于自适应环路滤波算法的全数字锁相环设计与分析

周郭飞,杨 宏,杨延峰

(公安部第一研究所,北京 100044)

摘 要: 环路滤波器是全数字锁相环中重要的模块,对环路的许多性能都有着重要的影响.为了加快锁定时间的同时降低带内噪声,本文提出了一种适用 II 型全数字锁相环的自适应环路滤波算法.该算法预先选择多组对应带宽由大到小的环路滤波参数.在跟踪过程中,根据环路的状态依次在特定的时刻切换参数,并对因切换导致频率控制字跳变进行补偿.本文首先证明了自适应环路滤波器的可行性,然后给出了算法的实现流程,最后采用 Verilog-A 语言在 HSPICE 中对上述算法进行了仿真实验.实验结果表明采用本文提出的自适应环路滤波,ADPLL 锁定时间仅略大于第一组参数对应的锁定时间,而其锁定后的相位噪声与最后一组参数的相同.

关键词: 数字环路滤波器;锁定时间;相位噪声;全数字锁相环

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2020)09-0062-06

Design and analysis of the all-digital phase-locked loop based on adaptive loop filtering algorithm

ZHOU Guo-fei, YANG Hong, YANG Yan-feng

(First Research Institute of The Ministry of Public Security, Beijing 100044, China)

Abstract: The digital Loop filter is a key module in all digital phase locked loop (ADPLL) and has an important impact on the performance of the loop. In order to shorten the settling time and reduce the in-band phase noise, this paper proposes a type II ADPLL adaptive loop filtering algorithm. To implement the algorithm, several sets of loop filter parameters with large to small bandwidth are pre-selected. In the tracking process, the algorithm will switch those parameters orderly at a special time according to the state of the loop, and the non-ideal jump of frequency control word caused by the switching is compensated at the same time. Finally, this paper built a Type II ADPLL with three sets of loop filtering parameters in HSPICE using Verilog-A language, and simulated the algorithm. The simulation results show that the total lock time of the loop is only slightly larger than that of the first set of parameters, and the phase noise characteristic after locking is the same as the last set of parameters.

Key words: digital loop filter; settling time; phase noise; ADPLL

1 引言

随着特征尺寸进入深亚微米、纳米阶段,主流 CMOS 工艺下实现数字电路在成本、速度、功耗和集成度等方面都呈现了巨大优势,然而此时该工艺下实现模拟和射频电路确因开关噪声和低电源电压

变得越来越难.针对上述问题,Staszewski 博士提出了数字射频(Digital RF)的概念^[1].全数字锁相环(ADPLL),除 DCO 存在模拟电路外其它功能模块均由数字电路构成,其不仅可用于实现本振,还可用于实现通用调制器,是数字射频的关键模块之一^[2-3].

不同于传统锁相环^[4-5],全数字锁相环用于控制环路特性的所有信号均是数字的,因此其环路本身具有很强的动态可配置性。利用这一特性,在 ADPLL 锁定过程中可根据环路的工作状态动态地改变环路滤波器参数,以实现各项性能的改善^[6-8]。本文提出了一种针对 II 型锁相环的自适应环路滤波算法,该算法通过观察 II 型环路中的关键信号,获取环路的工作状态,并动态地调整环路滤波器的参数,以达到加快环路锁定的同时改善锁定后的相位噪声特性的目的。

2 全数字锁相环系统简介

如图 1 所示,全数字锁相环 ADPLL 主要由数字环路滤波器、数字鉴相器和数控 LC 振荡器(DCO)三部分组成,其中仅 DCO 中存在模拟电路。环路中的数字鉴相器采用了数字的方式测量 DCO 输出信号和参考信号之间的相位差,由低速相位累加器、高速相位累加器和时间数字转换器(TDC)构成^[1]。低速相位累加器是在参考时钟的控制下对频率控制字(Frequency Control Word, FCW)进行累加,从而产生参考相位,也是 DCO 目标输出频率对应相位。而高速相位累加器步进为 1,采用 DCO 输出的时钟。高速相位累加器于低速相位累加器的差其实就是 DCO 目标输出频率对应相位与 DCO 实际输出频率对应相位误差的整数部分,而分数相位误差由 TDC 测量输出。总相位误差由整数相位误差和分数相位误差之和。相位误差信号经过数字环路滤波器之后形成 DCO 的控制字。当 ADPLL 运行一段时间后,在环路滤波器的控制下,DCO 输出信号的频率与 FCW 所指定频率相同,从而实现频率综合的功能。

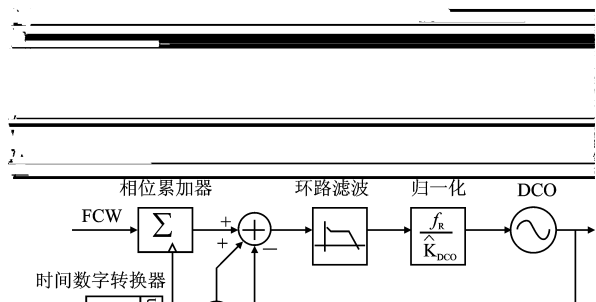


图 1 全数字锁相环的基本结构

ADPLL 为离散数字系统,理论上应采用 z 域模型进行精确描述。鉴于环路带宽小于参考频率 10 倍以上,为便于分析本文采用 s 域模型近似 ADPLL 的 z 域模型^[9]。如图 2 是常用的 ADPLL,对其 I 型

环路和 II 型环路的 s 域模型进行理论分析。

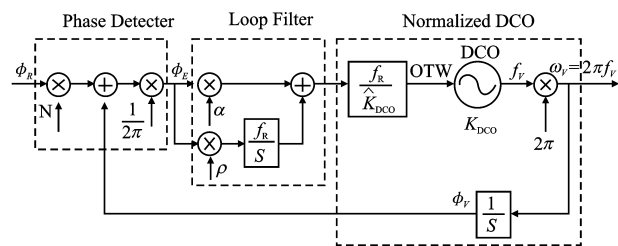


图 2 全数字锁相环 s 域模型

当 $\rho = 0$ 时,ADPLL 蜕变为 I 型锁相环,根据图 2 所示信号可得对应开环传输函数:

$$H_d(s) = \alpha f_R / s \quad (1)$$

从公式(1)可知该环路的开环传输函数在原点只有一个极点。根据反馈系统得信号流图处理方法,获得闭环传输函数如下:

$$H_d(s) = \frac{N}{1 + s/\alpha f_R} \quad (2)$$

误差传递函数如下:

$$H_e(s) = \frac{Ns/\alpha f_R}{1 + s/\alpha f_R} \quad (3)$$

环路带宽是开环传输函数等于 1 时对应的频率,由公式(1)可得环路带宽为:

$$f_{BW} = \alpha f_R / (2\pi) \quad (4)$$

在 I 型 ADPLL 中环路滤波器仅仅是由常数 α 构成,因此滤波器本身具有无限带宽。无限带宽使得此类锁相环的噪声特性并不突出,但动态特性很好,因此特别适合于对噪声要求不高,但对相位/频率捕获速度要要求的设计中。此外,该类锁相环另一个特点是:即使环路锁定后,输出信号和参考信号之间仍然存在着一定的相位差。

当 $\rho \neq 0$ 时,ADPLL 是一个 II 型锁相环,根据图 2 所示信号可得对应开环传输函数:

$$H_d(s) = \frac{\varphi_V}{\varphi_R} = (\alpha + \frac{\rho \cdot f_R}{s}) \frac{f_R}{s} \quad (5)$$

由于这种环路的开环传输函数在原点有两个极点,所以被称之为 II 型锁相环。根据反馈系统得信号流图处理方法,获得闭环传输函数如下

$$H_d(s) = \frac{\varphi_V}{\varphi_R} = N \frac{\alpha f_R s + \rho f_R^2}{s^2 + \alpha f_R s + \rho f_R^2} \quad (6)$$

闭环传输函数还可以表示为:

$$H_d(s) = N \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (7)$$

其中, ω_n 为自然角频率; ζ 为阻尼系数。他们和环路滤波器两个参数的关系如下:

$$\omega_n = \sqrt{\rho} f_R \quad \zeta = \frac{\alpha f_R}{2\omega_n} = \frac{\alpha}{2\sqrt{\rho}} \quad (8)$$

其误差传递函数:

$$H_e(s) = N \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{9}$$

II 型 ADPLL 的环路滤波器本身是具有一定带宽的,因此其综合噪声特性优于 I 型 ADPLL,且锁定后输出信号和参考信号之间的相位差趋向零. II 型 ADPLL 可用于实现高性能的频率综合、授时守时等功能.

3 一种 I 型环路自适应滤波器

针对 I 型全数字锁相环,文献[6]提出了一种自适应的环路滤波器,其基本思路是:通过对一组参数 $\alpha_1 > \alpha_2 > \dots > \alpha_N$ 的依次切换,来实现由大到小地动态改变环路带宽,达到在少量增加锁定时间的前提下提升锁定后环路的带内噪声抑制特性的目的. 下面对这种自适应滤波器的工作原理进行介绍.

当 I 型环路的频率控制字发生跳变 Δf 时,根据公式(3)求得其相位误差:

$$\varphi_E(t) = \frac{2\pi\Delta f}{\alpha f_R} (1 - e^{-\alpha f_R t}) \tag{10}$$

由此可得归一化频率控制字的时域响应:

$$NTW(t) = \frac{1}{2\pi}\alpha\varphi_E(t) = \frac{\Delta f}{f_R} (1 - e^{-\alpha f_R t}) \tag{11}$$

令 $t \rightarrow \infty$,由公式(10)和(11)可以得到环路锁定后的归一化频率控制字和相位误差:

$$\varphi_{E_s} = 2\pi\Delta f / (\alpha f) \quad NTW_s = \Delta f / f_R \tag{12}$$

图 3 给出了一个处于锁定状态的环路,当参数从 α_1 切换到 α_2 时,相位误差和频率控制字的变化曲线. 从图 3 可知,改变参数 α 会导致频率控制字突变,从而导致环路再次进入非锁定状态,进而延长了锁定时间. 为了解决该问题,文献[6]对 NTW 的变化量进行了补偿. 利用公式(11)求得 NTW 的补偿公式如下所示:

$$\Delta NTW = NTW_s (1 - \frac{\alpha_2}{\alpha_1}) \tag{13}$$

图 4 给出了单次切换的 I 型自适应滤波器的结构.

4 一种 II 型环路自适应滤波器

4.1 II 型环路滤波器分析

为了降低 II 型 ADPLL 带内噪声的同时加快锁定时间,本文提出了一种适用 II 型全数字锁相环的自适应环路滤波算法,其结构如图 5 所示. 该环路滤波算法的基本思路是预先选择多组对应带宽由大到小的环路滤波参数;锁定过程中,根据环路的状态依

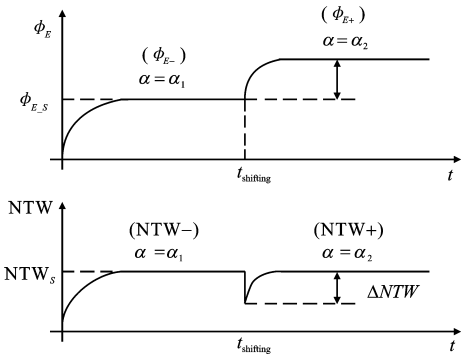


图 3 I 型环路参数切换的影响

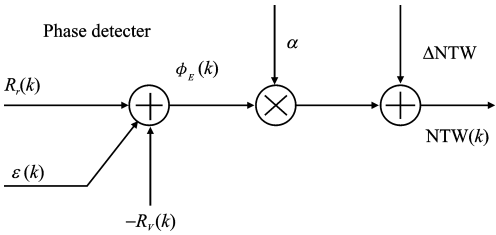


图 4 I 型环路自适应滤波器简图

次在特定的时刻切换参数,并对因切换导致频率控制字跳变进行补偿.

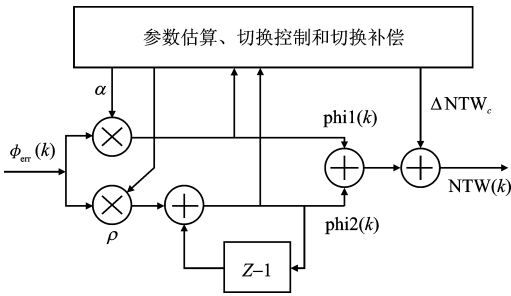


图 5 II 型环路自适应滤波器框图

对于 II 型自适应环路滤波器,ADPLL 环路滤波器参数切换时间的选择是至关重要的. 随意选择切换时间,即使是对切换导致的突变进行了补充,也有可能使得本来已经锁定的环路,再次进行非锁定状态,如图 6 所示.

为了选择最佳切换时间,本文将通过对如图 5 所示的自适应环路滤波器进行理论分析,并证明:在忽略各种噪声的条件下,当 $\zeta < 1$ 时,在 $\text{phi1}(k)$ 的过零点处进行参数切换,并且对参数切换进行合适的补偿,可以让环路直接进入锁定状态. 详细证明过程如下:

对于 ADPLL 的 II 型环路滤波器,不妨设累加器的初始值为零,且有频率控制字补偿值 $\Delta NTW_e = 0$,则图 5 中各信号的关系如下:

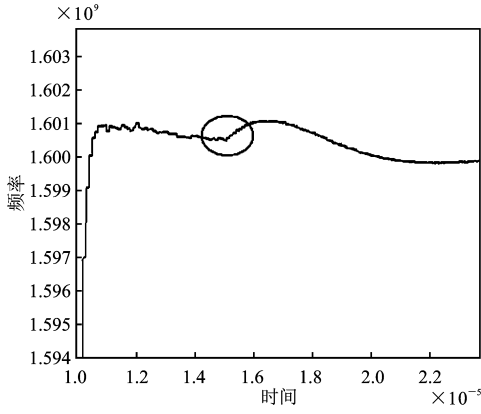


图6 切换时间不当时频率响应

$$\text{phil}(k) = \varphi_{\text{err}}(k)\alpha_1 \quad (14)$$

$$\text{phi2}(k) = \varphi_{\text{err}}(k)\rho_1 + \sum_{i=1}^{k-1} \varphi_{\text{err}}(i)\rho_1 \quad (15)$$

$$\text{NTW}(k) = \text{phil}(k) + \text{phi2}(k) + \Delta\text{NTW}_c \quad (16)$$

$$\begin{aligned} \varphi_{\text{err}}(k) &= \sum_{i=1}^{k-1} \text{NTW}_s - \sum_{j=1}^{k-1} \text{NTW}(j) \\ &= \varphi_{\text{err}}(k-1) + (\text{NTW}_s - \text{NTW}(k-1)) \end{aligned} \quad (17)$$

对于 II 型锁相环当其相位裕度满足稳定条件, 经过一段时间后环路一定会锁定的. DPLL 锁定的条件, 用数学语言来描述就是: 存在 k_1 , 当任意 $k > k_1$ 有:

$$|\text{NTW}(k) - \text{NTW}_s| \leq C \quad (18)$$

其中 C 是根据需求选定的一个很小的值. 当相位裕度满足稳定条件, 在不考虑各类噪声时, 由公式 (14) ~ (17), 可得:

$$\lim_{k \rightarrow \infty} \text{NTW}(k) = \text{NTW}_s$$

$$\lim_{k \rightarrow \infty} \text{phi2}(k) = \text{NTW}_s$$

$$\lim_{k \rightarrow \infty} \text{phil}(k) = 0$$

其中 NTW_s 为锁定后的环路滤波器输出的值.

对于 II 型环路, 当 $\zeta < 1$ 时, 频率控制字进行阻尼振荡, 即存在 $k_2 < k_1$ (即当环路还未锁定时), 使得 $\text{phil}(k_2) = 0$. 令环路在 $k = k_2$ 时进行参数切换, 并规定从此刻作为新的起始时间, 时间标识用 j 表示. 由公式 (14) ~ (17), 可得环路滤波器各信号在 $j = 1$ 时有:

$$\text{phil}(j = 1) = 0$$

$$\text{phi2}(j = 1) = \sum_{i=1}^{k_2} \varphi_{\text{err}}(i)\rho_1 = A$$

$$\text{NTW}(j = 1) = A + \Delta\text{NTW}_c$$

根据公式 (14), 有:

$$\varphi_{\text{err}}(j = 1) = 0$$

此时令 $\Delta\text{NTW}_c = \text{NTW}_s - A$ (即进行参数补偿), 则有: $|\text{NTW}(j = 1) - \text{NTW}_s| = |A + \Delta\text{NTW}_c - \text{NTW}_s| = 0 < C$ 那么现在只要能证明对于任意 $j \geq 1$, 都满足 $|\text{NTW}(j) - \text{NTW}_s| < C$, 根据公式 (18), 就可以认为环路已经进入了锁定状态.

用数学归纳法证明该结论:

假设 $j = n$ 时, 有:

$$\text{phil}(n) = 0$$

$$\text{phi2}(n) = \sum_{i=1}^{k_2} \varphi_{\text{err}}(i)\rho_1 = A$$

$$\text{NTW}(n) = A + \Delta\text{NTW}_c$$

$$\Delta\text{NTW}_c = \text{NTW}_s - A$$

$$\varphi_{\text{err}}(n) = 0$$

$|\text{NTW}(n) - \text{NTW}_s| = |A + \Delta\text{NTW}_c - \text{NTW}_s| = 0 < C$ 当 $j = n + 1$ 时, 首先有:

$$\varphi_{\text{err}}(n + 1) = \varphi_{\text{err}}(n) + \text{NTW}_s - \text{NTW}(n) = 0$$

由公式 (14) 和 (15) 可得:

$$\text{phil}(n + 1) = 0$$

$$\text{phi2}(n + 1) = \sum_{i=1}^{k_2} \varphi_{\text{err}}(i)\rho_1 = A$$

再利用公式 (16), 最终可得:

$$|\text{NTW}(n + 1) - \text{NTW}_s| = |A + \Delta\text{NTW}_c - \text{NTW}_s| = 0 < C$$

因此, 通过归纳法证明了对于任意 $j \geq 1$, 都满足 $|\text{NTW}(j) - \text{NTW}_s| < C$,

综上所述, 当 $\zeta < 1$ 时在 $\text{phil}(k_2) = 0$ 处进行参数切换, 并设定 $\Delta\text{NTW}_c = \text{NTW}_s - A$, 环路可直接进入了锁定状态. 证明完毕!

由上述证明可知, $\Delta\text{NTW}_c = \text{NTW}_s - A$ 是环路能直接进入锁定状态的条件之一, A 可以通过观察 phi2 直接获得, 而 NTW_s 的估计相对复杂. 下面使用 ADPLL 的 s 域模型, 来推导利用 phil 和 phi2 估算 NTW_s 的方法.

如图 2 所示的 s 域模型, 当输入频率控制字变化了 ΔN , 根据相位为频率积分的原理, 可得输入相位得变化, 即:

$$\varphi_i(t) = \begin{cases} \Delta N f_{\text{REF}} t & t > 0 \\ 0 & t < 0 \end{cases}$$

其拉氏变换为:

$$\Phi_i(s) = \Delta N f_{\text{REF}} / s^2$$

由误差传递函数 (9) 可得:

$$\text{phi1}(s) = \frac{\Delta N f_{\text{REF}} \alpha}{(s^2 + 2\zeta \omega_n s + \omega_n^2)}$$

$$\text{phi2}(s) = \frac{\Delta N f_{\text{REF}}^2 \rho}{s(s^2 + 2\zeta \omega_n s + \omega_n^2)}$$

当 $\zeta < 1$ 时, 对上面两个公式进行逆变换得:

$$\begin{aligned} \text{phi1}(t) &= \frac{\Delta N f_{\text{REF}} \alpha}{p_1 - p_2} (e^{p_1 t} - e^{p_2 t}) \\ &= \frac{\Delta N f_{\text{REF}} \alpha}{\omega_n} \left[\frac{1}{\sqrt{1 - \zeta^2}} \sin(\sqrt{1 - \zeta^2} \omega_n t) \right] e^{-\zeta \omega_n t} \end{aligned} \quad (19)$$

$$\text{phi2}(t) = \frac{\Delta N f_{\text{REF}}^2 \rho}{\omega_n^2} + \frac{\Delta N f_{\text{REF}}^2 \rho}{p_1 p_2 (p_1 - p_2)} (p_2 e^{p_1 t} - p_1 e^{p_2 t})$$

其中, p_1 和 p_2 是 $s^2 + 2\zeta \omega_n s + \omega_n^2 = 0$ 的两个根, 由于:

$$\text{NTW}(t) = \text{phi1}(t) + \text{phi2}(t) \quad (20)$$

对上式取其极限, 并利用公式(8) 得:

$$\lim_{t \rightarrow \infty} \text{NTW}(t) = \Delta N$$

从公式(19) 可以得到 $\sqrt{1 - \zeta^2} \omega_n t = n\pi + \pi/2$ 时, phi1 有极大值或极小值, 即:

$$t_n = (n\pi + \frac{\pi}{2}) \frac{1}{\sqrt{1 - \zeta^2} \omega_n} \quad (21)$$

于是, 将公式(21) 代入公式(20) 也有:

$$\text{NTW}(t_n) = \Delta N = \lim_{t \rightarrow \infty} \text{NTW}(t)$$

通过分析可得结论: phi1 的极值点处, NTW 对应的是锁定值 $\text{NTW}_s = \Delta N$. 因此可以通过观察 phi1 和 phi2 来估算锁定后环路滤波器的输出值.

4.2 II型自适应环路滤波算法实现

根据理论分析可得以下结论: 对于阻尼系数 $\zeta < 1$ 的 II 型 ADPLL, 当环路处于跟踪过程状态时, 在特殊的时刻进行参数切换并给予适当参数补偿可使得环路直接进入锁定状态. 基于上述结论, 本文针对 II 型 ADPLL 提出了一种自适应滤波器, 其基本思路是: 预先选择多组环路滤波器参数, 然后根据环路的状态进行参数切换.

预选的滤波器参数组 (α_n, ρ_n) 事先计算好, 在自适应滤波器算法的控制下依次使用. 每组参数对应的相位裕度不小于 45 度, 而环路带宽由大到小. 第一组参数对应环路带宽最大, 以加快 ADPLL 的锁定过程; 最后一组参数对应的环路带宽最小, 以使 ADPLL 锁定后能有好的相位噪声特性. 下面介绍自适应滤波器切换算法的实现:

第一步, 算法启动: 当频率控制字 FCW 更新量超过规定的阈值启动本算法;

第二步, 估算 NTW_s : 观察 $\text{phi1}(k)$ 的极值点, 每个极点处, 对应的是 $\text{NTW}(k)$ 的锁定值的一个估计, 通过观察 m 个极点 (m 一般选 2 或 3), 并对这些数值进行平均得到最终估计值 $\hat{\text{NTW}}_s$;

第三步, 首次切换: 在第 m 个极值点后的第一个 $\text{phi1}(k)$ 过零点处进行切换, 同时针对切换进行补偿, $\Delta \text{NTW}_c = \hat{\text{NTW}}_s - A$, 其中 A 为 $\text{phi2}(k)$ 在切换处, 即 $\text{phi1}(k)$ 此刻过零点处对应的值;

第四步, 后续切换: 以等间隔时间 T_s 进行后续切换, 其中 T_s 为算法启动和首次切换的时间之差, 由于此时环路已接近锁定状态, 因此可不针对后续切换进行参数补偿;

第五步, 锁定后处理: 环路锁定后, 将令 $\text{phi2}(k+1) = \text{phi2}(k) + \Delta \text{NTW}_c$ 且 $\Delta \text{NTW}_c = 0$, 为下次 FCW 更新做准备.

5 自适应滤波器仿真结果

本文采用 Verilog-A 语言实现了 ADPLL 行为级仿真平台, 实现 ADPLL 环路中各信号的分析, 并对本文提出的自适应环路滤波算法进行验证. 仿真验证使用的仿真工具为 HSPICE2016, 使用的计算机参数如下: 主频为 3 GHz, 内存为 8 G, Win10 操作系统.

5.1 仿真 1

仿真 1 对 ADPLL 环路的跟踪过程和参数切换进行了仿真. 图 7(a) 给出了环路滤波参数 $\alpha = 2^{-5}$, $\rho = 2^{-9}$ 时, 滤波器在跟踪过程中各信号的仿真结果. 从图中曲线可知, 在 phi1 的每个极值点时刻, NTW 对应的是环路锁定值. 图 7(b) 给出了滤波器参数由 $\alpha = 2^{-5}$, $\rho = 2^{-9}$ 切换到 $\alpha = 2^{-7}$, $\rho = 2^{-12}$ 时, 各信号的仿真结果. 从图中曲线可知, 在 phi1 零点处进行切换, 并进行参数补偿, 环路可直接进入锁定的状态. 仿真结果验证了 4.1 节的理论分析.

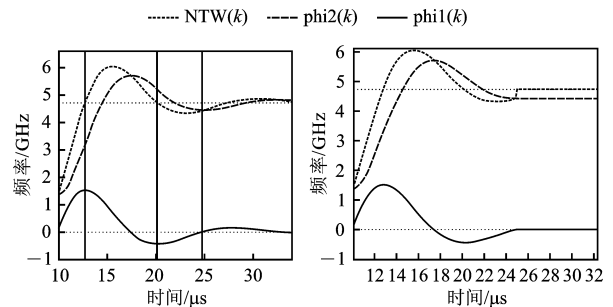


图 7 环路滤波器各信号响应

5.2 仿真 2

仿真 2 在 ADPLL 行为级仿真平台中实现了三组参数的自适应环路滤波器. 整个环路中低通特性的相位噪声由时间数字转换器的有限时间分辨率产生. 表 1 给出了环路带宽依次减小的三组参数. 仿真首先对三组参数分别进行仿真, 获得各自的锁定时间和抖动方差. 仿真中频率控制字变化量为 45 MHz.

表 1 不同环路滤波器参数和性能

	参数 1	参数 2	参数 3
环路滤波器参数 α	0.177 72	0.088 858	0.044 429
环路滤波器参数 ρ	0.044 665	0.011 166	0.002 791 5
环路带宽/(弧度/s)	$2\pi(4e+5)$	$2\pi(2e+5)$	$2\pi(1e+5)$
相位裕度/度	45	45	45
阻尼系数	0.420 45	0.420 45	0.420 45
自然角频率/(弧度/s)	$2.1134e+6$	$1.0567e+6$	$5.2835e+5$
0.1ppm 锁定时间/ μ s	9	18	36
抖动均方差/fs	25.9	19	17

图 8 给出了参数 1 和参数 2 对应环路的频率响应仿真结果. 瞬态仿真时间设定为 60 μ s, 每组参数仿真耗时约 17 分钟. 图 8(a) 表明, 环路带宽为 400 kHz 的参数 1, 其环路的锁定时间短仅为 9 μ s, 但对带内噪声抖动方差却为 25.9 fs. 图 8(b) 表明, 环路带宽为 100 kHz 的参数 2, 其对带内噪声抖动方差为 17 fs, 但环路锁定时间却为 36 μ s. 仿真结果验证了环路带宽、带内噪声、锁定时间的基本关系.

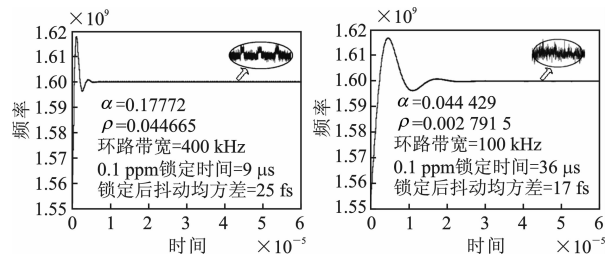


图 8 不同参数下环路的频率响应

图 9 给出了采用本文提出的自适应环路滤波算法的 ADPLL 环路, 针对 45 MHz 参考频率的变化所产生频率响应的仿真结果, 整个仿真耗时约 20 分钟. 当 ADPLL 环路检测到参考频率控制字的变化, 首先使用参数 1, 由于其环路带宽较大, 因此 DCO 频率控制字进行了快速的阻尼振荡. 自适应算法控制环路在 3.2 微秒处进行了首次参数切换, 切换点对应的是 $\text{phil}(k)$ 第三个过零处. 算法通过 $\text{phil}(k)$

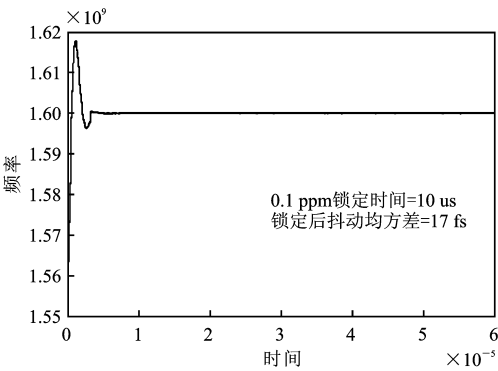


图 9 自适应环路滤波器频率响应

的两个极点处 $\text{NTW}(k)$ 的值估计出 $\hat{\text{NTW}}_s$, 并对参数切换进行了补偿. 经过首次切换后, ADPLL 即将进入了锁定状态. 为了进一步抑制带内噪声, 在算法的控制下在约 8 μ s 处再次进行了切换. 经过两次切换后, 环路在约 10 μ s 处进入了锁定状态, 此时环路的抖动方差与最后一组参数的相同.

6 结束语

为了加快锁定时间的同时降低带内噪声, 本文提出了一种适用 II 型全数字锁相环的自适应环路滤波算法. 该算法预先选择多组对应带宽由大到小的环路滤波参数. 在跟踪过程中, 根据环路的状态依次在特定的时刻切换参数, 并对因切换导致频率控制字跳变进行补偿. 本文采用 Verilog-A 语言在 HSPICE 中对上述算法进行了仿真实验. 实验结果表明采用本文提出的自适应环路滤波, ADPLL 锁定时间仅仅略大于第一组参数对应的锁定时间, 而其锁定后的相位噪声与最后一组参数的相同.

参考文献:

[1] STASZEWKI R. B. Digital RF and Digitally-Assisted RF[C]// RFIT 2011, IEEE International Symposium on Radio-Frequency Integration Technology. Beijing, China: IEEE, 2011:9-16.

[2] STASZEWKI R B, MUHAMMAD K. All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS[J]. IEEE journal of solid-state circuits, 2004, 39(12):2278-2291.

[3] STASZEWKI R B, HUNG C M, BARTON N. A digitally controlled oscillator in a 90nm digital CMOS process for mobile phones[J]. IEEE journal of solid-state circuits, 2005, 40(11):2203-2211.