

引用格式:李飞,陈娜.一种基于 JFET 差分输入对的电压基准源设计[J].微电子学与计算机,2020,37(4):80-85. [LI F, CHEN N. Design of a voltage reference based on JFET differential input pair[J]. Microelectronics & Computer, 2020, 37(4): 80-85.]

一种基于 JFET 差分输入对的电压基准源设计

李 飞¹, 陈 娜²

(1 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035; 2 重庆市计量质量检测研究院, 重庆 401123)

摘 要: 采用 $4\ \mu\text{m}$ 40 V BJT 商用工艺设计了一种基于 JFET 差分输入对的 2.5 V 电压基准源. 内部结构包括 JFET 差分输入对、恒流源、PTAT 电流源、运放、电阻分压器、短路保护. 仿真结果表明本设计能够满足 5 V~30 V 宽电压范围、车规级温度范围应用, 并具有低噪声、低温漂、低温度非线性等卓越性能.

关键词: JFET 差分输入对; 低噪声; 低温漂; 低温度非线性

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)04-0080-06

Design of a voltage reference based on JFET differential input pair

LI Fei¹, CHEN Na²

(1 China Electronic Technology Conglomeration No. 58 R&D Institute, Wuxi 214035, China;

2 Chongqing Academy of Metrology and Quality Inspection, Chongqing 401123, China)

Abstract: Fabricated by $4\ \mu\text{m}$ 40 V BJT commercial technology, a designed voltage reference based on JFET differential input pair outputs 2.5V steadily, which is comprised of JFET differential input pair, constant current source, PTAT current source, op-amp, resistor divider, short-circuited protection. Simulation results show that the design lends itself well to a wide range of voltage application (5 V~30 V) and vehicle-level temperature application. Besides, low noise, low temperature drift, low temperature nonlinearity could also be expected.

Key words: JFET differential input pair; low noise; low temperature drift; low temperature nonlinearity

1 引言

随着集成电路规模的不断增大,尤其是系统集成技术(SOC)的飞速发展,基准电压源已成为许多控制或应用电路必需的基本电路模块,它为串联型稳压电路、电源、A/D 和 D/A 转换器提供基准电压,也是大多数传感器的稳压供电电源或激励源.高性能基准电压源要求具有较高的初始精度,并且在负载电流、温度和时间变化时仍保持较高的稳定度.目前常见的电压基准源有埋沟式齐纳^[1]、带隙基准源^[2]和 JFET 基准源^[3].

与埋沟式齐纳基准、带隙基准^[4]相比, JFET 基

准具有更低的噪声、更高的精度、更低的功耗、更宽的输入电压.本文设计的基于 JFET 差分输入对的电压基准源,具有低噪声、低温漂、低温度非线性等卓越性能,可广泛应用于信号转换、光网络以及医疗等场合.

2 电路设计

本文设计的电压基准源可应用在供电电压 5 V ~ 30 V, $-40\sim 125\ ^\circ\text{C}$ 温度范围内.输出电压 $2.5\ \text{V}\pm 1\ \text{mV}$,设计的功能框图如图 1 所示.两个 P 型 JFET(J1、J2) 组成输入差分对管, I_0 为恒流源, OP1 为高增益运放, I_{PTAT} 为与温度成正比的电流, $R1$ 、

$R2, R3$ 为低温系数电阻. 处于线性区的 JFET 电流由式(1)表示^[6]:

$$I_{SD} = -\beta [2 * (V_{GS} - V_P)V_{SD} - V_{SD}^2] \cdot (1 + \lambda \cdot V_{SD}) \quad (1)$$

式中, I_{SD} 为源漏电流, β 为跨导参数, 与宽长比和工艺参数有关, V_{GS} 为栅源电压, V_P 为夹断电压, V_{SD} 为源漏电压, λ 为沟长调制系数, 通常远小于 1, 等式右边的负号表示电流方向. 若 JFET 差分对管的宽长比相等, V_{SD} 较小且相等, I_{SD} 也相等, 则式(1)可简化为:

$$V_{GS1} - V_{P1} = V_{GS2} - V_{P2} \quad (2)$$

由式(2)可知, JFET 差分对管的夹断电压差 $\Delta V_P = V_{P1} - V_{P2}$ 直接体现在栅源电压差 $\Delta V_{GS} = V_{GS1} - V_{GS2}$ 上.

基于上述思路设计的一种基准源电路的功能框图如图 1 所示. 图 1 中 $J1$ 和 $J2$ 偏置电流 I_0 相同, 但夹断电压 V_P 不一样 ($V_{P1} > V_{P2}$), 通过运放 OP1 箝位 $J1$ 和 $J2$ 的源漏电压 V_{SD} , 则 V_P 的差异直接体现在 V_G 差异上.

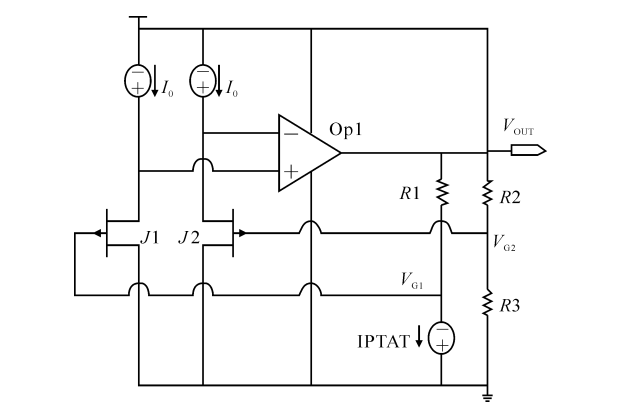


图1 功能框图

结合图 1 结构, 输出电压 V_{OUT} 可由式(3)表示:

$$V_{OUT} = \frac{1}{1 - \alpha} (\Delta V_P + I_{PTAT} \cdot R1) \quad (3)$$

式中, $\alpha = \frac{R3}{R2 + R3}$, ΔV_P 为 $J1$ 和 $J2$ 的夹断电压差. 由于 ΔV_P 具有线性负温度系数, I_{PTAT} 具有线性正温度系数, 两者通过一阶线性加权, 理论上可以得到零温度非线性的输出电压 V_{OUT} .

2.1 JFET 差分输入对设计

根据工艺提供的 JFET 器件类型及 IV 特性曲线, 并结合单位面积的电流最大化设计考虑, 本文设计的 $J1$ 和 $J2$ 相关参数如表 2 所示.

由 JFET 工作原理可知, 宽度与夹断电压成正比, 但变化不明显. 本文设计的宽长比 100/10

对应 $J1$ 和 $J2$ 的夹断电压分别为 3.686 V、2.447 V.

表2 J1 和 J2 设计参数列表

参数	J1	J2
类型	PW	PWNB
沟长调制系数	0.001 404	0.003 04
宽长比	100/1	100/10
个数	20	20
单管偏置电流(μA)	6	6

2.2 运放电路设计

考虑到 $J1$ 和 $J2$ 工作在线性区时, V_{SD} 较小, 因此本文设计的运放电路采用 PNP 作为输入对管, 允许较小的输入共模电压. 同时为兼容低压工作电压, 输入级采用折叠式共射共基结构.

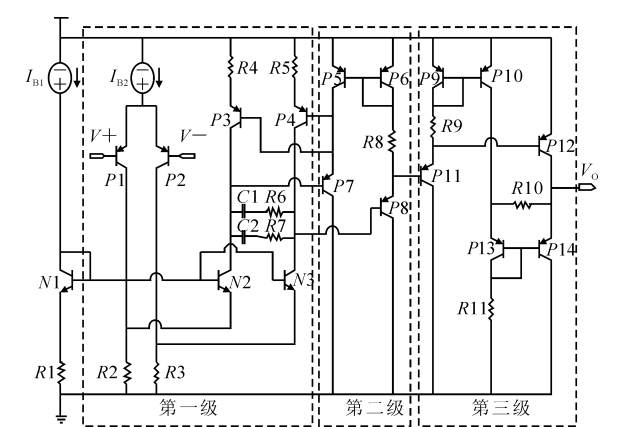


图2 运放电路结构

本文设计的运放结构如图 3 所示. 为减小增益误差, 实现两输入端虚短, 低频增益设计大于 60dB. 综合考虑环路响应速度及稳定性要求, 环路相位裕度(主要由运放决定)设计在 $60^\circ \sim 70^\circ$ 之间. 第一级采用 PNP 作为输入差分对的折叠式共射共基结构. 第二级采用 PNP 有源电流镜作为负载的差分转单端结构, $P3, P4, R4, R5$ 为共模采样电路, 用于稳定第二级差分输出共模电压. $C1, C2, R6, R7$ 作为密勒补偿电容、调零电阻, 用于调节环路稳定性. 采用两组补偿, 可以增加设计灵活性. 第三级为输出级, $P11$ 作为输出管 $P12$ 的驱动管, 设计为射随结构, 能够提高驱动响应速度及驱动能力. $9, P10, R9$, 与 $P13, P14, R11$ 一起, 形成推电流及拉电流有源负载, 能够在输出端连接外部灌电流或者拉电流负载时, 自动分配内部电流. $R9$ 用于平衡因工艺偏差引起的推电流和拉电流有源负载失配.

由于第二级和第三级均为射随结构, 增益近似

μm ,除了 $P16$ 、 $P17$ 个数 4, $P22$ 个数 4, $P21$ 个数 36,其它 PNP、NPN 个数均为 1. 考虑到 JFET 器件在零偏(即栅源短接)时仍具有导电沟道,本文设计采用 $J3$ 、 $J4$ 作为电源上电启动时的电流偏置.

表 4 J3 和 J4 设计参数列表

参数	J4	J3
类型	PW	IV
沟长调制系数	0.001 404	0.003 514
宽长比	180/10	76/10
个数	6	1

根据工艺文件中的 IV 曲线数据可知, $J3$ 和 $J4$ 的夹断电压分别为 0.72 V、4.0033 V.

图 5 中 V_{B0} 作为偏置电压,产生原理类似于图 4 结构,可由式(8)表示:

$$V_{B0} = \frac{2 \cdot V_T \cdot \ln 4}{R15} \cdot (R16 + R17) + 2 \cdot V_{BE}$$

(8)

同样地,为减小光刻偏差对电阻绝对值的影响,因此处对电流绝对值要求不高,电阻宽度选择 10 μm 足够,采用长宽比 10/10 的标准单元设计, $R15$ 设计为 7.2 个, $R16$ 设计为 134.6 个. 假定 BJT 工艺中的 NPN 管 BE 结压降 0.6 V,则由式(8)可推出常温下的 V_{B0} 为 2.547 V. V_{B0} 取值要求并不严格,只要满足正常情况下 $N10$ 不导通即可, $J4$ 常通, $N13$ 处于饱和区, $P21$ 、 $P22$ 集电极之间压降可以忽略,两者均连接到输出端,共同驱动负载.

当输出端口 V_{REF} 短接到地时, $N10$ 导通,通过 $P19$ 、 $P20$ 及 $N11$ 、 $N12$ 两组电流镜转换后, V_{B1} 电位降低,使得 $N13$ 处于线性区,强制 $P21$ 处于饱和区,从而限制了 $P21$ 的电流,达到了控制输出短路电流的目的.

3 仿真结果

按照本文第 2 节中设计的电路结构及器件参数,采用 CSEC 4 μm 40 V BJT 工艺模型,选用 Cadence Spectre 仿真软件,在 5 V~30 V 电源电压范围,典型工艺角下,得到 -40~125℃ 温度范围内的 JFET 对栅源电压差 ΔV_{GS} 温度系数仿真曲线如图 6 所示:

由上图可以看出, ΔV_{GS} 在 -40~125℃ 温度范围内呈现线性负温度系数,斜率约为 44.8 ppm/℃. 在 2.1 节中,工艺提供的 JFET 对的夹断电压差 1.24 V,但图 6 中仿真得到的栅源电压差 1.118 V,两者之间的差异在于线性近似的前提条件. 此处栅

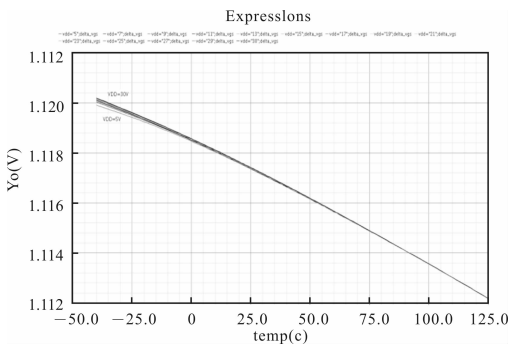


图 5 JFET 对栅源电压差的温度系数仿真波形

源电压差的绝对值并不重要,可以通过 I_{PTAT} 以及加权系数校正,但栅源电压差的线性负温度系数很重要,直接决定了后续温度补偿的有效性及可靠性,以及电压基准最终的噪声性能.

在 5 V~30 V 电源电压范围,典型工艺角下,得到 -40~125℃ 范围内, I_{PTAT} 电流沉的温度系数仿真曲线如图 7 所示:

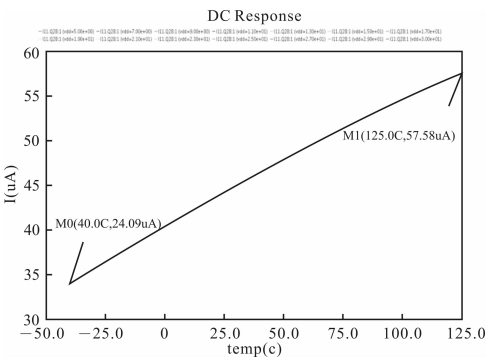


图 6 I_{PTAT} 电流沉的温度系数仿真波形

由上图可以看出, I_{PTAT} 电流沉在 -40~125℃ 温度范围内呈现线性正温度系数,斜率约为 3000 ppm/℃.

由图 6 和图 7 的仿真曲线可以看出, ΔV_{GS} 和 I_{PTAT} 均为线性温度系数,且极性相反,通过一阶简单补偿,很容易得到低温非线性的电压基准.

根据图 1 中的电路结构以及式(3),综合考虑整体功耗、噪声^[7]及版图面积,取 $R1 = \frac{1}{3}R12$, $R2 = 7R0$, $R3 = (8 + \frac{1}{5} + \frac{1}{6} + \frac{1}{10})R0$,其中 $R0$ 为多晶电阻,长宽比 9/24,则 $\alpha = 0.547$,算出常温下 $V_{OUT} = 2.499$ V.

在 5 V~30 V 电源电压范围,典型工艺角下,得到 -40~125℃ 范围内,电压基准的温度系数仿真曲线如图 8 所示:

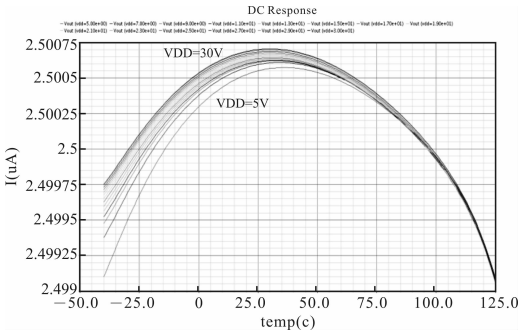


图 7 电压基准的温度系数仿真波形

由上图可知,当电源电压在 5 V~30 V 范围内变化,温度在 -40~125℃ 范围内变化时,电压基准在 2.499 V~2.500 75 V 范围内变化,此仿真结果因考虑了电阻的温度系数、电压系数,与常温推算时忽略近似得到的 2.499 V 有一定差异,但在设计容差范围内,满足 2.5 V±1 mV 精度设计指标要求。

在 5 V~30 V 电源电压范围,典型工艺角,常温 27℃ 下,电压基准环路的幅频及相频仿真曲线如图 9 所示:

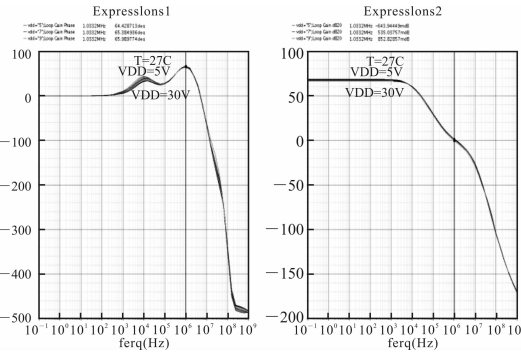


图 8 环路幅频及相频仿真波形

由上图可看出,当电源电压在 5 V~30 V 范围内变化时,整个电压基准环路的低频开环增益在 70 dB 左右,相位裕度在 65° 左右,满足低频开环增益大于 60 dB、相位裕度在 60°~70° 之间的设计指标要求。

在 7 V 典型电源电压,典型工艺角,常温 27℃ 下,电压基准在 0.1~10 Hz 低频段的噪声仿真曲线如图 10 所示:

由上图可知,电压基准输出噪声平方 V_{N2} 在 0.1~10 Hz 区间积分后为 $6.947 \times 10^{-14} \text{ V}^2$,开方可得 V_N 为 0.264 μV 。

在 5~30 V 电源电压范围,典型工艺角,常温 27℃ 下,电压基准建立时间仿真曲线如图 11 所示:

图 11 和图 9 其实为同一个环路在时域和频域

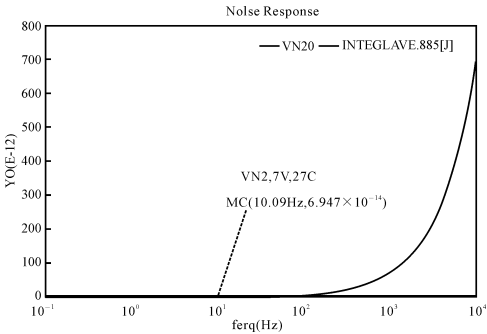


图 9 电压基准的低频噪声仿真波形

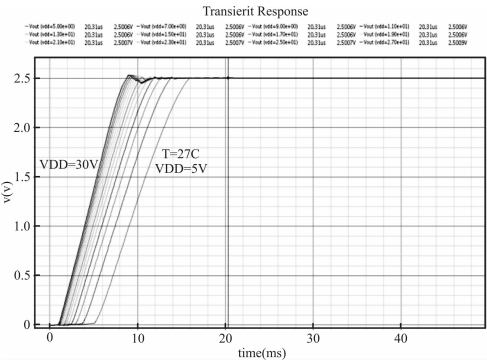


图 10 电压基准建立时间仿真波形

的不同表现.当电源电压在 5~30 V 范围内变化时,电压基准从 0 开始上升,最终经过 20 μs 左右,电源基准稳定在目标值精度范围内。

在 5~30 V 电源电压范围,典型工艺角,常温 27℃ 下,电压基准的短路电流仿真曲线如图 12 所示:

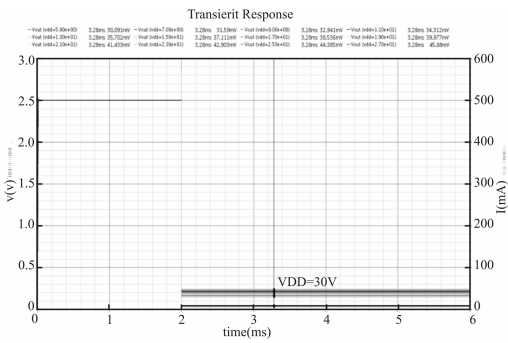


图 11 电压基准短路电流仿真波形

由图 12 可以看出,采用本文设计的短路保护结构成功地控制了输出短路电流,在 30 V 电源电压下,短路电流仍不超过 50 mA,具有较好的限流能力。

4 结束语

本文设计了一种基于 BJT 工艺,利用 P 型

JFET 对夹断电压差的负温度系数特性实现的一种电压基准源电路. 仿真结果表明电压基准的功能设计是有效的,设计电路可满足 5~30 V 电压范围、-40~125℃温度范围的环境需求,设计的短路保护电路能够有效控制输出短路电流,并具有低噪声、低温漂、低温度非线性等优良性能,对后续的工程开发具有重要的参考价值.

参考文献:

- [1] ANALOG DEVICES. Multiple Output, High Precision, Dual-Tracking Reference [EB/OL]. [2015-11]. <https://www.analog.com/media/en/technical-documentation/data-sheets/AD588.pdf>.
- [2] BROKAW PAUL. More About the AD580 Monolithic IC Voltage Regulator[J]. Analog Dialogue, 1975, 9 (1): 6-7.
- [3] ANALOG DEVICES. Ultralow Noise XFET Voltage References with Current Sink and Source Capability [EB/OL]. [2018-2]. https://www.analog.com/media/en/technical-documentation/data-sheets/adr430_431_433_434_435.pdf.
- [4] ANALOG DEVICES. Voltage References [EB/OL]. [2008-10]. <https://www.analog.com/media/en/training-seminars/tutorials/MT-087.pdf>.
- [5] 奚冬杰, 杜士才. 一种低温度系数高电源抑制比带隙基准[J]. 电子与封装, 2017, 17(12): 30-33.
- [6] WONG WAISUM W, LIOU JUIN J. JFET Circuit Simulation Using SPICE Implemented with an Improved Model [J]. IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, 1994, 13(1): 105-109.
- [7] HUNT SCOTT. Noise Analysis in Precision Analog Designs [EB/OL]. [2016-01-06]. <https://www.analog.com/en/education/education-library/webcasts/noise-analysis-in-precision-analog-designs.html>.

作者简介:

李 飞 男, (1982-), 硕士, 高级工程师. 研究方向为高精度运放、转换器、电源技术. E-mail: Li-fei-0105@163.com
陈 娜 女, (1984-), 硕士, 工程师. 研究方向为电子电气产品检测技术.