

引用格式:王盟皓,侯训平,陆铁军. 基于 Matlab 的宽带连续时间 Sigma-Delta 调制器设计[J]. 微电子学与计算机,2020,37(6):70-74. [WANG M H, HOU X P, LU T J. Design of wide-band continuous-time sigma-delta modulator based on matlab [J]. Microelectronics & Computer, 2020, 37(6): 70-74.]

基于 Matlab 的宽带连续时间 Sigma-Delta 调制器设计

王盟皓,侯训平,陆铁军

(北京微电子技术研究所,北京 100071)

摘 要: 本文利用 Matlab 集成工具箱设计了一款单环三阶三位连续时间 Sigma-Delta 调制器. 与离散时间调制器相比,连续时间调制器虽然对非理想因素较为敏感,但其在功耗、带宽方面却有着突出的表现. 本文在设计过程中,加入了零阶反馈环路对额外环路延时进行吸收,并对连续时间调制器最主要的三种非理想特性进行了分析. 最终基于 65 nm CMOS 工艺,设计电路并完成版图,通过 spectre 仿真,本文设计的调制器在 10 MHz 带宽下,可以达到 78.20 dB 的信噪失真比,且功耗仅为 5.39 mW.

关键词: Matlab;连续时间 Sigma-Delta 调制器;宽带;低功耗

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)06-0070-05

Design of wide-band continuous-time sigma-delta modulator based on matlab

WANG Meng-hao, HOU Xun-ping, LU Tie-jun

(Beijing Microelectronics Technology Institute, Beijing 100071, China)

Abstract: This paper presents a single-loop 3rd-order 4-bit Continuous-Time Sigma-Delta modulator using the Matlab toolbox. Compared with Discrete-Time modulators, continuous-time modulators are sensitive to non-ideal factors, but they have outstanding performance in terms of power consumption and bandwidth. In the design process, a zero-order feedback loop is added to absorb the excess loop delay, and the three main non-ideal factors of the continuous-time modulator are analyzed. Finally, based on the 65nm CMOS process, the circuit and layout of the modulator is completed. Through spectre simulation, the modulator can achieve 78.20dB signal to noise and distortion ratio with bandwidth of 10MHz, while the power consumption is only 5.39mW.

Key words: Matlab;continuous-time Sigma-Delta modulator;wide-band;low-power

1 引言

近年来,在无线通信领域,CT (Continuous-Time)Sigma-Delta ADC 正逐渐取代 DT (Discrete-Time)Sigma-Delta ADC 原有的地位. 目前便携式无线通信设备对 ADC 的性能要求向着高带宽、低功耗的方向发展,而 CT Sigma-Delta ADC 由于其自带的抗混叠特性,以及带宽方面优异的表现,开始更多地应用在无线通信系统中.

作为 Sigma-Delta ADC 中的核心模块,调制器的设计一直是 Sigma-Delta ADC 设计过程中最重要的一环. CT 调制器相比于 DT 调制器,虽然其在功耗、带宽方面具有不可比拟的优势,但其在设计方法上与较为成熟的 DT 调制器仍有差距,且其对非理想因素十分敏感,这很可能会在一定程度上降低其性能^[1,2].

本文基于 Matlab 集成工具箱,利用脉冲恒定变换原理,将离散时间调制器的设计方法应用到连续

时间调制器的设计之中;为改善 DAC 的非线性,加入了 DWA(Data Weighted Averaging)模块,这将会引入固定的半个时钟周期的延时,在本文设计中通过零阶反馈来吸收额外环路延时(Excess loop delay,ELD);另针对连续时间调制器较为敏感的三个非理想因素,RC 常数偏移,ELD 以及积分器的非理想效应进行了细致的分析与仿真。

2 连续时间 Sigma-Delta 调制器行为级设计

2.1 额外环路延时补偿原理

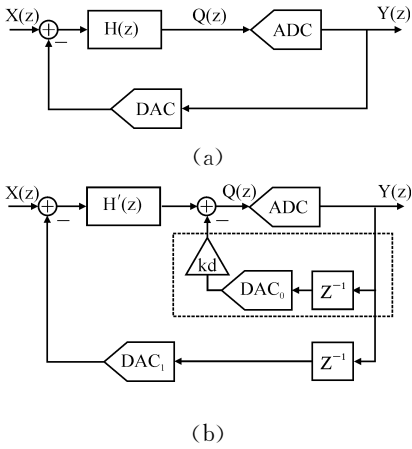


图 1 环路延时吸收原理图

以离散时间调制器为例说明如何补偿环路延时以取得和无延时同样的整形效果.如图 1 所示,a 为无延时特性的调制器结构图,b 中存在一个时钟周期的延时,环路滤波器传输函数改变的同时增加了一条直接反馈回量化器输入端的零阶反馈回路,即图中虚线框中的部分. a 和 b 的量化器输出 Y 经过环路回到量化器输入 Q 的传输函数分别为:

$$\frac{Q_a(z)}{Y_a(z)} = -H(z) \tag{1}$$

$$\frac{Q_b(z)}{Y_b(z)} = -(z^{-1}H(z) + z^{-1}kd) \tag{2}$$

补偿环路延时前后,为保持整形效果相同,回路的传输函数应相等,因此有:

$$H(z) = z \cdot H(z) - kd \tag{3}$$

按照上式调整环路滤波器的传输函数,就可以实现吸收环路延时并保持和原结构图等价的整形效果。

滤波器通用形式为

$$H(z) = \frac{\beta_{n-1}z^{n-1} + \cdots + \beta_1z + \beta_0}{z^n + \alpha_{n-1}z^{n-1} + \cdots + \alpha_1z + \alpha_0} \tag{4}$$

结合电路设计情况,本文设计的 DWA 模块引入的固定延时为采样周期的一半,所以将上式采样

周期减半

$$H(z^{\frac{1}{2}}) = \frac{\beta_{n-1}z^{\frac{n-1}{2}} + \cdots + \beta_1z^{\frac{1}{2}} + \beta_0}{z^{\frac{n}{2}} + \alpha_{n-1}z^{\frac{n-1}{2}} + \cdots + \alpha_1z^{\frac{1}{2}} + \alpha_0} \tag{5}$$

量化器的输出延时半个周期,用数学方法表示就是乘以 $z^{1/2}$,得到:

$$z^{\frac{1}{2}} \cdot H(z^{\frac{1}{2}}) = \beta_{n-1} + \frac{(\beta_{n-2} - \alpha_{n-1}\beta_{n-1})z^{\frac{n-1}{2}} + \cdots + (\beta_1 - \alpha_1\beta_{n-1})z^{\frac{1}{2}} - \alpha_0\beta_{n-1}}{z^{\frac{n}{2}} + \alpha_{n-1}z^{\frac{n-1}{2}} + \cdots + \alpha_1z^{\frac{1}{2}} + \alpha_0} \tag{6}$$

式(6)中的常数项即零阶反馈环路的系数,常数项以外的部分就是吸收延时而调整后的环路滤波器传输函数 $H(z)$ 。

2.2 行为级建模

为了同时满足信号带宽、精度、功耗的要求,需要仔细设计调制器的结构、阶数、过采样率和量化位数,在均衡考量后,本文最终决定采用过采样率为 25 的单环三阶三位反馈型结构。

在 simulink 中搭建三阶三位连续时间调制器模型,如图 2(a)所示。

图 2(a)中的 a4 回路,也称零阶回路,是为补偿环路延时而添加的,其中 a4 的值等于式(6)中的 β_{n-1} 。谐振回路 g 的存在是零点优化所带来的,零点优化可以更大程度地压缩带内噪声,进一步改善噪声整形效果.上图中各系数的选择并不唯一,且需要考虑实际电路中积分器的摆幅来进行系数的缩放,得到满足条件的系数组合.本文最终系数如表 1 所示。

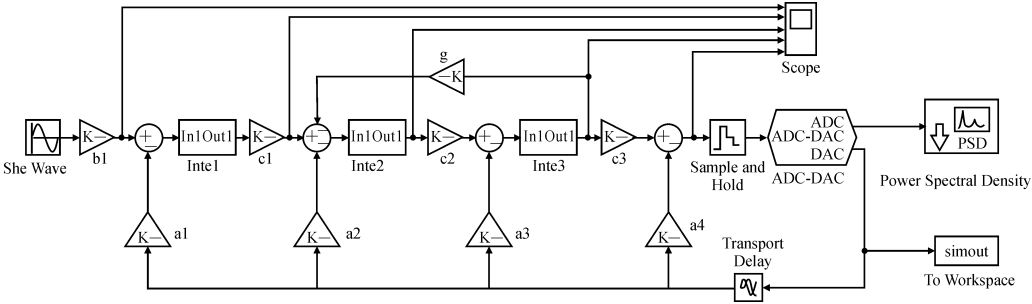
表 1 优化后的调制器系数

i	a_i	b_i	c_i	g_i
1	0.66	0.66	0.43	0.00822
2	0.40		1.06	
3	1.11		1.67	
4	0.64			

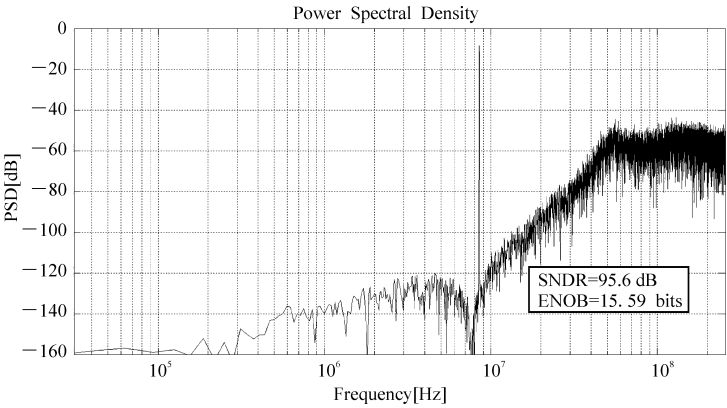
对上述模型输入频率为 8.5 MHz,幅度 -6 dBFS 的正弦信号,在带宽 10 MHz,采样频率 512 MHz 的情况下,其仿真结果显示,SNDR 为 95.6 dB,ENOB 为 15.59 bit,为后续设计留下了充足的裕量。

3 非理想因素分析

连续时间调制器相比于离散时间调制器,其非理想因素的侧重点和模型建立的方法有所不同,下面对三种最为主要的非理想因素进行分析。



(a) 三阶三位连续时间调制器模型



(b) 调制器输出频谱分析图

图 2 连续时间调制器模型及其频谱图

3.1 积分器非理想效应对 SNDR 的影响

虽然连续时间调制器所用的积分器对建立时间的要求不高,但积分器的有限增益与带宽仍然是非理想因素较为重要的一部分. 本文使用 RC 积分器实现环路滤波功能,考虑到实际运放的增益和带宽均为有限值,由运放的单极点模型得到实际积分器电路的传输函数为:

$$I(s) = \frac{-1}{s^2 \frac{RC}{A_{DC} \omega p} + s \left[\frac{1+A_{DC}}{A_{DC}} RC + \frac{1}{A_{DC} \omega p} \right] + \frac{1}{A_{DC}}} \quad (7)$$

A_{DC} 表示运放的直流增益, ωp 为运放的 -3 dB 带宽频率;考虑到 $A_{DC} \gg 1$,上式可以简化为^[3]:

$$I(s) = \frac{-1}{s^2 \frac{RC}{A_{DC} \omega p} + s \left[RC + \frac{1}{A_{DC} \omega p} \right]} = \frac{c_i \cdot f_s}{s} \cdot \frac{1-GE}{1 + \frac{s}{\omega_2}} \quad (8)$$

式中, c_i 为积分器的增益, f_s 为调制器的采样频率, $GBW = A_{DC} \cdot \omega_2$ 是运放的增益带宽积, $GE = c_i \cdot f_s / (GBW + c_i \cdot f_s)$ 表示实际运放相对于理想积分器运放的增益误差 (Gain Error, GE), $\omega_2 = GBW +$

$c_i \cdot f_s$ 代表非理想因素引入的次主极点.

本文将有限增益和有限带宽的影响统一用增益带宽积来表征,用上式的传递函数代替模型中的理想积分器,扫描第一级积分器对调制器整体性能的影响,如下图所示:

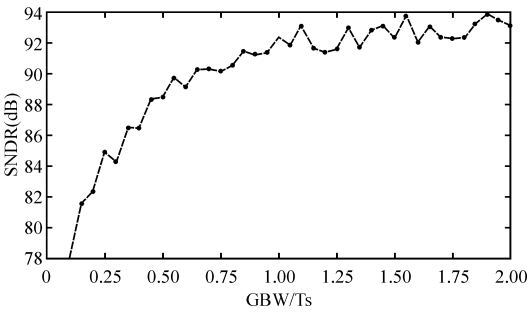


图 3 有限增益带宽积对 SNDR 的影响

可以发现,在 GBW 超过 1 倍的采样频率之后, GBW 的改变基本不会对 SNDR 造成影响,也就是说,设计的运放 GBW 应该在 1 倍的采样频率之上,为保留一定的设计裕量,应该将 GBW 设计达到 1.5 ~ 2 倍的采样频率.

3.2 额外环路延时对 SNDR 的影响

ELD 多由量化器、反馈 DAC 以及所采用的动

态元件匹配 (Dynamic Element Matching, DEM) 算法带来,其最主要的影响是会恶化环路传递函数,等效为使其阶数升高,进而导致整个环路的不稳定.为减小 ELD 对环路的恶化,一方面需要提高量化器以及 DAC 的速度,另一方面可以通过仿真确保环路稳定.对上述模型进行不同延时的仿真,得到图 4 所示的结果.可以发现,在增加了固定的半个时钟周期的延时后,该调制器仍有半个时钟周期的裕量,相对降低了量化器及反馈 DAC 的设计难度.也可以发现,在延时超过 0.6 个时钟周期后,环路在相同输入信号的情况下振荡起来,环路的不稳定性突显,导致调制器无法正常工作.

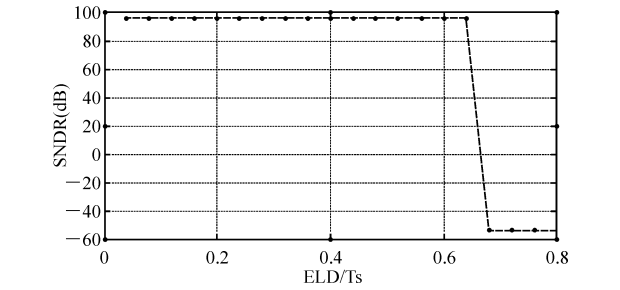


图 4 ELD 对 SNDR 的影响

3.3 RC 常数偏移对 SNDR 的影响

在当前 CMOS 工艺中,不同批次无源器件之间的绝对值差值最大可达到 10%~20%,从而导致工艺误差对 RC 参数的影响超过 35%,最终这些由 RC 参数决定的积分器系数会改变环路滤波器的传输函数进而降低调制器的性能.假设积分器 RC 乘积的变化为 ΔRC ,则对应积分器的传递函数可以表示为:

$$I_{\Delta RC}(s) = \frac{1}{s \cdot RC(1 + \Delta RC)} = \frac{c_i \cdot f_s}{s(1 + \Delta RC)}$$

(9)

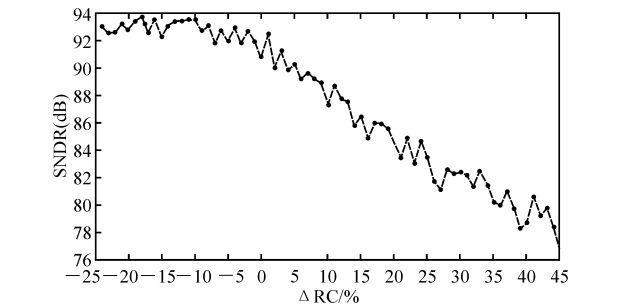


图 5 RC 常数偏移对 SNDR 的影响

ΔRC 小于零,对应着积分系数的增大,环路增益变大,SNDR 会上升,但同时稳定性会下降;当 ΔRC 大于零时,等效积分系数减小,SNDR 随之单

调减小.当 ΔRC 变化 10% 时,SNDR 从 91 dB 降低到 87 dB.可以看出连续时间调制器对 ΔRC 的变化较为敏感,因此电路设计上需要增加阻容阵列补偿 RC 常数的变化.

4 电路仿真结果

基于上述分析,在 65 nm CMOS 工艺下设计调制器电路并完成版图.为降低频谱泄漏,根据相干采样原理,选择输入为 8.5 MHz 正弦信号,采样时钟 512 MHz,仿真 17 个周期,采样点为 1 024,将数据导出到 Matlab 中处理,加 hanning 窗,得到最终频谱图如图 6 所示.可见,其 SNDR 为 78.20 dB, ENOB 为 12.70 bits.

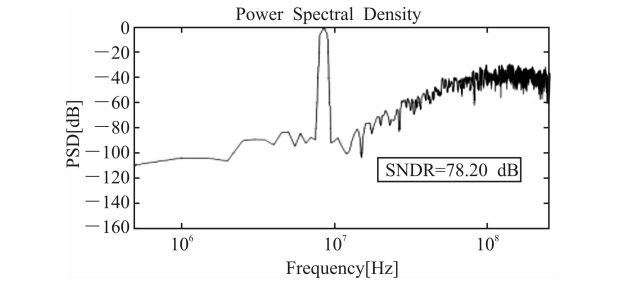


图 6 调制器输出频谱分析图

表 2 所示为近几年所发表的 Sigma Delta 调制器性能对比情况,本文所设计的调制器在带宽、功耗以及精度方面取得了较好的折中,FoM 值达到了较高的水平.

表 2 调制器性能对比

	文献[4]	文献[5]	文献[6]	文献[7]	本文
BW(MHz)	10	2.2	50	160	10
SNDR(dB)	69.5	90.4	74.4	72.0	78.2
Power(mW)	13	4.5	43.0	40.0	5.39
CMOS(nm)	90	65	40	16	65
* FOM(fJ/conv.)	268	37.8	99.8	82.8	40.6

$$* FOM = Power / (2 \times BW \times 2^{(SNDR - 1.76) / 6.02})$$

5 结束语

本文基于 Matlab 设计了一款连续时间三阶三位 Sigma-Delta 调制器,并分析了非理想因素对调制器的影响,在 65 nm CMOS 工艺下设计电路并完成版图,仿真结果表明,带宽 10 MHz 的情况下,其有效位数可达 12.70 bits,该调制器可用于无线通信领域.

参考文献:

- [1] CHERRY J, SNELGROVE W. Clock jitter and quantizer metastability in continuous-time delta-sigma modulators[J]. IEEE Transactions on Circuits and System II: Analog and Digital Signal Processing, 1999, 46(6):661-676.
- [2] CHERRY J, SNELGROVE W. Excess loop delay in continuous-time delta-sigma modulators [J]. IEEE Transactions on Circuits and System II: Analog and Digital Signal Processing, 1999, 46(4):376-389.
- [3] ORTMANSM, GERFERS F, MANOLI Y, et al. Influence of finite integrator gain bandwidth on continuous-time sigmadelta modulators[C]//IEEE International-Symposium on Circuits and Systems, Bangkok, IEEE, 2003:925-928.
- [4] RUDOLF R, JOHN G, JOACHIM B, et al. A 10MHz Bandwidth, 70dB SNDR Continuous Time Delta-Sigma Modulator With Digitally Improved Reconfigurable Blocker Rejection[J], IEEE J. Solid-State Circuits, 2016, 51(3):660-670.
- [5] CHEN Y H, CONG L, CHI LL, et al. A4. 5mW CT Self-Coupled $\Delta\Sigma$ Modulator with 2. 2MHz BW and 90.

4dB SNDR Using Residual ELD Compensation[C]//IEEE International Solid-State Circuits Conference, San Francisco, 2015:274-275.

- [6] ALEXANDER E, LIU Q Y, CARLOS B, et al. A 43-mW MASH 2-2 CT $\Sigma\Delta$ Modulator Attaining 74. 4/75. 8/76. 8dB of SNDR/SNR/DR and 50MHz of BW in 40-nm CMOS[J]. IEEE J. Solid-State Circuits, 2017, 52(2): 448-459.
- [7] WU S H, KAO T K, LEE Z M, et al. A 160MHz-BW 72dB-DR 40mW Continuous-Time $\Delta\Sigma$ Modulator in 16nm CMOS with Analog ISI-Reduction Technique [C]// IEEE International Solid-State Circuits Conference, San Francisco, 2016:280-281.

作者简介:

王盟皓 男, (1995-), 硕士研究生. 研究方向为射频集成电路设计.

侯训平 男, (1984-), 高级工程师. 研究方向为射频集成电路设计.

陆铁军(通讯作者) 男, (1963-), 博士, 研究员. 研究方向为VLSI设计、片上系统集成.

E-mail: 3515037181@qq. com