

引用格式: 缪旻, 金玉丰. 微系统集成全新阶段——IC 芯片与电子集成封装的融合发展[J]. 微电子学与计算机, 2021, 38(1): 1-6. [MIAO M, JIN Y F. A new stage for microsystem integration—the integrated development of integrated circuits chips and system-level electronic packaging[J]. Microelectronics & Computer, 2021, 38(1): 1-6.]

微系统集成全新阶段—— IC 芯片与电子集成封装的融合发展

缪 旻¹, 金玉丰²

(1 北京信息科技大学 信息微系统研究所, 北京 100101; 2 北京大学 深圳研究生院, 深圳 518055)

摘 要: 拓展摩尔定律已成为集成电路及电子信息通信硬件产业的重大战略之一, 其中微系统技术发展进入全新阶段, 集成电路芯片与集成封装组件的界限日渐模糊, 形成了融合发展的新局面, 正对微系统异质集成技术领域发展产生深远影响. 结合团队科研实践, 本文从架构演进、芯片-封装一体化设计策略、多物理域协同分析与优化、集成平台的重大创新等层面, 分析 IC 与集成封装融合发展阶段的技术特征、内涵与动向, 并对未来应用前景、发展路径进行展望.

关键词: 微系统; 三维异质集成; 拓展摩尔定律; 三维系统芯片; 电子设计自动化; 组装集成技术

中图分类号: TN42

文献标识码: A

文章编号: 1000—7180(2021)01—0001—06

A new stage for microsystem integration— the integrated development of integrated circuits chips and system-level electronic packaging

MIAO Min¹, JIN Yu-feng²

(1 Information Microsystem Institute, Beijing Information Science and Technology University, Beijing 100101, China;

2 Peking University Shenzhen Graduate School, Shenzhen 518055, China)

Abstract: “More than Moore” has become the preferred strategy for integrated circuit and electronic, information and telecommunication hardware industries and therefore has just promoted microsystem technology onto a new stage, whereon the boundary between IC (integrated circuit) chips and system-level electronic package has become increasingly blurred, triggering a fashion of integrated development of two domain. This new stage is now exerting a far-reaching influence on the development of microsystem heterogeneous integration domain. Consequently, based on the personal scientific research practice, the characteristics, connotations and trends are analyzed and inferred in-depth for this whole new IC-package co-development stage, from the perspective of architecture evolution, chip-package co-design strategy, multi-physics co-analysis and co-optimization, and major technical innovations in integrated assembling and manufacturing; in addition, the future applications are prospected and the path of evolution is suggested.

Key words: microsystem; three dimensional heterogeneous integration; more than Moore; three dimensional system-on-chip (3D SoC); electronic design automation (EDA); assembly-based integration

1 引言

摩尔定律一直被视为电子信息基础硬件集成度持续提升这一战略的代名词,是其性能、经济性、可用性不断改善的前提.进入新世纪后异质集成在压缩硬件组装层级与尺寸、提升功能灵活性与智能化方面的战略价值受到业界高度重视,微系统技术成为研究热点并进入产业化阶段;以等比例缩减为主要特征、传统意义上的摩尔定律被“拓展摩尔定律”取代,成为业界首选策略,当前已演进到 IC(集成电路)与封装融合发展新阶段.我国始终重视对封测技术和微系统技术的战略布局,与国际同步开展先进 IC 与封装一体化研发的前瞻攻关,本文对 IC 与封装集成这一微系统发展的全新阶段技术特征、内涵与动向进行简要分析,并对发展前景路径进行展望.

2 拓展摩尔定律时代的集成架构演进

传统上微系统集成技术可大致划分为如图 1 所示的三个阶段. Nature 杂志 2016 年 2 月专题报道^[1]鲜明提出“拓展摩尔定律”已取代“摩尔定律”,并成为全球半导体业界首选战略;同年国际半导体技术路线图组织在 IEEE 协助下转换为国际器件与系统路线图(IRDS)^[2]和异质集成路线图(HIR)组织^[3].这两个事件被业界普遍视为全新时代来临标志,表明发展思路正由技术创新推动转向客户需求导向,同时等比例缩减为特征的同质集成与异质/异构集成协同演进,日益融合,以“换道”思维应对技术攻关难度与研发复杂性上升和制造/全寿命经济性下降等巨大挑战.同期崭露头角的单片三维系统芯片(3D SoC)^[4]和芯粒(chiplet)集成组件^[5](图 2)作为全新一代集成技术迅速成为先进封装及集成电路领域热点议题,其集成架构可视为系统芯片和系统封装的融合,顺应了电子硬件智能化、多功能、高性能的大趋势,代表全新发展思路与空间.

3D SoC 无需硅通孔,通过单一衬底上多次生长、淀积薄膜有源器件/功能材料实现层叠集成.由于热预算有限,上层硅器件采用薄膜晶体管(TFT),性能受限.不过这一无 TSV 的微系统恰恰在低成本、高密度多功能集成、外形紧凑方面独具优势,非常适合物联网应用;随着 TFT 高频、电流驱动性能有所提升,应用面大幅扩展.

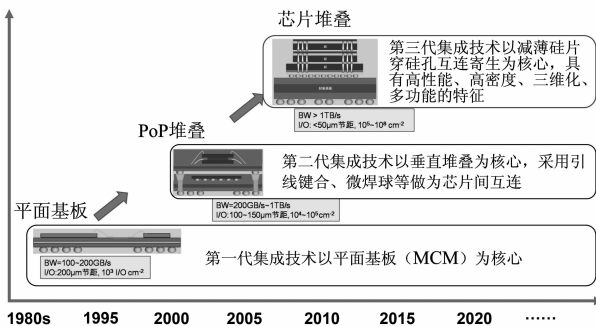
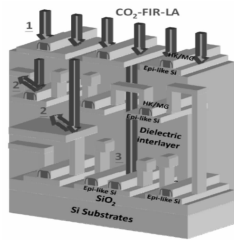


图 1 上世纪 80 年代以来的微系统演进概况



(a) 单片三维系统芯片 (3D SoC)^[4]



(b) 芯粒 (chiplet) 集成组件^[5]

图 2 新一代多芯片集成微系统组件

芯粒集成技术采用搭积木方式把功能相对单一的裸芯片(相当于硬件 IP)通过先进的设计、组装与互连技术集成为系统级组件,这种“多片反胜单片”^[6]的新型集成模式在更高性能、功能水平上实现芯片复杂度、系统功能度、制造成本、可靠性和研发可控性之间的平衡,有效推进芯片及系统架构协同创新,加速领域专用架构演进,支撑高性能计算及可重构/神经拟态等先进计算形态和软件定义系统发展.2017 年美国国防部高级研究计划局在电子复兴计划中启动“通用异构集成及知识产权复用策略(CHIPs)”项目,旨在打造芯粒生态系统,包括模块芯片及异质集成设计工具、集成标准和 IP,带动产业界进一步投入,例如 2018 年 10 月成立、成员已达 50 多家公司的 ODSA(开放领域专用架构)组织.全球顶级芯片设计、代工厂和集成装置制造商于近期纷纷推出各种架构及演示样品如图 3、图 4 所示,三大 EDA(电子设计自动化)工具巨头(Synopsys, Cadence, Mentor)积极布局芯片与系统封装一体化设

计平台。以中芯长电、华天科技、华进半导体为代表的我国高水平封装企业与北京大学、清华大学、中科院微电子研究所等研究机构联手同步布局,在若干技术上占领制高点。

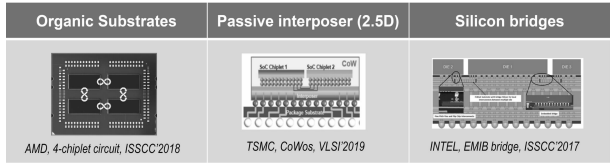


图 3 AMD^[7]、TSMC^[8]和 Intel^[9]公司的芯粒集成架构

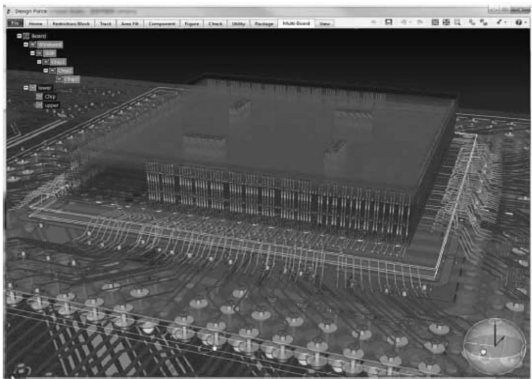
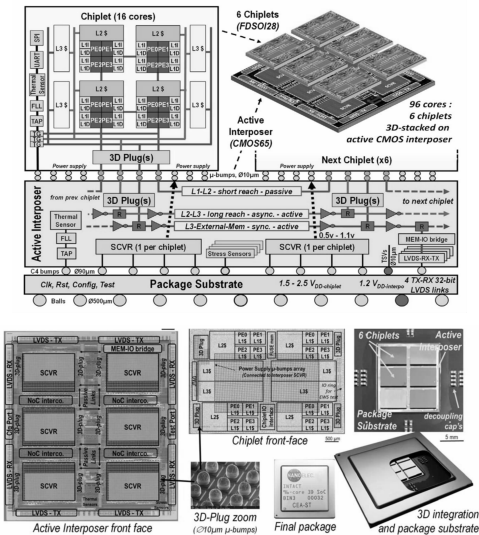


图 5 芯片/系统封装/电路板协同设计^[3]

统 TSD[®]。这些技术知识基础涉及:(1)以多域物理学原理为基础,面向半导体与其他功能器件行为、制造工艺建立各种抽象层次不同的模型;(2)各设计阶段中各集成层次设计需求的分析与统一表述、设计信息的无偏差传递;(3)各设计阶段性能分析和设计信息传递的无偏性检验及功能验证;(4)设计信息自动生成算法。一个理想的微系统协同设计 EDA 工具不但应准确复用物理机理等知识积累,更应具备灵活、高效算法,同时以开放框架随时容纳和管理项目运行中形成的新知识,并柔性适应流程的革新,最终以计算机辅助工程技术确保自动化、智能化。



计对象连通关系、可调范围、物理效应及其约束,实现算法、操作系统、安全乃至底层寄存器传输级、互连物理布局布线等贯通设计.性能预测与目标间的较大偏离或设计缺陷必须在较早阶段识别出来,否则导致迭代收敛周期过长和资源无谓消耗;此外,工具必须在找到正确设计值的同时能明确解的空间边界及未来优化方向.当前一个重要发展思路是提升规范化设计水平(图 7),把机理研究成果或开发试错的经验快速凝练为规则,予以贯彻并进行严格的合规性检查,以便从根本上保障设计效率.

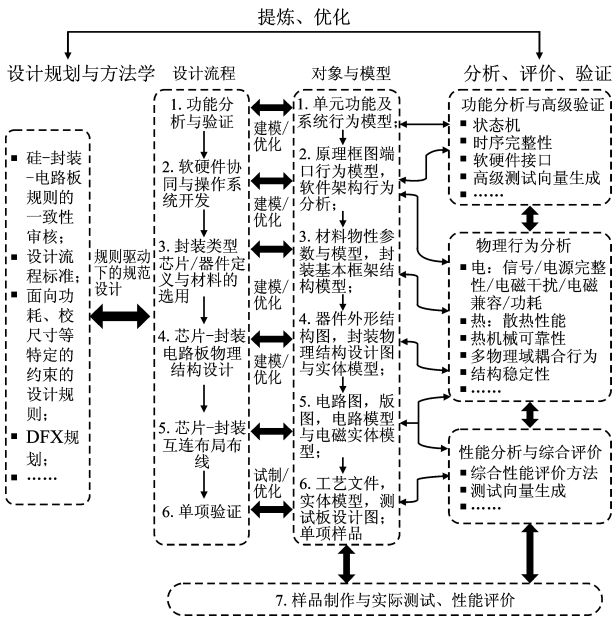


图 7 芯片/封装一体化规范设计关键环节及相应重要考量

4 跨尺度、多物理域行为建模、仿真与协同优化

IC-封装的日益融合和异质集成的深入发展使微系统各结构层级特征尺寸、理化特性及功能的差异不断扩大,具有清晰的跨尺度、多物理域特征,对建模仿真和协同优化构成挑战.其原理层面的突破点包括:对纳米界面效应及诱导的芯片/封装相互作用的揭示,基于第一性原理对多种物理效应器件集成背景下多物理场耦合机制的动力学仿真等.

图 8 示出异质集成微系统中主要物理域及其联合分析重点.目前第一性原理建模和仿真往往只能揭示关键的效应或单元行为,必须在此基础上通过抽象与综合建立制造材料特性描述、配置文件,结合设计规则、工艺开发套件等知识,形成解析端口模型、电路网络、响应表面、有限元分析等不同抽象层级和保真度的建模与仿真分析方法,支撑半导体器

件直至电路板的多物理场仿真.为实现协同仿真与优化,需开发标准化设计对象、模型描述文件及统一接口,并实现对各类工具软件的统一管理和调度.在此基础上,可利用机器学习加速重复性的数据导入和建模、对计算求解的算法进行实时深度优化,并实现对多个物理场的模型间的高效耦合.随着 IC、封装设计工具的衔接的逐步实现,多物理场耦合分析必将揭示新的失效机制,为器件的可测性设计提供新的途径.同时两个层级设计与仿真系统融合后的健康管理、有效性测试等问题也需进一步研究,以确保其可用性、可预测性和可信度.

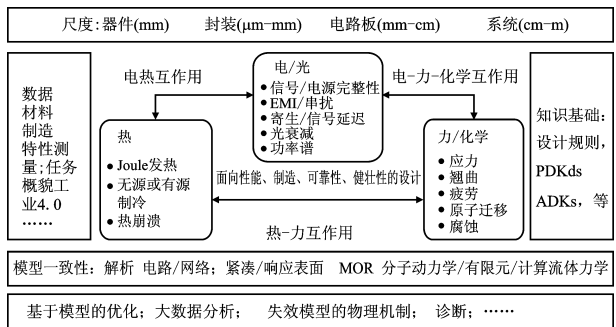


图 8 多物理场/多尺度联合仿真设计的关注重点^[3]

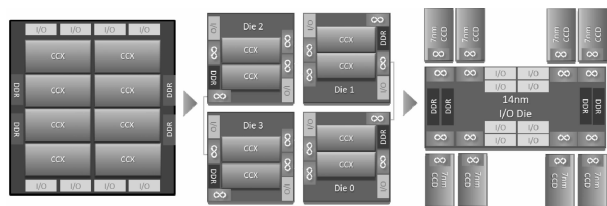
为有效应对多尺度分析带来的复杂性挑战,需采用分层化建模和验证方法,并将复杂系统所有物理效应和结构细节合理分离为相互间耦合关系清晰的模型子系统,先确定一个可控制的物理效应、选择合理仿真方法及求解器参数、负载和边界条件进行仿真;以其结果作为早期设计过程中优化的基础,或作为其他仿真的输入,渐次迭代完成分析.

5 集成与组装平台的创新

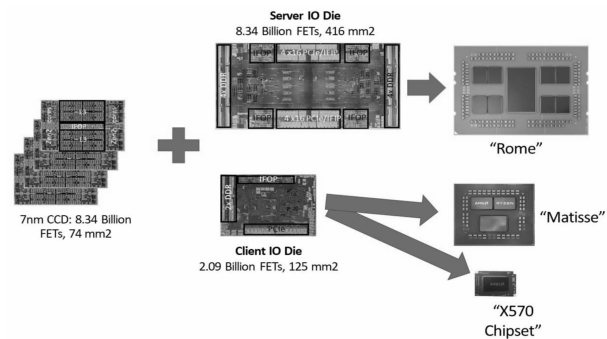
从互连集成角度来看,目前逻辑、存储和其他功能器件的 IC-封装一体集成技术受限于器件外特性和互连间的匹配难题,往往采用 2.5D 集成,而以存储类组件需要采用真三维集成,以发挥高密度、立体化互连对提升存储密度、读取速度和带宽的积极影响;新出现的神经拟态器件也需要多层真三维集成,以便形成密集立体互连网络,模拟脑部复杂而高度交连的互连与信息传递结构.所用的工艺平台多为基于焊接组装的后道集成工艺^[8-10],器件层转移和衬底晶格工程也在尝试中.从功能集成角度看,以下三个方面是今后的热点.

5.1 高性能计算台式设备和服务用处理器组件
芯粒技术可在硅基转接板上以精细互连构成密集的远距有源高速数据交换通路及配电等各类辅助

电路,支撑更多逻辑芯片的集成,突破 2D 芯片在延时、设计复杂性、经济性方面的瓶颈。由于 I/O 的模拟器件和凸点节距很难随着 IC 工艺代演进而缩减,力图在此领域更上一层楼的 AMD 在 2020 年推出的第 2 代集成架构中以先进的 7 nm 工艺制作主计算芯粒,而在 I/O 和内存接口芯片上采用成熟的工艺代和 IP,来确保最新的第二代基于 Infinity 交换的芯粒集成方式具备更高性能、成本经济性以及能效。由于采用芯片-封装协同设计,改进了封装互连并在封装层集成系统管理(时钟、电源、温控)辅助电路,这一 2.5D 集成平台成功达到预期目标,开辟了先进服务器处理器发展全新路径,如图 9 所示。



(a)传统单片向第一代和第二代 EPYC 多芯片架构的演进



(b)先进工艺计算芯片和成熟工艺 I/O 芯片、封装内 Infinity 交换构成的高性能芯粒组件

图 9 AMD 集成平台

5.2 三维射频集成

与逻辑器件 IC 相比,模拟射频有源器件、微纳米功能器件及其芯片的尺寸缩小、集成度提高相对滞后。将模拟/射频器件、微纳米器件芯片基于转接板进行三维集成,可以在提高功能集成密度、复杂度的同时提高系统综合性能,成为业内关注的重点方向。代表性研究成果分别为 CEA-LET^[11]以及厦门大学联合北京大学^[12]研制的高阻硅 TSV 转接板的准三维集成 T/R 组件和 L 波段接收组件,采用了双面刻蚀和保型电镀的方法来实现深度大于 100 μm 的空心 TSV,以倒装焊或焊线法完成芯片的电连接,在实现较高射频性能的同时实现了相对 PCB 设计的大幅尺寸缩减,成为有力的竞争者,如图 10

所示。

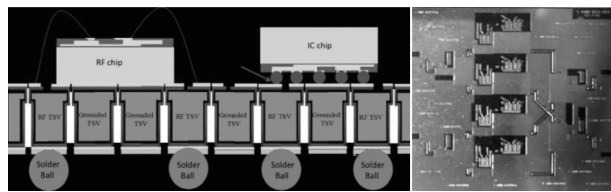


图 10 准三维集成 L 波段接收集成组件

5.3 光电集成

相比于电子,光子不存在静止质量,相互间作用微弱,抗干扰能力强,更适合传输信息,光互连有望成为突破功耗墙、存储墙和通讯墙的核心技术。将光源、波导、耦合器、调制器等多种光功能器件集成成为高密度光电集成微系统,将在质量、体积、功耗以及可靠性等方面带来巨大优势。目前光电子集成平台包括 III-V 族化合物半导体单片集成(InP)平台、硅酸盐或玻璃基无源集成(平面光波导,PLC)平台和硅基平台三类。InP 平台主要用于制作激光器、调制器、探测器等有源器件,工艺水平较低、基板成本高;PLC 平台用于制作无源器件,其损耗低但器件体积较大;这两种平台最大问题在于材料很难与基于硅平台的电子器件实现兼容。硅基光子集成最突出的优势在于工艺与 CMOS 工艺兼容,制作成本低,因此被认为是最具潜力的光电甚至全光集成方案^[5]。硅基光子器件与 CMOS 电路的集成方法有混合集成和单片集成两类^[13],前者的优势是可分别优化光子和电子器件,但后续封装难度大,商业应用受限,后者则存在两种器件的设计和工艺集成的难度。目前看,以芯粒集成思路进行混合组装将是最佳选择。

6 结束语

在高性能/新形态计算、先进宽带通信等需求牵引下,在日渐成熟的无凸点焊接等高密度互连与组装工艺支撑下,芯片和封装集成的快速融合正推动微系统架构和组件研发、制造进入全新阶段,大幅提升其功能集成度与灵活性、能效、信号传输效率,支撑整机技术变革。接近商用的芯片封装一体化集成设计平台已经推出^[14],初步实现 IC 与封装设计及优化流程的贯通。机器学习、动态重构、智能自诊断与自修复等技术则为微系统技术新飞跃提供重要助力。上述发展动向既是我国 IC 和微系统产业发展的战略机遇,也是巨大挑战,国内研究者与国际大致同步开始布局并取得了重大进展,部分成果获产业演示。面对巨大的发展空间和挑战,必须迎难而上,建

立自主可控技术和知识产权体系,为我国电子产业发展提供新的持续动力和增长点.

参考文献:

- [1] WALDROP M M. The chips are down for Moore's law [J]. *Nature*, 2016, 530(7589): 144-147. DOI: 10.1038/530144a.
- [2] International Roadmap for Devices and Systems. International roadmap for devices and systems (IRDS?) 2020 edition[EB/OL]. IEEE, 2020[2020-10-11]. <https://irds.ieee.org/editions/2020>.
- [3] Heterogeneous integration roadmap: 2019 Edition [EB/OL]. IEEE, 2019. [2020-10-11] <https://eps.ieee.org/technology/heterogeneous-integration-roadmap/2019-edition.html>.
- [4] WU T T, SHEN C H, SHIEH J M, et al. Low-cost and TSV-free monolithic 3D-IC with heterogeneous integration of logic, memory and sensor analogy circuitry for internet of things[C]//2015 IEEE International Electron Devices Meeting (IEDM). Washington, DC, USA; IEEE, 2015: 640-643.
- [5] COUDRAIN P, CHARBONNIER J, GARNIER A, et al. Active interposer technology for chiplet-based advanced 3D system architectures[C]//2019 69th Electronic Components and Technology Conference (ECTC). Las Vegas, NV, USA, USA; IEEE, 2019: 568-578.
- [6] 许居衍. 复归于道--封装改道芯片业(演讲记录稿) [J]. *电子与封装*, 2019, 19(10): 1-3. DOI: 10.16257/j.cnki.1681-1070.2019.1001.
XU J Y. Back to the Origin-Packaging are Changing the Path of IC Industry: a Transcript for the Keynote Speech[J]. *Electronics & Packaging*, 2019, 19(10): 1-3. DOI: 10.16257/j.cnki.1681-1070.2019.1001.
- [7] BECK N, WHITE S, PARASCHOU M, et al. 'Zepelin': An SoC for multichip architectures[C]//2018 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA; IEEE, 2018: 40-42.
- [8] LIN M S, HUANG T C, TSAI C C, et al. A 7nm 4GHz Arm-core-based CoWoS chiplet design for high performance computing[C]//2019 Symposium on VL-SI Circuits. Kyoto, Japan; IEEE, 2019: C28-C29.
- [9] GREENHILL D, HO R, LEWIS D, et al. 3.3 A 14nm 1GHz FPGA with 2.5D transceiver integration [C]//2017 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA; IEEE, 2017: 54-55.
- [10] VIVET P, GUTHMULLER E, THONNART Y, et al. A 220GOPS 96-core processor with 6 chiplets 3D-stacked on an Active Interposer Offering 0.6ns/mm Latency, 3Tb/s/mm² Inter-chiplet interconnects and 156mW/mm²@ 82%-Peak-efficiency DC-DC converters[C]//2020 IEEE International Solid-State Circuits Conference-(ISSCC). San Francisco, CA, USA, USA; IEEE, 2020: 46-47.
- [11] MA S L, CHAI Y, YAN J, et al. A 2.5D integrated L band Receiver based on High resistivity Si interposer [C]//2018 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA). Beijing, China; IEEE, 2018: 74-77.
- [12] PARES G, JEAN-PHILIPPE M, EDOUARD D, et al. Highly compact RF transceiver module using high resistive silicon interposer with embedded inductors and heterogeneous dies integration[C]//2019 IEEE 69th Electronic Components and Technology Conference (ECTC). Las Vegas, NV, USA, USA; IEEE, 2019: 1279-1286.
- [13] CHROSTOWSKI L, HOCHBERG M. Silicon photonics design: from devices to systems[M]. Cambridge: Cambridge University Press, 2015.
- [14] 解决高密度先进封装的设计与验证挑战[EB/OL]. [2020-10-11]. <https://www.mentor.com/pcb/resources/overview/solving-the-design-and-verification-challenges-of-high-density-advanced-packaging-bc555a84-e9be-42c5-990b-dba9b4391c0c>.

作者简介:

缪 旻 男,(1973-),博士,教授.研究方向为集成电路与电子封装、微纳米系统技术. E-mail:miaomin@bistu.edu.cn.

金玉丰 男,(1961-),博士,教授.研究方向为 MEMS 与先进电子封装技术研究.