

引用格式:张恒,尹韬,卢新,等. 用于高计数率中子检测的模拟前端的设计[J]. 微电子学与计算机,2020,37(12):33-37.
[ZHANG H,YIN T,LU X,et al. Design of analog front end for high count rate neutron detection [J]. Microelectronics
&Computer,2020,37(12):33-37.]

用于高计数率中子检测的模拟前端的设计

张 恒^{1,2},尹 韬^{2,3},卢 新^{1,2},李芊宇^{1,2},
陈纪平^{1,2},杨海钢^{1,2}

(1 中国科学院 空天信息创新研究院,北京 100094;2 中国科学院大学,北京 100049;
3 中国科学院 半导体研究所,北京 100083)

摘 要: 针对具有 1 nF 传感电容和 5 μ A 平均幅度的随机电流脉冲的核探测器,设计了一种基于跨阻放大器 (TIA) 的模拟前端. 核心放大器采用单端折叠共源共栅结构提高带宽和速度,采用增益增强 (gain-boosted) 技术以满足高增益的要求. 模拟前端基于 SMIC 40 nm CMOS 工艺设计实现,仿真结果表明,核心放大器在电源电压 1.1 V 下,增益带宽积为 2.2 GHz,增益为 72.3 dB,模拟前端在闭环增益为 500 Ω 和 1 nF 传感电容时,可以实现 22 MHz 的闭环带宽,模拟前端的总功耗为 3.2 mW.

关键词: 模拟前端;TIA;增益增强;高速高增益

中图分类号: TN492

文献标识码: A

文章编号: 1000—7180(2020)12—0033—05

Design of analog front end for high count rate neutron detection

ZHANG heng^{1,2},YIN Tao^{2,3},LU Xin^{1,2},LI Qian-yu^{1,2},
CHEN Ji-ping^{1,2},YANG Hai-gang^{1,2}

(1 Aerospace Information Research Institute, Chinese Academy of Sciences, Beijing 100094, China;
2 University of Chinese Academy of Sciences, Beijing 100049, China;
3 Institute of SemiConductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: For a nuclear detector with a 1nF sensing capacitor and a random current pulse with an average amplitude of 5 μ A, this article designs an analog front end based on a transimpedance amplifier (TIA). The core amplifier uses a single-ended folded cascode structure to increase its bandwidth and speed, and uses gain-boosted technology to achieve its high gain requirements. The analog front-end is designed and implemented based on the SMIC 40nm CMOS process. The simulation results show that the core amplifier has a gain-bandwidth product of 2.2 GHz and a gain of 72.3 dB at a power supply voltage of 1.1 V. When the analog front-end has a closed-loop gain of 500 Ω and a 1 nF sensing capacitor, it has a closed-loop bandwidth of 22 MHz, the total power consumption of the analog front-end is 3.2 mW.

Key words: analog front;TIA;gain-boosted;high speed and high gain

1 引言

随着核技术的发展,人们对核安全控制的要求

越来越高,核反应时会释放出大量的中子,核反应的剧烈程度可以通过中子释放速率来表征,当前迫切需要检测速率达到 10⁷cps(每秒计数次数)的中子检

测系统. 涂硼热中子探测器作为常用的核探测器, 其工作时, 每检测到一个中子时就会输出一个电流脉冲信号. 由于中子到达探测器的随机性, 探测器输出的脉冲电流在时间上服从高斯分布. 当两个或多个脉冲发生时间离的太近时就会发生堆积, 堆积率随中子速率呈指数增长, 堆积造成的误差和死区时间 τ (辨别不出两个脉冲的最小时间间隔, 包括探测器死区时间和电路的死区时间) 呈指数增长^[1]. 涂硼热中子探测器输出的微弱脉冲电流信号需经过模拟前端的放大才能被后端电路处理, 而高的计数率要求模拟前端拥有非常低的堆积率和高精度; 大的传感电容要求模拟前端有非常快的速度, 给模拟前端设计带来了巨大的挑战.

如今的专用集成电路(ASIC)大多采用电荷敏感型前置放大器(CSA)作为模拟前端^[2-4], 虽然可以达到比较高的精度, 但在高速率下, 会增加堆积概率, 造成模拟前端的饱和输出. 文献[5]在 CSA 的基础上增加了复位开关, 一定程度上避免了输出饱和, 但复位期间会丢失脉冲增加误差率. 本文采用跨阻放大器(TIA)来实现模拟前端, TIA 结构具有高带宽和比例放大等优点, 有利于降低电路的死区时间, 减少堆积.

为了满足 10^7 cps 的高速应用, 核心放大器应具有高的直流增益和很高的单位增益带宽, 以满足精度和快速建立时间的要求. 单级放大器相比两级放大器拥有更少的极点, 更能达到高的带宽, 且减少了密勒电容的影响, 所以将其作为核心放大器. 为改善单级放大器的增益, 文献[6]改输入管为反相器的结构, 增加少许增益但同时也增加了次主极点的寄生电容, 影响了速度. 文献[7]中使用 Recycling Folded Cascode (IRFC) OTA 来提高增益, 同时增加了相位裕度, 但使电路更加复杂, 增加极点数量, 不利于增益带宽积的提高. 以上的技术都是基于差分对的结构做的增益增强的优化, 共同的缺点是噪声性能比单端的差, 且拥有比单端更多的极点, 使得频率很难有更高的提升.

本文提出了一种单端折叠共源共栅(Folded Cascode)结构的 gain-boosted 核心放大器, 该结构具有极点少的优点, 在低电压下可以达到 2.2 GHz 的带宽增益积(GBW)和 72.3 dB 的直流增益.

2 模拟前端电路结构

涂硼热中子探测器输出脉冲为 $5 \mu\text{A}$ 均值的随机电流脉冲信号, 拥有 10 ns 的上升沿, 长达 300 ns 的下降沿, 如图 1 所示, 在时间上随机产生且服从高

斯分布.

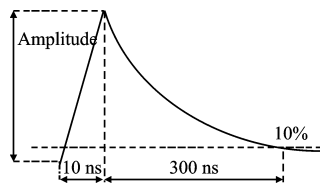


图 1 中子脉冲信号示意图

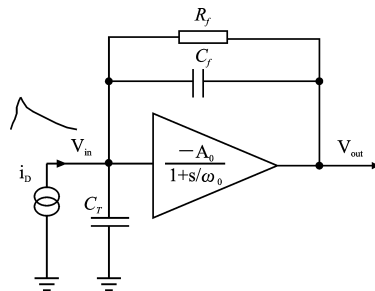


图 2 模拟前端结构图

根据基尔霍夫电路定律, 可以得到模拟前置放大器的传递函数为:

$$\frac{v_{\text{out}}(s)}{i_{\text{D}}(s)} = -\frac{A_0}{\frac{1+A_0}{R_f} + s \left[C_T + (1+A_0)C_F + \frac{1}{\omega_0 R_f} \right] + s^2 \frac{C_T + C_F}{\omega_0}} \quad (1)$$

假设 $A_0 \gg 1$, 式(1) 可化简为:

$$\frac{v_{\text{out}}(s)}{i_{\text{D}}(s)} = -\frac{R_f}{1 + \frac{2\zeta s}{\omega} + \frac{s^2}{\omega^2}} \quad (2)$$

式中, ω 为角频率; GBW 为放大器增益带宽积, 单位为 rad/s.

$$\omega = \sqrt{\frac{\text{GBW}}{(C_T + C_F)R_f}} \quad (3)$$

阻尼系数为:

$$\zeta = \frac{1}{2} \left(\sqrt{\frac{1}{\text{GBW} \cdot R_f (C_T + C_F)}} + R_f \left(C_F + \frac{(C_T + C_F)}{1 + A_0} \right) \cdot \left(\sqrt{\frac{\text{GBW}}{R_f (C_T + C_F)}} \right) \right) \quad (4)$$

假设输入端总寄生电容 $C_T \gg C_F$, 可得到最大的频率为

$$f_{\text{TIA}} = \frac{\omega}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{\text{GBW}}{R_f C_T}} \quad (5)$$

式(5) 表明模拟前端的最大频率 f_{TIA} 和 GBW 平方根成正比, 和 R_f 、 C_T 平方根成反比, 为了给系统留出足够的相位裕度防止震荡, 需要满足 $\zeta > \frac{\sqrt{2}}{2}$,

可得 C_F 应该满足下列关系

$$C_F > \sqrt{\frac{2C_T}{GBW \cdot R_f}} \quad (6)$$

为提高模拟前端的速度,应该尽量增大核心放大器的带宽增益积,减小反馈电阻,式(6) 表明减小 R_f 会增大补偿电容需求,降低前端电路的放大倍数,所以应该平衡考虑 R_f 的取值。

3 放大器电路原理

由上述分析,本文的核心放大器的增益带宽积应能达到 10^9 Hz 量级,单级折叠共源共栅放大器具有良好的带宽而无需补偿,且具有极点少、功耗低的特点,所以选择单级折叠共源共栅放大器作为主放大器,为了提高模拟前端的精度,改善核心放大器的增益,本文最终采用 gain-boosted 技术,电路示意图如图 3 所示。

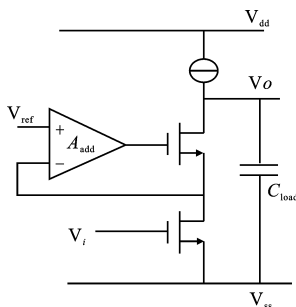


图 3 增益增强(gain-boosted)结构图

Gain-boosted 电路是通过增加额外的辅助放大器 A_{add} 在共栅管的源端和漏端形成反馈来增加主运放的输出电阻,从而增加其增益,其输出电阻为

$$R_{out} = (g_{m2}r_{o2}(A_{add} + 1) + 1)r_{o1} + r_{o2} \quad (7)$$

可以得到放大器的增益

$$A_{o,tot} = g_{m1}r_{o1}(g_{m2}r_{o2}(A_{add} + 1) + 1) \quad (8)$$

由(7)(8) 可知,gain-boosted 电路通过把主运放输出阻抗增加 $A_{add} + 1$ 倍实现增益增加 $A_{add} + 1$ 倍。然而当辅助放大器的增益带宽低于主放大器(没有 gain-boosted 辅助放大器)3 dB 带宽时,辅助放大器会在带宽内引入零极点对,恶化主放大器的瞬态效应^[8],为了避免放大器的建立时间受到辅助放大器的影响,辅助电路 A_{add} 的单位增益带宽需要满足式(9)^[9],图 4 示出了辅助放大器的安全设计区间, ω_1 和 ω_2 分别是辅助放大器的 3 dB 带宽和单位增益带宽, ω_4 是主放大器的次主极点, β 是放大器的闭环反馈系数, A_{close} 为放大器闭环的幅频特性。

$$\beta\omega_3 < \omega_2 < \omega_1 \quad (9)$$

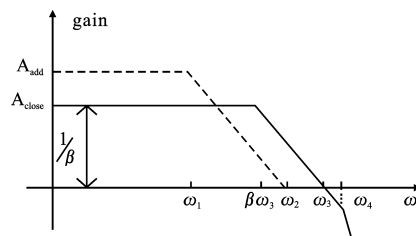


图 4 闭环工作的安全区间

3.1 核心放大器电路图

基于上述分析,本文基于 SMIC 40nm 设计了实现增益增强的单端折叠共源共栅放大器,gain-boosted 辅助放大器采用和主运放相同结构。因为 PMOS 具有比 NMOS 更优秀的 $1/f$ 噪声性能,所以输入管选择 PMOS. M_4 的漏端电压比较高而 M_2 的源端电压比较低,因此辅助放大器采用 N boost 和 P boost 两种实现方式,其中 N boost 的输入管为 P 管,P boost 的输入管为 N 管,其结构如图 5 所示。

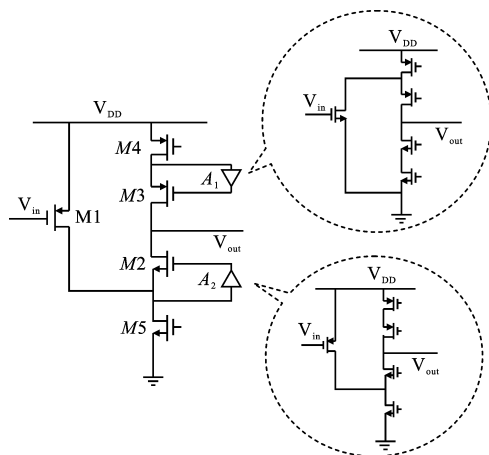


图 5 核心放大器结构图

为降低输入管 M_1 的噪声贡献,应适当增大输入管的面积。设计中应减小 M_2 、 M_4 的尺寸,以降低其引入的寄生电容,同时也减小其栅极寄生电容 C_{gd} 和 C_{gs} 给辅助放大器造成的负载,所以辅助放大器可以消耗更少的电流,同时两个辅助放大器的输入管不宜过大,避免给源放大器增加过大的寄生电容负载。

3.2 噪声分析

核心放大器的噪声电路如图 6 所示,为方便分析,假设两个辅助放大器电路的噪声等效为 v_{n3} 和 v_{n2} ,可得到等效输入的噪声为:

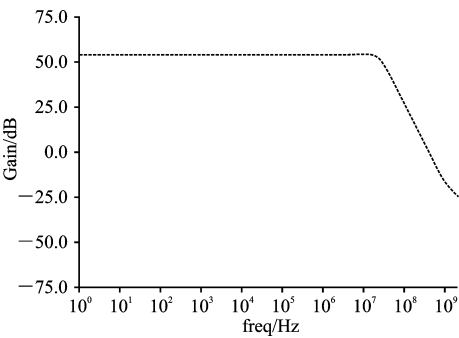
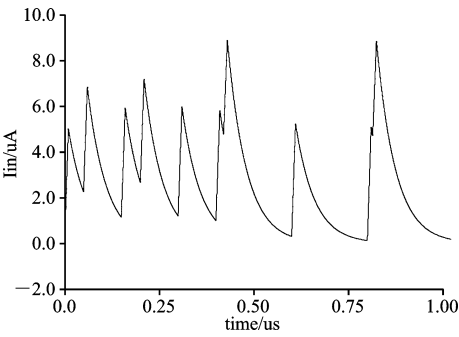
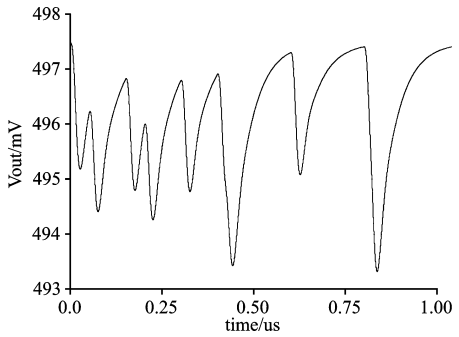


图9 TIA AC 仿真



(a)输入电流信号



(b)输出电压信号

图11 TIA 瞬态仿真

5 结束语

本文基于 SMIC 40nm 标准 CMOS 工艺设计了一款用于高速率中子检测读出的模拟前端电路,设计采用单端的跨阻结构,其核心放大器采用 gain-boosted 结构改善其直流增益性能,相比无 gain-boosted 时增益增加了 36.3 d,并获得了优秀的噪声性能.设计的模拟前端电路在 1 nF 传感电容情况下,500 Ω 增益时可以达到 22 MHz 的带宽,有效的提高了模拟前端电路的处理速度和精度,降低脉冲的堆积率.

参考文献:

[1] GRYBOS P. Front-end electronics for multichannel semiconductor detector systems[D]. Warsaw:Warsaw University of Technology, 2010.

[2] BOCHENEK M, BOTTINELLI S, BROENNIMANN C,

et al. IBEX: Versatile Readout ASIC with Spectral Imaging Capability and High Count Rate Capability[J]. IEEE Transactions on Nuclear Science, 2018, 65(6): 1285-1291.

[3] KORCYL G, STRZEMPEK P, APOSTOLOU A, et al. Readout electronics and data acquisition for gaseous tracking detectors[J]. IEEE Transactions on Nuclear Science, 2018, 65(2): 821-827.

[4] PRZYBOROWSKI D, FIUTOWSKI T, IDZIK M, et al. Development of a dedicated front-end electronics for straw tube trackers in the bar PANDA experiment [J]. Journal of Instrumentation, 2016, 11(8): P08009.

[5] MIKKELSEN S, MEIER D, MAEHLUM G, et al. Low-power and low-noise multi-channel ASIC for X-ray and Gamma-ray spectroscopy[C]. Proceedings of the Second International Workshop on Analog and Mixed Signal Integrated Circuits for Space Applications (AMICSA 2008), 2008.

[6] KUMARAVEL S, VENKATARAMANI B, RISHI S, et al. An enhanced folded cascode OTA with push pull input stage[C]. International Multi-Conference on Systems, Signals & Devices, 2012: 1-6.

[7] AHMED M, SHAH I, TANG F, et al. An improved recycling folded cascode amplifier with gain boosting and phase margin enhancement[C]. 2015 IEEE International Symposium on Circuits and Systems (ISCAS), 2015: 2473-2476.

[8] AHMADI M. A new modeling and optimization of gain-boosted cascode amplifier for high-speed and low-voltage applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006, 53(3): 169-173.

[9] BULT K, GEELEN G. A fast-settling CMOS op amp for SC circuits with 90-dB DC gain[J]. IEEE Journal of Solid-State Circuits, 1990, 25(6): 1379-1384.

[10] KUO P, TSAI S. A compensation technique for recycling folded-cascode amplifier[C]. 2017 IEEE International Conference on Consumer Electronics-Taiwan (ICCE-TW), 2017: 165-166.

作者简介:

张 恒 男(1994-),硕士研究生. 研究方向为数模混合集成电路设计.

尹 韬(通讯作者) 男(1980-),博士,副研究员. 研究方向为数模混合集成电路设计. E-mail: yint@mail. ie. ac. cn.

杨海钢 男(1960-),博士,研究员. 研究方向为数模混合集成电路设计.