

引用格式:王姗,王莹,周继芹,等. 基于动态可重构总线的新型时间同步方法[J]. 微电子学与计算机,2020,37(11):54-60.
[WANG S,WANG Y,ZHOU J Q,et al. A novel time synchronization method based on dynamic reconfigurable bus[J]. Microe-
lectronics & Computer,2020,37(11):54-60.]

基于动态可重构总线的新型时间同步方法

王 姗^{1,3},王 莹^{2,3},周继芹^{2,3},刘屹霄^{1,3},张伟功^{1,4}

(1 首都师范大学 信息工程学院,北京 100048 ;2 首都师范大学 数学科学学院,北京 100048;

3 电子系统可靠性技术北京市重点实验室,北京 100048;4 北京成像理论与技术高精尖创新中心,北京 100048)

摘 要: 动态可重构总线 UM-BUS 是一种面向嵌入式系统的高速串行总线,采用可变时隙轮转方法支持多主工作模式,可实时检测故障,具有动态容错功能. 为了提高总线系统在嵌入式应用中的时间确定性,保证总线节点时隙轮转的精准性,本文设计了一种能够对线路传输误差进行修正的高精度时间同步方法,并支持时间主节点故障的主动容错. 在总线工作速率为 1.6Gbps 的实际系统中,节点同步时间误差小于 50ns,时隙计数误差小于 1 个总线位时.

关键词: 高速总线;UM-BUS;时间同步;动态接入;嵌入式系统

中图分类号: TP391

文献标识码: A

文章编号: 1000—7180(2020)11—0054—07

A novel time synchronization method based on dynamic reconfigurable bus

WANG Shan^{1,3},WANG Ying^{2,3},ZHOU Ji-qin^{2,3},
LIU Yi-xiao^{1,3},ZHANG Wei-gong^{1,4}

(1 College of Information Engineering, Capital Normal University, Beijing 100048, China;

2 School of Mathematical Sciences, Capital Normal University, Beijing 100048, China;

3 Beijing Key Laboratory of Electronic System Reliability and Prognostic, Beijing 100048, China;

4 Beijing Advanced Innovation Center for Imaging Theory and Technology, Beijing 100048, China)

Abstract: UM-BUS is a high-speed serial bus oriented to embedded systems,the variable time slot rotation method is adopted to support multi-master working mode, which can detect faults in real time and has dynamic fault tolerance. In order to improve the time certainty of the bus system in embedded applications and ensure the accuracy of the time slot rotation of the bus node. This paper designs a high-precision time synchronization method that can correct line transmission errors and supports active fault tolerance for time master node failures. In an actual system with a bus operating rate of 1.6Gbps, the node synchronization time error is less than 50ns, and the time slot count error is less than 1 bus bit.

Key words: high-speed bus; UM-BUS; time synchronization; dynamic access; embedded systems

收稿日期:2020—03—29;修回日期:2020—04—14

基金项目:国家自然科学基金(61741211,61772350);北京市高水平教师队伍建设计划(CIT&TCD201704082);北京市科技新星计划项目(Z181100006218093);北京未来芯片技术高精尖创新中心科研基金资助项目(KYJJ2018008)

1 引言

随着嵌入式系统的研究越来越深入和广泛,多个主设备共享总线的情况越来越多,急需解决各个主设备之间的资源争用问题.总线仲裁技术由此提出,为系统中的各个主设备合理分配总线资源,解决总线中的冲突与竞争问题^[1],实现总线仲裁的前提是各个设备在统一的时间标准下工作,需要保障系统内节点的时间同步;在工业控制以及科学计算领域,对嵌入式系统的时间确定性要求越来越高^[2],需要实现系统内节点的高精度同步,必须解决节点间的时间同步问题.如何实现系统内各个节点的时间同步成为一个重要的研究课题.系统的组织结构、规模、功能不同,对于时间精度的要求就不同.整个系统内需要在相同的时间基础上工作,因此各节点之间的时间统一具有必要性^[3].

时间同步由于其重要性和难度而被广泛研究.许多时间同步协议应运而生,基于 IEEE 1588 的精确时钟同步协议(Precise Time Protocol, PTP),在该协议指导下的时钟同步精度能够达到亚微妙级^[4-6];基于无线传感器网络中广泛使用的参考广播同步协议(RBS),Shushant Jain 等对此协议做出改进,时间同步精度达到微妙级^[7-9];以及洪泛时间同步协议(FTSP)^[10]等.虽然以上的时间同步协议得到广泛应用,但由于动态可重构总线 UM-BUS 规模较小,对时间精度的要求高,现有的时间同步协议无法满足总线的需要.

本文针对 UM-BUS 总线提出一种新型时间同步方法:(1)多个时间主节点通过竞争选取出一个当班时间主节点.(2)当班时间主节点进行周期性广播时间消息,其余节点对收到的时间值通过计算出的传输延迟进行“修正”后校正自己的本地时钟;此方法解决了单点失效问题,可支持总线的动态接入特性,其时钟同步精度可以达到纳秒级.

2 动态可重构总线

动态可重构总线(UM-BUS)采用节点互连方式,其拓扑结构如图 1,最多可连接 30 个节点设备,总线上的节点可分为主节点和从节点.主节点的地址范围为 0~7,从节点的地址范围为 1~30^[11].

总线支持消息中断和共享信号线中断两种中断请求机制.消息中断采用 UM-BUS 总线通信命令应答协议,用于总线上主控节点向其它主控节点申请中断服务.共享信号线中断采用编码方式在共享信

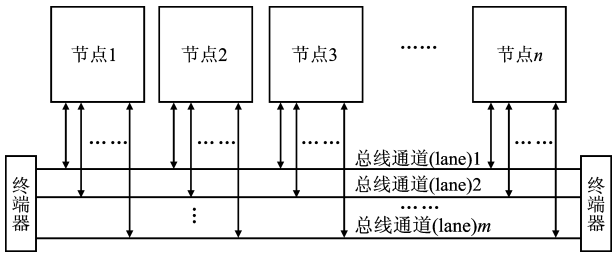


图 1 UM-BUS 总线拓扑结构

号线上进行中断请求信息的传送与仲裁,支持总线上所有节点向各个主控节点申请中断服务.中断请求向量是 UM-BUS 总线共享信号线中断进行中断申请时传送的唯一信息,如表 1 所示,共享信号线中断为每一个总线节点提供 8 种中断请求事件和两种优先级支持,8 个中断事件中,中断事件 0 可称为时间中断,用于于总线时间主节点竞争,中断事件 1 称为接入中断,可用于总线节点动态接入^[12].

表 1 UM-BUS 共享信号线中断请求向量

位名称	起始位	优先级选择	中断事件	源节点号	目标节点	数据字节	校验位	停止位
位数/位	1	1	3	5	8	8	1	1

UM-BUS 总线具有通道故障检测能力,节点最多可支持 32 条通道.总线具有容错能力,一旦通道出现故障,可通过通道动态冗余及故障重构技术自动屏蔽故障通道,在剩余健康通道上继续通信.总线通道故障检测方法如图 2 所示,通过三次握手过程完成检测.如果检测发起者收到检测响应包则认为两节点间的通路是可用的,如果检测响应者收到线路确认包则认为两节点间的通道是健康的,因而两节点便各自维持了一张健康通道状态表^[13].

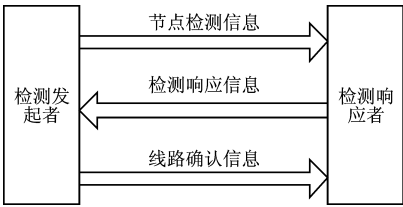


图 2 链路检测过程

总线多主模式下使用可变时隙轮转方法实现总线资源的仲裁,此方法为每个主节点分配仲裁时隙,主节点等待自己的仲裁时隙到来后占用总线资源,停止时隙轮转,开始时隙扩展发起通信.如图 3,将总线时间分为 0~3 个仲裁时隙,每个时隙有 100 个总线位时,当班时间主节点计满广播周期后,在下个 0 号时隙的第 20 位时停止时隙轮转并开始扩展时

隙,发送校时命令完成之后,置时隙计数器的值为0,时隙计时器并从20位时重新开始时隙轮转.此方法对系统内节点间的时间精度有较高的要求,急需解决节点间的时间同步问题.

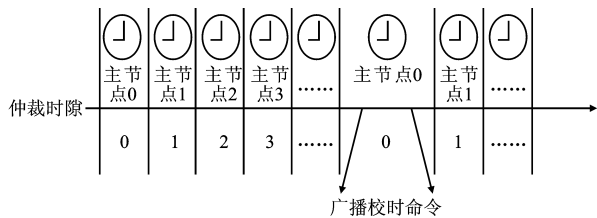


图3 时隙轮转模型图

3 动态可重构总线时间同步方法

为了满足 UM-BUS 总线多主工作模式对时间精度的要求,并且支持节点动态接入特性,本文设计了一种时间同步方法:时间主节点竞争当班时间主节点成功后周期性的广播时间消息,将其时间码推送给其余节点;其余节点收到校时命令后,根据记录的与当班时间主节点传输延迟值以及收到的时间码计算得出精准时间后校对本地时钟,达到“高精度”同步的效果.

3.1 传输延迟测量

时间主节点将时间码周期性推送给其余节点,要实现节点间的“高精度”同步,需进行传输延迟的测量.节点之间的传输延迟由线路传输延迟,编码延迟、电路延迟以及协议延迟组成,其中需要测量的为线路传输延迟,其余延迟均已知.

在 UM-BUS 总线通道检测的“命令-应答-确认”过程中对检测包的传输、接收时间进行传送、记录,计算得出总线通道的线路传输延迟.如图4所示.具体过程如下:

(1)启动通道检测,检测发起者发送检测命令包,包内携带发送的检测包的时间值 t_1 .

(2)检测响应者收到检测命令包后,记录下收到的时间值 t_1 ,并且记录本地接收监测命令包的时刻 t_2 .然后根据总线通道检测协议,向检测发起者回送检测响应包.并且记录下本地发送时刻 t_3 .

(3)检测发起者收到响应包后,记录收到响应包时间 t_4 ,将此值放入检测确认包发送给检测响应者^[14].

检测响应者根据记录的4个时间值可得出如下方程组:

$$\begin{cases} t_1 + \text{Delay} + \text{Offset} = t_2 \\ t_3 + \text{Delay} - \text{Offset} = t_4 \end{cases} \quad (1)$$

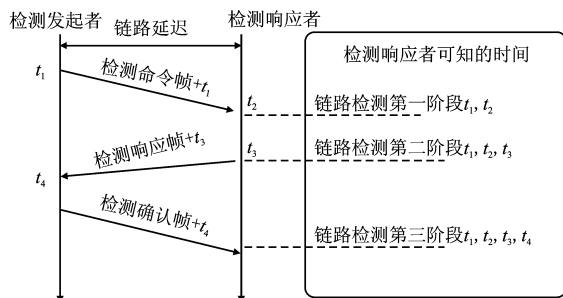


图4 传输延迟测量示意图

式中,Delay 是检测响应者与检测发起者之间的线路传输延迟,Offset 是两节点间的当前时间偏差.可通过解公式(1)得出公式(2):

$$\text{Delay} = \frac{(t_4 + t_2) - (t_3 + t_1)}{2} \quad (2)$$

UM-BUS 总线节点之间最远可支持 40 m 的远程访问,根据估算得出节点间的传输延迟最大在 μs 单位级上,可采用一个八位计时器循环计时,在通道检测过程中传输的时间值即为此计时器的值.

如果按照公式(2)计算,可能存在有溢出现象,由于计时器循环计数,可能导致计算错误出现负值.需要对公式(2)进行调整,其中 t_1 与 t_4 、 t_2 与 t_3 在同一时间系统内,为了避免数据溢出,采用如下方式进行计算:

$$\text{Delay} = \frac{(t_4 - t_1) - (t_3 - t_2)}{2} \quad (3)$$

即为节点间的传输延迟. UM-BUS 总线系统中节点的位置确定,此传输延迟值是固定值,仅需测量一次.总线中采取多通道进行信息传输,每一通道所测量的传输延迟也会有差异.本方案设计一三维通道传输延迟记录表存储与各节点的传输延迟值 Delay,当收到当班时间主节点发出的校时命令后可查询 Delay 来修正时间码,实现“高精度”同步.

当其余节点首次接收到校时命令后,会发出接入中断,主节点收到接入中断后会启动通道检测过程,被检测者计算得出线路传输延迟 Delay.此种机制支持总线动态接入的特性,新节点可以随时进入总线系统,收到校时命令后发出告知系统中有新节点进入,当其完成与当班时间主节点的通道检测过程后可与系统中其他节点实现精准同步.

3.2 时间广播包的设计

根据总线系统的不同需要,本方案设计两种校时命令.校时命令1可完成时间值高位校时,当时间主节点竞争成功时以及新节点接入总线系统中时,时间主节点会广播校时命令1,完成其余节点的高

位时间值校正;校时命令 0 可进行时间值低位校时,时间主节点完成校时命令 1 发送之后,会周期性广播校时命令 0,进行时间值低位校正.此种校时命令设计方式最大程度上降低了系统在时间同步方面的开销,提高了总线的工作效率.两种校时命令具体设计如表 2 所示.

表 2 校时命令			
控制字	命令字	时间值	校验位
8 位	8 位	31 位	1 位

- (1)控制字,长度为 1 字节,为 8b/10b 编码控制字 K28.4,表示时间信息广播包.
- (2)命令字,为 8 位,其中:高 5 位为广播时间命令的源节点号;低 3 位为校时命令编号,目前有两种不同的校时命令,“000”表示将所广播的时间精度至 ns 级,“001”仅广播至 s 级时间值.
- (3)时间值 1~4,共 31 位,根据校时命令的不同,传递的时间值不同.当校时命令为“000”时,时间广播包所携带的时间值为 ms 值的 10 位、 μ s 值的 10 位以及 ns 值的 8 位,其他位用 0 补齐;当校时命令为“001”时,时间广播包所携带的时间值仅为时间计数器的当前秒值.
- (4)校验字,为时间码广播控制字、命令字与时间值字节的模 2 累加和.

3.3 时间同步

UM-BUS 总线支持最多 32 条通路并发传输,具有故障容错机制,为避免某些通道发生故障,则所有通道均进行校时命令的发送.具体实现时采用“独立广播集中控制”的分层控制模型.如图 5 所示,每个通信节点通过检测及同步控制状态机 MAC_ALL 来控制其所有通道的通道检测及同步控制器 MAC_1CH.

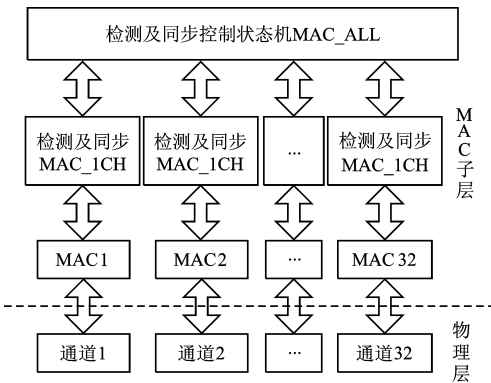


图 5 UM-BUS 总线检测及同步模型

MAC_ALL 是检测及同步的主要控制部分,根

据检测命令包或上层检测命令来启动检测并测量计算节点间的传输延迟,完成通道传输延迟表的更新,控制各通道 MAC_1CH 进行校时命令的收发,完成时间同步;每个总线通道设置有通道检测及同步控制器 MAC_1CH,在 MAC_ALL 的控制下完成检测命令以及校时命令的组包与解析,并计算出通道传输延迟以及精准的校对时间 T_{node} .

当总线上其余节点接收到校时命令 1 时,获得的时间值为 s 值, T_{node} 即为时间值 T ;当收到校时命令为 0 时,根据校时命令中的源节点号,从通道传输延迟表中查询对应的传输延迟值 Delay,所有通道根据公式(4)来得到精准的校对时间 T_{node} :

$$T_{node} = T + Delay + T_d$$

(4)

式中, T_d 指的是协议开销,包括编解码延迟、电路延迟,具体实现时测得 T_d 值为 30 个总线周期.

当各个 MAC_1CH 接收完校时命令后,会产生一接收完成标志,通道号小的优先级高,MAC_ALL 选择最先接收完成的最低通道 Tnode 来校对 MAC_ALL 时间值.如图 6 为时间主节点的算法流程图.

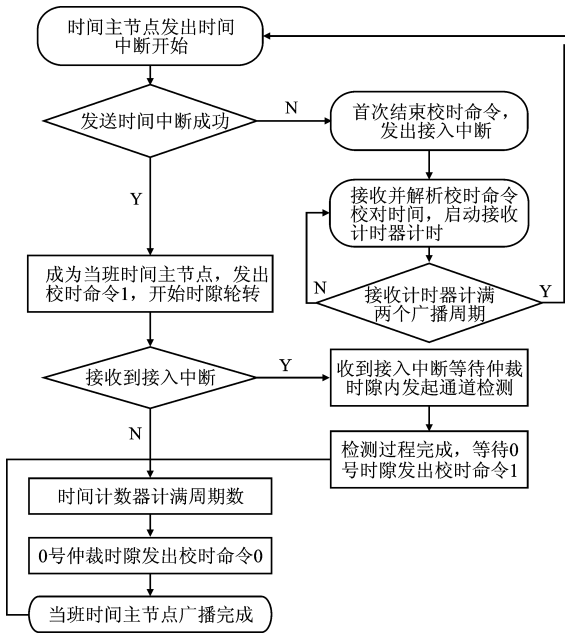


图 6 时间同步算法流程图

具体执行步骤如下:

(1)总线复位之后,时间主节点开始发出时间中断信息竞争成为当班时间主节点.竞争成功的节点开始广播校时命令 0 启动间隙轮转进入步骤(2)继续执行,竞争失败的主节点转入步骤(5).

(2)当班时间主节点开始时隙轮转,当接收到接入中断后,等待 0 号间隙到来后广播一次校时命令 1,待自己的仲裁间隙到来后向中断发出者发起通道

检测过程.

(3)完成通道检测过程后,继续时隙轮转工作,每当广播周期计满后,在下一次的 0 号时隙的 20 位时广播校时命令 0.

(4)每当时隙轮转时接收到接入中断,说明有新节点进入,转至步骤(2)继续执行.

(5)其余时间主节点首次接收到校时命令后发出接入中断,请求通道传输延迟的测量,完成后执行步骤(6).

(6)每次收到校时命令后,计算出精准校对时间并进行本地时间值的校正,置时隙计数器值为 0,并重新启动接收计时器工作.在计时器计满 2 个广播周期内没有收到校时命令认为当班时间主节点故障,需再次竞争选取出新的当班时间主节点,转至步骤(1)执行;如收到校时命令则继续执行步骤(6).

总线上其余节点复位后,等待接收校时命令 1.当首次接收到校时命令 1 后,会发出接入中断请求通道检测,完成后记录下各个通道的传输延迟.每当校时命令 0 接收完成后,选择最先接收完成的最小通道的 Tnode 来校对时间值,置时隙计数器值为 0,重新开始时隙轮转过程.

此时间同步方法可支持新节点随时接入总线系统.新节点与其余节点步骤相同,当接收到校时命令后发出接入中断,完成通道传输延迟测量后,精准校对本地时间后开始轮转工作.

3.4 时间主节点的竞争

UM_BUS 总线系统最多可支持 7 个时间主节点,总线系统上电复位之后,时间主节点发出时间中断,同时对中断线上的信号进行回读,如果发出信息与回读信息一致则表示竞争当班时间主节点成功;不一致表示竞争失败进入等待接收校时命令状态.如果两个时间主节点同时发出时间中断,源节点号较小的具有更高优先级.在任何时刻总线仅存在一个当班时间主节点,一旦从中断线上收到一个时间主节点竞争中断请求,则系统此时需要进行时间主节点切换,清除本节点的时间主节点当班标志,选取产生新的当班时间主节点.

本方案可根据需要进行当班时间主节点切换.当总线系统工作后其余节点在 2 个广播周期内没有收到校时命令,说明当班时间主节点出现故障,其余时间主节点发出时间中断竞争成为新的当班时间主节点,实现时间主节点故障的主动容错,保障总线系统的正常通信;当软件需要时,可请求进行当班时间主节点切换,接到软件请求后,产生时间主节点竞争

中断请求,成为新的当班时间主节点.

4 结果分析

以 16 通道的动态可重构总线,总线系统中存在 2 个具有时间功能主节点,1 个主节点,1 个从节点共 4 个通信节点的总线系统对本文设计的时间同步方法进行验证.当系统内节点的总线时钟工作频率设置为 100 MHz,关于实现时间同步方法的 UM-BUS 总线控制器使用 XIINX V5 实现.

在总线多主工作模式下,节点复位之后开始工作,时间主节点完成第一次的时间同步工作后开始进行时隙轮转,每当计满广播周期 2 ms 后,等待 0 号时隙进行校时命令的广播.如图 7,波形 1 为收到校时命令 0 的标志,高有效,波形 2、3、4 分为系统中其余 3 个节点的 1 μ s 信号标志,高有效.以波形 2、3 为例,校时之前两者相差 32.2 ns,校时完成之后相差 12.4 ns,缩小了节点间的时间误差.

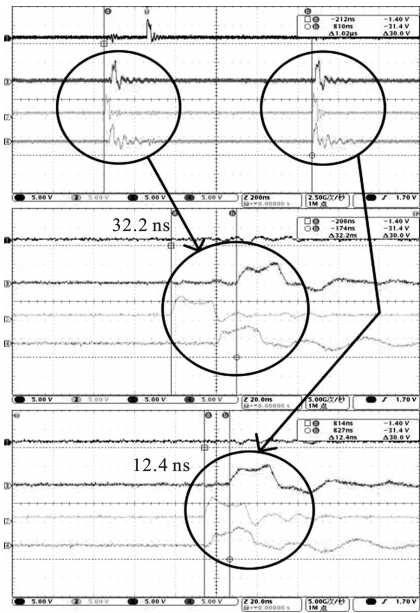


图 7 节点时间误差图

节点完成本地时钟的校对后,会置时隙计数器的值为 0,完成总线的时隙同步.如图 8 所示,波形 1 为收到校时命令标志,波形 2、3、4 为其余 3 个节点的时隙最低位信号.以波形 2、3 为例,校时之前两者时隙相差 16.80 ns,校时完成之后,两者相差 4.40 ns.

总线具有当班时间主节点切换功能,如图 9,波形 1、2 为当班主节点的标志高有效,波形 3、4 为其余两节点收到校时命令的标志.开始时,波形 2 的节点为当班时间主节点,广播时间命令,强制此节点复

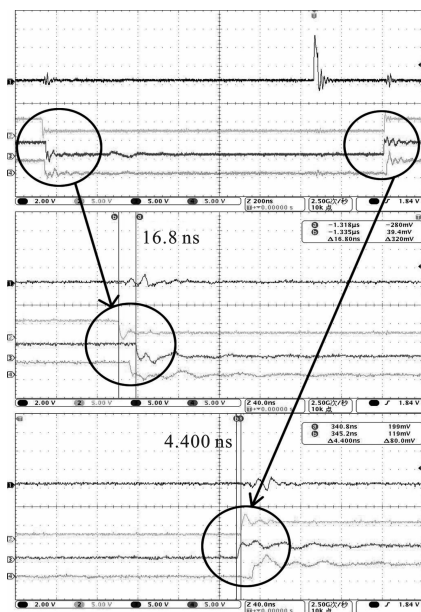


图 8 时隙误差图

位,另一节点在 2 个广播周期内没有收到校时命令则称为总线上新的当班主节点,支持当班时间主节点的故障切换.

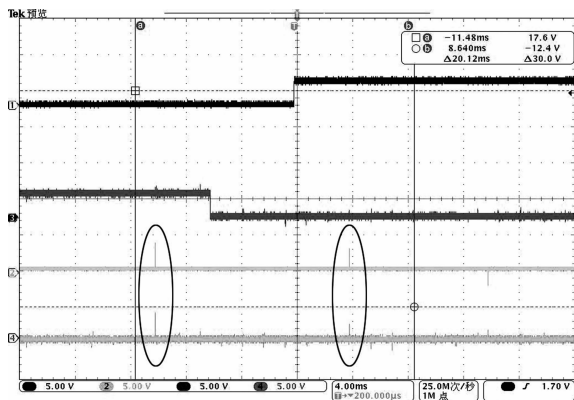


图 9 时间主节点故障切换图

此方案也可提高系统的时间确定性,当班时间主节点向系统内其余节点在同一时刻点亮或者熄灭指示灯。做了大量实验并记录下其余节点点亮以及熄灭指示灯的波形间最大误差值,如图 10 记录了 50 次的时间差值,由图可得时间差值均在 50 ns 内。

根据以上实验结果,可得出本文所设计的时间同步方案满足了动态可重构总线在多主工作模式下对时间精度的要求,使得总线系统内的节点时间误差在可控范围内,并且具有时间主节点替换功能,提高了系统的时间确定性,可保障总线系统在多主模式下的正常通信.

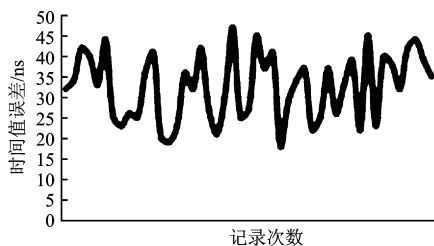


图 10 节点时间误差表

5 结束语

本文所设计的动态可重构总线中时间同步方法,时间主节点竞争成为当班时间主节点进行周期性的广播校时命令,其余节点接收到校时命令后用记录的传输延迟来修正收到的时间信息,实现“高精度”时间同步,从而解决了动态可重构总线各节点间时间同步的问题,满足了总线在多主工作模式下的时隙轮转方案对时间精度的要求,可支持新节点随时进入总线系统正常工作,具有时间主节点可接替功能,并且提高了系统的时间确定性.实验表明在总线工作效率在 100 mbps 下,节点间时间差值不大于 50 ns.该方法具有低开销,高可靠、实时性好等特性,满足动态可重构总线的需求.

参考文献:

- [1] 吴睿振, 杨银堂, 张丽, 等. 一种改进的高速彩票总线仲裁器[J]. 电子与信息学报, 2014, 36(8): 2016-2022. DOI: 10.3724/SP.J.1146.2013.02005.
WU R Z, YANG Y T, ZHANG L, et al. An improved high-speed lottery bus arbiter[J]. Journal of Electronics & Information Technology, 2014, 36(8): 2016-2022. DOI: 10.3724/SP.J.1146.2013.02005.
- [2] 谭小虎, 王勇, 褚文奎, 等. 时间触发光纤通道调度算法确定性分析[J]. 计算机工程与应用, 2018, 54(15): 97-101.
TAN X H, WANG Y, CHU W K, et al. Deterministic analysis of time triggered fiber channel scheduling algorithm [J]. Computer Engineering and Applications, 2018, 54(15): 97-101.
- [3] 苏伟, 杨斌. 嵌入式分布系统中网络设备的时间同步[J]. 单片机与嵌入式系统应用, 2012, 12(2): 12-14. DOI: 10.3969/j.issn.1009-623X.2012.02.005.
SU W, YANG B. Time synchronization of network devices in embedded distributed system[J]. Microcontrollers & Embedded Systems, 2012, 12(2): 12-14. DOI: 10.3969/j.issn.1009-623X.2012.02.005.
- [4] 庄晓燕, 王厚军. 基于卡尔曼滤波器的 IEEE 1588 时

- 钟同步算法[J]. 电子测量与仪器学报, 2012, 26(9): 747-751. DOI: 10.3724/SP.J.1187.2012.00747.
- ZHUANG X Y, WANG H J. IEEE 1588 clock synchronization algorithm based on Kalman filter[J]. Journal of Electronic Measurement and Instrument, 2012, 26(9): 747-751. DOI: 10.3724/SP.J.1187.2012.00747.
- [5] 王刚, 黄飞, 乔纯捷, 等. 分布式网络时钟同步研究[J]. 仪器仪表学报, 2008, 29(11): 2399-2403. DOI: 10.3321/j.issn:0254-3087.2008.11.030.
- WANG G, HUANG F, QIAO C J, et al. Research of clock synchronization in distributed network[J]. Chinese Journal of Scientific Instrument, 2008, 29(11): 2399-2403. DOI: 10.3321/j.issn:0254-3087.2008.11.030.
- [6] 王刚, 乔纯捷, 王跃科. 基于时钟同步的分布式实时系统监控[J]. 电子测量与仪器学报, 2010, 24(3): 274-278. DOI: 10.3724/SP.J.1187.2010.00274.
- WANG G, QIAO C J, WANG Y K. Distributed real-time system monitor based on clock synchronization[J]. Journal of Electronic Measurement and Instrument, 2010, 24(3): 274-278. DOI: 10.3724/SP.J.1187.2010.00274.
- [7] AKBAR S Q, ICHSAN M H H, DARMAWAN A A. Reference broadcast synchronization and time division multiple access implementation on WSN [J]. Telkomnika, 2019, 17(1): 291-298. DOI: 10.12928/TELKOMNIKA.v17i1.11615.
- [8] JAIN S, SHARMA Y. Optimal Performance Reference Broadcast Synchronization (OPRBS) for time synchronization in wireless sensor networks[C]//Proceedings of 2011 International Conference on Computer, Communication and Electrical Technology (IC-CCET). Tamilnadu, IEEE, 2011.
- [9] CENA G, SCANZIO S, VALENZANO A, et al. The reference-broadcast infrastructure synchronization protocol[C]//Proceedings of the 2012 IEEE 17th International Conference on Emerging Technologies & Factory Automation (ETFA 2012). Krakow, IEEE, 2012.
- [10] HUNG D J, TENG W C, YANG K T. Secured flooding time synchronization protocol with moderator[J]. International Journal of Communication Systems, 2013, 26(9): 1092-1115.
- [11] 张伟功, 周继芹, 李杰, 等. UM-BUS 总线及接入式体系结构[J]. 电子学报, 2015, 43(9): 1776-1785. DOI: 10.3969/j.issn.0372-2112.2015.09.015.
- ZHANG W G, ZHOU J Q, LI J, et al. UM-BUS and a plug and play architecture[J]. Acta Electronica Sinica, 2015, 43(9): 1776-1785. DOI: 10.3969/j.issn.0372-2112.2015.09.015.
- [12] 万玛宁, 王莹, 周继芹, 等. 动态可重构高速串行总线中断请求方法的设计与实现[J]. 微电子学与计算机, 2018, 35(10): 23-28. DOI: 10.19304/j.cnki.issn1000-7180.2018.10.005.
- WAN M N, WANG Y, ZHOU J Q, et al. Design and implementation of interrupt request method for dynamic reconfigurable high-speed serial bus[J]. Microelectronics & Computer, 2018, 35(10): 23-28. DOI: 10.19304/j.cnki.issn1000-7180.2018.10.005.
- [13] 李超, 邱柯妮, 张伟功, 等. 一种新型的动态可重构总线时间同步方法[J]. 微电子学与计算机, 2016, 33(7): 60-63. DOI: 10.19304/j.cnki.issn1000-7180.2016.07.013.
- LI C, QIU K N, ZHANG W G, et al. A novel time synchronization method for dynamic reconfigurable bus [J]. Microelectronics & Computer, 2016, 33(7): 60-63. DOI: 10.19304/j.cnki.issn1000-7180.2016.07.013.

作者简介:

王 嫻 女, (1995-), 硕士研究生. 研究方向为高可靠嵌入式系统.

王 莹 女, (1984-), 博士研究生. 研究方向为高可靠嵌入式系统与冗余容错技术.

周继芹 女, (1978-), 博士研究生. 研究方向为计算机系统体系结构与性能评价.

刘屹霄 男, (1991-), 硕士研究生. 研究方向为高可靠嵌入式系统.

张伟功(通讯作者) 男, (1967-), 研究员. 博士生导师. 研究方向为高可靠嵌入式系统. Email: zwg771@cnu.edu.cn.