

基于数字滤波的电容层析成像 数据采集系统设计与实现

李 洋, 陈德运, 高 明, 王莉莉

(哈尔滨理工大学 测控技术与仪器黑龙江省高校重点实验室, 黑龙江 哈尔滨 150080)

摘 要:针对电容层析成像 ECT(electrical capacitance tomography) 数据采集系统中的高频噪声干扰问题,在对 ECT 系统数据采集与控制原理分析的基础上,基于数字滤波原理和 FPGA 技术,设计了一个基于数字滤波与 FPGA 技术相结合的改进分布式算法 FIR 低通数字滤波器。该滤波器的采样频率为 1.5 MHz、通带截止频率为 20 MHz,选则窗函数设计方法,利用 Matlab 中的 Fdatool 工具箱对滤波器系数进行提取与量化,最后利用 Quarters 对实例进行仿真验证,实验结果表明,FIR 数字滤波器能够实现数据采集系统中高频信号的滤波功能,与传统 DA 算法的滤波器相比,具有占用资源消耗小及采集速度快等特点。

关键词:电容层析成像,数据采集系统,分布式算法,FIR 低通滤波器

DOI: 10.15938/j.jhust.2017.01.017

中图分类号: TP391.4 文献标志码: A 文章编号: 1007-2683(2017)01-0096-07

Design and Implementation of Data Acquisition System Based on Digital Filtering Method for the Electrical Capacitance Tomography

LI Yang, CHEN De-yun, GAO Ming, WANG Li-li

(Higher Educational Key Laboratory for Measuring & Control Technology and Instrumentations of Heilongjiang Province,
Harbin University of Science and Technology, Harbin 150080, China)

Abstract: Aiming at the problem of high frequency noise interference in the ECT data acquisition system, on the basis of analysis of the ECT system data acquisition and control principles, we designed an improved distributed algorithm FIR low-pass digital filter combined with FPGA technology and digital filtering principle. The sampling frequency of the filter is 1.5MHz, the pass band cutoff frequency is 20MHz, and the design method is window function. We used the Fdatool toolbox in Matlab to extract and quantify the filter coefficients and the Quarters to simulate the simulation. Experimental results showed that the FIR digital filter can achieve the filtering function of the high frequency signal in the data acquisition system. Compared with the traditional DA algorithm, it has the advantages of small resource consumption and high acquisition speed and some other characteristics.

Keywords: electrical capacitance; data acquisition system; distributed algorithm; FIR low-pass filter

收稿日期: 2015-10-12

基金项目: 国家自然科学基金(60572153, 60972127); 高等学校博士学科点专项科研基金(200802140001); 黑龙江省自然科学基金(QC2012C059); 哈尔滨市科技创新人才研究专项资金(2014RFXXJ022); 黑龙江省教育厅科学技术计划项目(11541040, 12511097)。

作者简介: 李 洋(1991—), 男, 硕士研究生;

陈德运(1962—), 男, 博士, 教授, 博士研究生导师, E-mail: chendeyun@hrbust.edu.cn.

0 引 言

电容层析成像技术又称 ECT, 是基于电容值敏感原理的过程层析成像技术, 它具有响应快、成本低、安全、可视、非侵入性等优点, 在气液两相流空隙率测量、两相流分相含量检测及流型识别、图像重建算法等诸多领域中应用越来越广泛^[1]。

ECT 系统的组成主要包括电容敏感单元、数据采集系统及图像重建这三大块^[2]。其中, 最为关键一环就是数据采集。在数据采集的过程中, 由于受到外界和信道的干扰, 采集到的信号往往夹杂着一些噪声, 这时我们就需要运用数字滤波技术削弱噪声干扰信号, 提取最终所需的信号经处理在计算机中进行成像。根据单位脉冲响应的不同可将数字滤波器分为 FIR(finite impulse response) 数字滤波器和 IIR(infinite impulse response) 数字滤波器。FIR 滤波器相比于 IIR 阶次较高、耗资源, 但因没有反馈回路且采用非递归的实现方式, 稳定性和线性度十分优良, 所以在数字通信、音频信号处理、数据采集等实时性和稳定性要求高的场合, 具有广泛的应用。目前, FPGA 技术发展逐渐成熟, 因内部包含规整的逻辑单元阵列和充足的线性资源被适用于各种领域的信号处理任务, 尤其是数字滤波技术^[3]。基于 FPGA 实现滤波器在高速实时、灵活性、功耗等方面优点尤为突出。鉴于此, 本文提出了基于 FPGA 的 FIR 数字滤波器的硬件结构, 运用运算速度较快的分布式算法并加以改进。

1 ECT 数据采集系统

数据采集系统主要负责数据采集的控制与传输, C/V 转换、相敏解调、A/D 转换等任务, 具体原理框图如图 1 所示。

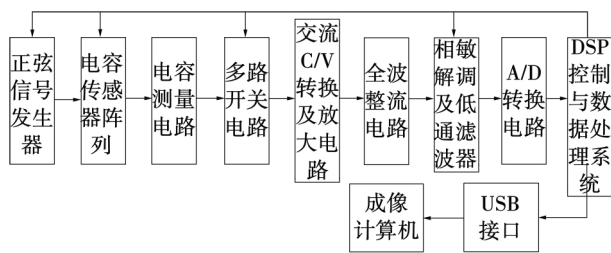


图 1 ECT 数据采集系统的组成

1) ECT 数据采集系统中的数据采集过程由多

通道扫描系统控制, 扫描系统根据计算机的指令对截面内多相流体进行扫描, 其实质就是测量任意一对电极间的电容值, 同时使其它闲置电极可靠接地, 最后再把数据传输给计算机作为成像处理^[4]。

2) C/V 转换的作用是将所测量的电容值转换为与其成正比的交流电压信号, 转换后的交流信号中混杂着许多噪声信号, 无法直接使用, 根据信号与信号之间的相关性, 噪声与信号之间不相关的原理, 我们可以把干扰信号尽可能地滤除掉, 提取所需的有效信号。

3) 相敏解调又称相关解调, 其作用是将交流电压转化为直流电压。目前, 相敏解调最广泛使用的方法是乘法解调。乘法解调主要由乘法器和低通滤波器组成, 与正弦电压激励信号同频同相的正弦信号作为参考信号经乘法器对电压信号进行整流; 与参考信号正交或不同频的信号和低频分量、交流成分等被低通滤波器有效抑制, 最后只有反映电容值变化的直流成分^[5]。

2 滤波器设计基础

2.1 滤波器设计基础

数字滤波器的系统函数如下:

$$H(z) = \frac{\sum_{k=0}^m b_k z^{-k}}{1 - \sum_{k=1}^n a_k z^{-k}} = \frac{Y(z)}{X(z)} \quad (1)$$

输出 $y(n)$ 的常系数线性差分方程如下:

$$y(n) = \sum_{k=1}^n a_k y(n-k) + \sum_{k=0}^m b_k x(n-k) \quad (2)$$

数字滤波器是线性非时变(LTI)的。对因果的有限长序列, 系统函数仅有零点(Z 为零的极点除外), 同时因系数 a_k 为 0, 所以(2)式可简化如下:

$$y(n) = \sum_{k=0}^m b_k x(n-k) \quad (3)$$

式(3)即 $x(n)$ 与单位脉冲响应 $h(n)$ 的直接卷积形式, 阶数为 N 的数字滤波器的卷积表达式为

$$y(n) = \sum_{n=0}^{N-1} h(n) x(n-k) \quad (4)$$

其系统函数为

$$H(z) = \sum_{n=0}^{N-1} h(n) z^{-n} \quad (5)$$

其中 $h(n)$ 为第 n 级抽头系数, $x(n-k)$ 为延时 n 个抽头的输入信号。

2.2 FIR 滤波器的基本结构

通过对 FIR 滤波器系统函数的分析和演变可得到多种实现结构,其中常用的结构主要有直接型、级联型和线性相位型。

1) 直接型结构。由于 FIR 滤波器系统的差分方程是卷积和公式,也是输入 $x(n)$ 链的横向结构,所以直接型结构也可称为卷积型或横截型^[8]。通过分析 FIR 滤波器的系统函数可知,将输入 $x(n)$ 的延时链展开就可得到直接型结构,其结构如图 2 所示。这种滤波器结构简易,清晰明了,包括若干的“抽头延迟”、加法器及乘法器。

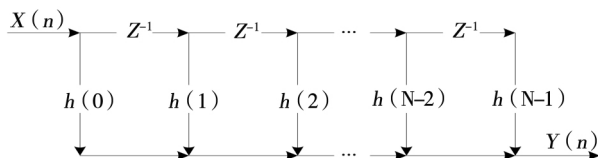


图2 直接型结构

2) 级联型结构。将系统函数分解成实系数二阶因子的乘积形式,就可以得到 FIR 滤波器的级联型结构^[8],分解过程如式 6 所示。

$$H(z) = \sum_{n=0}^{N-1} h(n) z^{-n} = \prod_{k=1}^{\lceil N/2 \rceil} (\beta_{0k} + \beta_{1k} z^{-1} + \beta_{2k} z^{-2}) \quad (6)$$

式中, $H(z)$ 为 $h(n)$ 的 z 变换, $\beta_{0i}, \beta_{1i}, \beta_{2i}$ 为实数。FIR 滤波器的级联结构如图 5 所示,系统分为若干个二阶因子,且都包含了图 2 的直接型结构。这种结构的优点是它的每一节控制一对传输零点,因而广泛运用到控制零点传输的系统中。其结构如图 3。

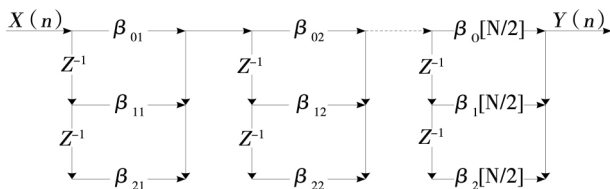


图3 级联型结构

3) 线性相位结构。FIR 滤波器能够在工程中被广泛应用,最重要的一个原因是它的相位是线性的,可以保证相位不失真。在图像处理和通信系统的诸多领域中,保持一定频率范围内的相位完整性是一个理想的系统特性^[8]。FIR 数字滤波器拥有线性相位的充要条件是滤波器的单位脉冲响应 $h(n)$ 为实数,且在 $n = (N-1)/2$ 处具有偶对称性或奇对称性,即

$$h(n) = \pm h(N-n-1) \quad (7)$$

其中 $h(n)$ 是实序列, N 是 $h(n)$ 的长度。当 N 分别为奇数和偶数时,其结构如图 4 和图 5 所示。

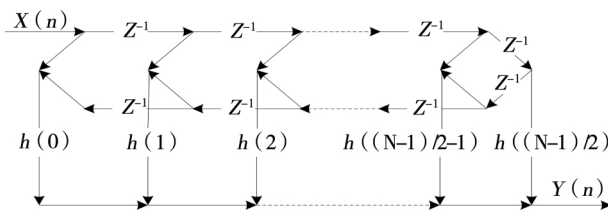


图4 N为奇数的线性相位结构

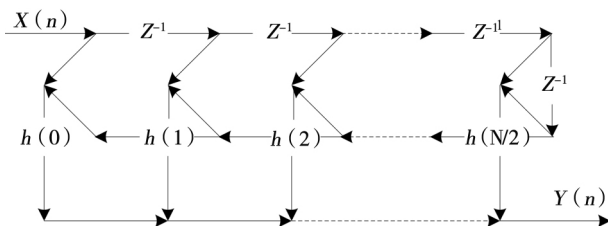


图5 N为偶数的线性相位结构

FIR 滤波器先不断地对输入数据延时,再作乘累加运算,当 N 为偶数时,线性相位结构实现 $H(z)$ 需要 $N/2$ 次乘法, N 为奇数时,需要 $(N+1)/2$ 次乘法,乘法运算量减为原来的一半,效率大幅提升。

2.3 滤波器设计方法

FIR 数字滤波器的常用的设计方法包括窗函数法、等波纹波法以及切比雪夫法等^[8]。当滤波器阶数较高时,我们选用简单且性能更优的窗函数法。窗函数类型较多,选取时要根据所设计数字滤波器的参数指标,按照逐渐逼近的原则,用其幅频特性代替理想滤波器幅频特性^[10]。最后为了确保滤波器的 $h_d(n)$ 是有限长的,函数会将 $h_d(n)$ 进行截断。下面是窗函数原理的公式推导。FIR 滤波器系统函数的傅利叶变换展开式如下。

$$H(e^{j\omega}) = \sum_{n=-\infty}^{+\infty} h_d(n) e^{j\omega n} \quad (8)$$

其中:

$$h_d(n) = \frac{1}{2\pi} \int_{-\pi}^{\pi} H_d(e^{j\omega}) e^{j\omega n} d\omega \quad (9)$$

为了获得实际 FIR 滤波器的有限冲激响应,式 (8) 还需要做进一步变换。利用有限加权序列原理,可知有限冲激响应序列 $h(n)$ 如下。

$$h(n) = h_d(n) \omega(n) \quad (10)$$

由于 $\omega(n)$ 是有限长序列,于是 $n > N-1$ 或 $n < 0$ 时, $\omega(n) = 0$ 。将式 (10) 代入式 (9) 整理后

如下:

$$H(\omega) = |H(e^{j\omega})| = \frac{1}{2\pi} \int_{-\pi}^{\pi} H_d(\theta) \omega_R(\omega - \theta) d\theta \quad (11)$$

上式即为所求滤波器的幅度函数。其中仅 $W_R(\omega)$ 决定 FIR 滤波器的特性。这是因为在实际求导 FIR 滤波器的过程中复合卷积会对 $H(\omega)$ 产生了波动。滤波器设计过程中常用的窗函数类型及参数对比如表 1 所示。

表 1 窗函数的基本参数

窗函数	频谱性能指标		加窗后滤波器性能指标	
	旁瓣峰值 /dB	主瓣宽度 ($2\pi/N$)	过渡带宽 $\Delta\omega$ ($2\pi/N$)	阻带最小 衰减 /dB
矩形窗	-13	2	0.9	-21
三角形窗	-25	4	2.1	-25
汉宁窗	-31	4	3.1	-44
海明窗	-41	4	3.3	-53
布莱克曼窗	-57	6	5.5	-74
凯塞窗($\beta=7.865$)	-57	6	5	-80

由表 1 可见,选定了窗函数后,过渡带宽和阻带最小衰减都是固定的,我们选用窗函数时,应尽量满足过渡带宽较窄,阻带衰减较大的原则,但是上述两项要求相互矛盾,在实际选用过程中通常是折中的,在满足阻带最小衰减的情况下,尽量使过渡带较窄,从而才能得到平顺的通带以及更明显的阻带衰减。

3 DA 算法及其 FPGA 实现

FIR 滤波器在 FPGA 中通常以乘累加结构和分布式算法结构这两种方式实现^[1]。其中,乘累加结构可以演变为多种实现形式,常用的有:转置型、级联型、频率采样型等,其基本结构组件包括乘法器、加法器和抽头延迟单元(见 2.2 节)。而基于分布式算法的滤波器结构则不使用乘法器,而是通过将乘法运算转换成查找表的形式,并使用少量的加法器和延迟模块进行求和操作,产生滤波结果。

3.1 分布式算法原理

分布式算法即 DA(distributed algorithm) 算法是一种经典优化算法,其实质是运用存储表的查找运算替代滤波器的乘法运算,解决了乘法资源消耗问题^[2]。需要注意的是,DA 算法应用的前提是 FIR

滤波器的系数必须是固定的,这样才能保证查找运算的高效率。其原理是 DA 算法将其中一个固定系数作为乘数,把它所有的和序列存储在一个存储表中,而输入序列作为被乘数串行输入,当输入序列全部被接收之后,将其每一位的元素作为表的地址并行输出并进行寻址操作,存储表则将相应地址里数据即部分和输出,将其向右移动一位,延时一个周期,并缓存下来,再与下一个部分和做累加运算,依次类推,每次都前一次的结果右移一位再与下次的部分和累加,总共需 B (数据宽度)次,再将结果左移 $B-1$ 位,最终得到的就是输出序列 $y(n)$ ^[3]。

一个线性时不变系统的表达式如下:

$$y(n) = \sum_{n=0}^{N-1} h(n) \cdot x(n) \quad (12)$$

其中: $h(n)$ 为已知的常数, $x(n)$ 是输入的变量。若 $x(n)$ 为 $(B+1)$ 位的无符号数,则 $x(n)$ 可表达为:

$$x(n) = \sum_{b=0}^B x_b(n) \times 2^b \quad (13)$$

其中 $x_b(n)$ 为 x 的第 $(b+1)$ 位,取值为 0 或者 1。将上式代入式(12)中,可得到如下公式:

$$y = \sum_{n=0}^{N-1} h(n) \cdot x(n) = \sum_{n=0}^{N-1} h(n) \cdot \sum_{i=1}^n x_b(n) \times 2^b = \sum_{b=0}^B 2^b \sum_{n=0}^{N-1} h(n) \cdot x_b(n) \quad (14)$$

式中 $h(n)$ 是常数,因此 $\sum_{n=0}^{N-1} h(n) \cdot x_b(n)$ 具有 2^N 种可能的结果。将这部分积作为查找表内容,以 $x_b(0)$ 、 $x_b(1)$ 、 $\dots$ 、 $x_b(N-1)$ 作为查找表的地址能够得到 $\sum_{n=0}^{N-1} h(n) \cdot x_b(n)$ 。 $\sum_{b=0}^B 2^b \sum_{n=0}^{N-1} h(n) \cdot x_b(n)$ 则可以通过 $\sum_{n=0}^{N-1} h(n) \cdot x_b(n)$ 的移位累加得到。DA 算法也可以很方便地插入流水线,执行速度会进一步提升,因此基于分布式算法结构实现的 FIR 滤波器在资源消耗和实现速度上优势突出。

3.1.1 串行分布式算法

串行分布式算法(SDA)就是数据串行输入输出。实现过程:将采样数据的最低位在表中寻址,把地址中的数据向右移一位,然后进入到寄存器中。同时,采样数据的第二低位对表寻址也得到了一个积,其与之前的结果相加,得到的结果继续移位并存储到寄存器里,以此类推将每一位都进行寻址^[4]。故采样值位宽即为实现一次运算所需的周期。

串行分布式算法结构简单,具有占用面积小,硬件资源消耗少等优点,且每个单独部分如查找表、加法器和寄存器都具有较高的处理速度,但由于输入

输出是逐位串行,全部 N 个输入数据逐位参与运算,且需经过多次累加,才能得到输出,且仅有一个查找表,规模过于庞大;如果采样值位宽 B 较大的话,得到最终输出将耗费较多时钟周期,具有比较大的延时,无法实现高速实时处理。

3.1.2 并行

并行分布式算法(PDA)使用多个相同的DA查找表,数据并行输入输出,运行速度极快,若加入流水线技术,运算速度会最大化^[3]。流水线技术是通过将任务按功能划分成若干个级或子任务,每级可同时执行。流水线技术的采用,实现了繁杂电路的分级执行,这种方法对电路结构进行了简化,进而减小了一次全运算的延时。

并行结构性能较优,进行一次计算只需要花费一个时钟的时间,但是资源占用多,当输入位宽增加时,所需硬件如数量也需要增加,设计时要根据资源情况、实时性要求取舍。

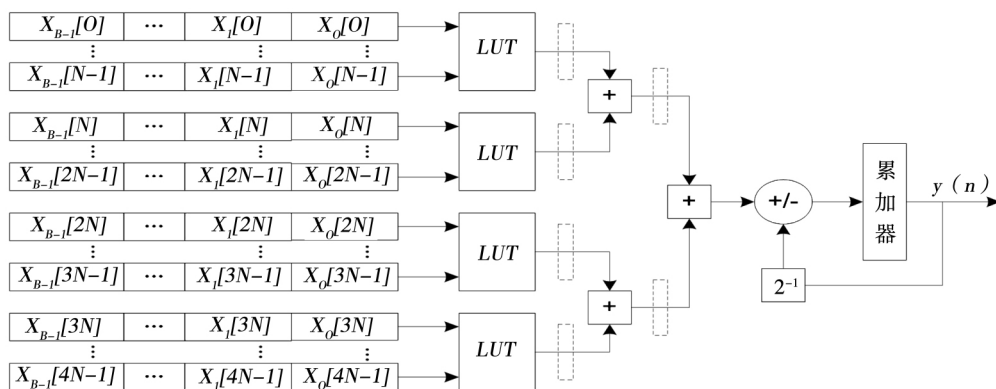


图6 查找表的分割形式

如图6所示,基于串行DA算法结构的阶数为 $4N$ 滤波器的分割查找表形式,并且我们还可以在并行DA算法、串并结合的DA算法中使用分割查找表。为了能够使规模较大的存储表减小到所需的标准,我们可以采用基于表分割技术的分布式算法,该方法运算速度快、资源消耗低、结构简单。此外,所有子表的输出数据都通过延时累加器等最终得到的输出序列才是正确的结果,因此采用表分割技术需要注意每个子表的同步协调情况,采用统一的时钟信号进行控制。

4 仿真验证及结果分析

实验分别在 Quartus II 和 Simulink 环境下对基于 FPGA 数字滤波器进行仿真,以验证其滤波作用。

3.1.3 分布式算法的改进

分析传统的分布式算法我们会发现其存在明显不足,因FPGA内部所有的和序列都存储在查找表中,LUT查找表的规模会随着滤波器阶数的增加迅速膨胀^[16-17]。基于这种不足,本文提出了一种表分割的技术,原理是将大的查找表截成一些小的部分,结合流水线,将每部分数据汇总相加。这种方法极大地减小了LUT的规模,且没有增加逻辑延时,解决了传统分布式算法的不足。下面对表分割技术验证。假设一个滤波器阶数为 NL ,其数学表达式为

$$y(n) = \sum_{n=0}^{LN-1} h(n) x(n) = \sum_{l=0}^{L-1} \sum_{n=0}^{N-1} h(L+n) x(L+n) \quad (15)$$

我们把系数分成 L 份,每份匹配一个LUT,也就是把 NL 阶的LUT分成 L 个 N 阶的串行的LUT,那么表规模从 2^{LN} 呈指数级缩小为 $L \times 2^N$,结果如下。

分割查找表的结构如图6所示。

在 Quartus II 9.1 环境下,对所设计的 $0-10\text{M}$ 低通数字滤波器进行编译、调试并建立仿真,其时序仿真如图7所示。

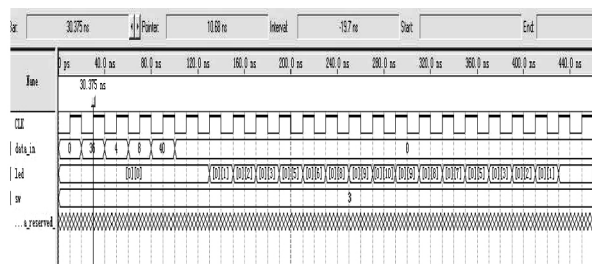


图7 低通滤波器的时序仿真图

由图15可以看出,Modelsim 将离散信号转换为模拟信号后,观察到波形为单一频率的正弦波形,不再含有其他噪声,说明FIR滤波器模块产生了效果。

Simulink 是 Matlab 中用来系统建模、仿真的集成软件包,其中包含诸多领域的各种工具包。首先正弦信号发生模块为下图中的 Sine Wave 模块,用来产生正弦干扰信号;其次 Scope 为示波显示模块,用来显示各种波形。硬件仿真的电路图如图 8 所示。

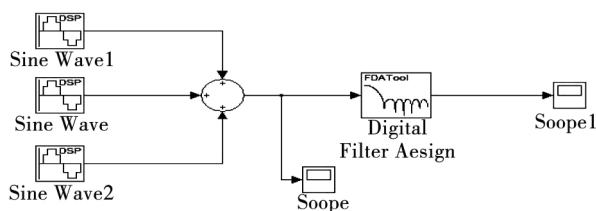


图 8 Simulink 硬件仿真模型

原信号是含多个正弦波的信号,函数如下:

$$V_m = A_r \cdot A \cdot \sin \frac{\theta}{2} + A_r \sin(2\omega_0 + 2\varphi_0 + \theta) + n(t) \cdot \sin(\omega_0 t + \varphi_0) \quad (16)$$

其中, $\omega_0 = 2\pi \cdot 500 \text{ kHz}$, $\varphi_0 = 60$, $\theta = 20$, $n(t)$ 为杂散信号,取固定值 10。

根据式(16),设置 Sine Wave 为 V_m 正弦输入信号,设置 Sine Wave1 为 $A_r \sin(2\omega_0 + 2\varphi_0 + \theta) + n(t) \cdot \sin(\omega_0 t + \varphi_0)$ 高频的正弦干扰信号,设置 Sine Wave2 为 $A_r \cdot A \cdot \sin \frac{\theta}{2}$ 直流信号,将这三个信号的叠加信号输入所设计的低通数字滤波器进行模型仿真。Scope 为 3 个信号相加后的输入波形如图 9, Scope1 为滤波后的波形如图 10。

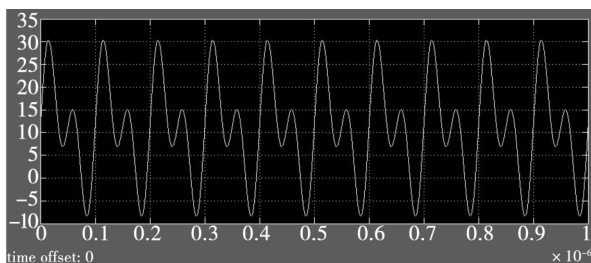


图 9 输入波形

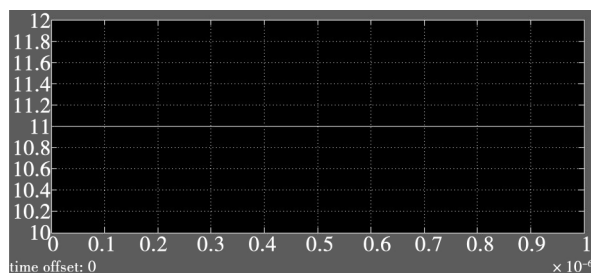


图 10 输出波形

将改进的分布式算法烧写至 FPGA 内部,经过相关软件的前仿真,将混有多个正弦波的杂散信号输入 FPGA 内部进行低通滤波,杂散的正弦波被全部滤除,滤波后产生了明显的效果,只留下低频的直流信号。

5 结 论

本文通过 Matlab 的辅助,采用窗函数设计法设计了一个基于改进型分布式算法的 16 阶 FIR 数字滤波器,并分别在 Quartus 和 Simulink 环境下对该数字滤波器进行了具体的实现和仿真。经过对仿真结果的分析,本文设计的 FIR 数字滤波器成功实现了数据采集系统中高频信号的滤波功能,与传统的 DA 滤波器算法相比,资源消耗小,运算速度快,设计总体效果良好。

参 考 文 献:

- [1] 赵玉磊,郭宝龙,闫允一. 电容层析成像技术的研究进展与分析 [J]. 仪器仪表学报,2012,33(8):1909-1920.
- [2] 杨道业,施源,徐铨锋. 基于双截面 ECT 的气/固两相流参数检测系统 [J]. 仪器仪表学报,2013(9):1968-1974.
- [3] PRASANNA Tamilselvan, WANG Pingfeng. Failure Diagnosis using Deep Belief Learning Based Health State Classification [J]. Reliability Engineering & System Safety, 2013(115):124-135.
- [4] 陈德运,于晓洋. 油水两相流电容层析成像系统电容测量电路的设计 [J]. 电路与系统学报,2004,9(4):107-109.
- [5] 陈德运,高明,李伟,等. 新型 ECT 数据采集系统设计与实现 [J]. 电机与控制学报,2013,17(5):87-92.
- [6] 李兰英,王志超,王峰,等. FIR 数字滤波器设计与仿真 [J]. 哈尔滨理工大学学报,2013,18(3):36-41.
- [7] JOHNSTONE I, SILVERMAN B. Empirical Bayes Selection of Wavelet Thresholds [J]. The Annals of Statistics, 2005,33(4):1700-1752.
- [8] WOODS Y Yi R., TING L K, COWAN C F N. High Speed FPGA-Based Implementations of Delayed-LMS Filters [J]. The Journal of VLSI Signal Processing, 2011,29(1):113-131.
- [9] DAWOUD D S, MASUPE S. Design and FPGA Implementation of Digital Serial FIR Filters [C] // 2004 7th Africon Conference in Africa, Africon, 2004:203-209.
- [10] 郝小江,缪志农,张小平. 基于 FPGA 的 FIR 滤波器设计与实现 [J]. 仪表技术,2010,1(12):44-46.
- [11] MEHER P K, MAHESHWARI M. A High-speed FIR Adaptive Filter Architecture Using a Modified Delayed LMS Algorithm [C] // IEEE International Symposium on Circuits and Systems (ISCAS'2011), Rio de Janeiro, Brazil, May, 2011:121-124.
- [12] 张燕君,王海宝,陈泽则,等. 基于 FPGA 的 FIR 滤波器的 FFT 与 DA 算法的比较 [J]. 电子测量技术,2008,31(10):173-174.

- [3] 崔永强,高晓丁,贺素馨. 基于 FPGA 分布式算法的滤波器设计[J]. 现代电子技术,2010,33(16):117-119.
- [4] 刘砚涛,刘玉蓓,尹伟. LC 滤波器设计方法介绍及其仿真特性比较[J]. 电子测量技术,2010,33(5):17-18.
- [5] HERMANOWICZ E,JOHANSSON H. A Complex Variable Fractional-Delay FIR filter Structure[J]. IEEE Transactions on Circuits and Systems II,2011,54(9):785-789.
- [6] 王竹萍,仲顺安,王晓清. 低失调开关电容滤波器的设计[J]. 北京理工大学学报,2010,30(10):1209-1201.
- [7] 杨军,朱江,翟海涛. 一种基于 FPGA 的高速 FIR 滤波器的设计[J]. 信息化研究,2009,35(4):106-111.
- [8] 聂伟,杨胜姚,王岩. 基于 FPGA 的通用 FIR 滤波器设计[J]. 实验技术与管理,2010,27(10):69-72.
- [9] 王建元,于洪洋,孙澄宇,等. 基于特定消谐技术的单相有源滤波器设计[J]. 继电器,2008,36(8):46-48.
- [10] 刘建成,邹应全,徐伟. 基于 FPGA 的 FIR 滤波器设计与仿真[J]. 南京信息工程大学学报:自然科学版,2010,2(5):400-404.
- [11] TAKAHASHI N., K. Suyama. Design of CSD Coefficient FIR Filters Based on Branch and Bound Method[J]. Communication and Information Technologies,2010,27(3):575-578.

(编辑:关毅)

(上接第 95 页)

- [3] LING Lin, DONG Huailin, WU Qingfeng. Research and Improvement of Ant Colony Algorithm Based on TSP[J]. //Information Technology and Artificial Intelligence Conference, 2011: 453-456.
- [4] 夏欣. 批处理机调度问题的蚁群算法求解[J]. 计算机科学,2013,40(5):247-250.
- [5] 张洁,张朋,刘国宝. 基于两阶段蚁群算法的带非等效并行机的作业车间调度[J]. 机械工程学报,2013,49(6):136-144.
- [6] 景波,刘莹,黄兵. 基于遗传算法的 Job Shop 调度问题研究[J]. 计算机应用研究,2013,30(3):688-691.
- [7] 曾强,沈玲,任华,等. 双资源批量生产柔性作业车间多目标调度方法[J]. 计算机工程与应用,2015,50(1):250-256.
- [8] 刘刚,王瑛,张发. 基于关键路径求解作业车间调度问题的收敛性分析[J]. 计算机集成制造,2014,20(5):1078-1087.
- [9] 唐毓毅,朱怡安,黄姝娟,等. 一种有约束关系的实时周期任务调度算法研究[J]. 计算机技术与发展,2013,23(7):1-5.
- [10] 杨小龙,张洁. 基于三阶段改进蚁群算法的多工艺路线柔性作业车间调度[J]. 制造业自动化,2014,37(4):51-55.

(编辑:关毅)