

考虑模块翻转和空白区域再分配的基于静电场的固定边框布图规划

刘端祥¹, 黄富兴¹, 李兴权², 朱文兴^{1,*}

(1. 福州大学 离散数学与理论计算机科学研究中心, 福州 350108; 2. 鹏城实验室, 深圳 518000)

摘要: 目前, 基于解析方法的布图规划取得了很好的结果, 模块翻转有实际应用场景且可以进一步优化结果, 但解析方法尚无法处理模块翻转问题。因此, 本文首次尝试使用统一的解析方法来解决这一问题, 提出了一种新的力, 即翻转力。在总体布图规划阶段, 翻转力能根据线长将每个模块翻转到理想的方向。此外, 基于静电场模型设计了一个新的总体布图规划流程。在该流程中, 本文对超大型模块的密度计算进行了特殊处理, 以减小超大型模块的排斥力, 使得其他模块能更加靠近超大型模块, 从而实现更加均匀的模块分布。为了更好地利用边框处缝隙中的空白区域, 提出了一种边框处缝隙处理方法。最后, 在布图规划算法中添加了后处理阶段以进一步优化布图结果。该后处理阶段首先基于混合整数线性规划的翻转模型对模块的翻转方向进行再次优化, 然后使用本文提出的新的空白区域再分配方法。该方法减小了线性规划问题中约束条件的数量且能进行多轮次的优化, 相对于以往的方法能够更有效地缩短线长。在 HB+ 和 ami49_x 基准电路上, 实验结果表明, 本文的布图规划算法与最好的布图规划算法相比, 平均半周长线长分别至少减小了 13.3% 和 13.7%。

关键词: 布图规划; 模块翻转; 总体布图规划; 空白区域再分配

中图分类号: TN47

文献标识码: A

Electrostatic-based fixed-outline floorplanning considering module flipping and whitespace redistribution

LIU Duanxiang¹, HUANG Fuxing¹, LI Xingquan², ZHU Wenxing¹

(1. Center for Discrete Mathematics and Theoretical Computer Science, Fuzhou University, Fuzhou 350108, China;
2. Pengcheng Laboratory, Shenzhen 518000, China)

Abstract: Currently, analytical methods have achieved the best results for VLSI floorplanning. Module flipping has real applications and can further optimize floorplanning results, but analytical methods cannot handle modules flipping in floorplanning. Therefore, this paper attempts to solve this problem by using a unified analytical method, and proposes a new force, i. e., the flipping force, for modules flipping. The flipping force can guide each module's flipping to its desired direction based on wire length optimization during the global floorplanning stage. In addition, based on the electrostatic field model, this paper designs a new global floorplanning flow in which special treatment is applied to the density calculation of large-size modules. The aim is to reduce the repulsion of these modules and allow other modules to be placed closer to them, thus achieving a more uniform distribution of modules. To better utilize the whitespace between the floorplan boundary and large modules, a gap handling method is proposed. Finally, a post-floorplanning stage is applied to further optimize the floorplanning result. This stage involves re-optimizing the modules flipping directions using a mixed-integer linear programming, followed by applying our proposed new whitespace redistribution method. The whitespace redistribution method reduces the number of constraints in the linear programming problem and allows multiple rounds of optimization, leading to a more effective reduction of wire length compared to previous methods. The experimental results on HB+ and ami49_x benchmark circuits show that the proposed floor-

基金项目: 国家自然科学基金(62174033); 鹏城实验室重大攻关项目(PCL2023A03)。

刘端祥(硕士研究生), 主要研究方向为集成电路布图规划; 黄富兴(硕士研究生), 主要研究方向为集成电路布图规划; 李兴权(博士、副研究员), 主要研究方向为超大规模集成电路设计自动化; 朱文兴(博士、教授、博士生导师), 主要研究方向为超大规模集成电路物理设计自动化算法、最优化理论与算法。

* 通信作者, E-mail: wxzhu@fzu.edu.cn。

planning algorithm achieves an average half-perimeter wire length reduction of at least 13.3% and 13.7%, respectively, compared to state-of-the-art floorplanning algorithms.

Keywords: floorplanning; module flipping; global floorplanning; whitespace redistribution

0 引言

布图规划(Floorplanning)是超大规模集成电路物理设计中的关键步骤之一^[1],一个好的布图规划结果对于后续的布局、布线有积极的影响。固定边框布图规划需要在固定的边框范围内确定电路模块的具体位置、方向和软模块形状,同时对互连线进行初步优化。布图规划是 NP 困难问题,并且需要考虑可布线性^[2]、温度^[3-4]、电压岛^[5]等复杂因素。目前,布图规划方法可分为两类:启发式方法和解析方法。

布图规划问题经常使用启发式方法解决。该方法首先选择一个布图规划表示对布图进行编码,如序列对^[6]或 B * 树^[7]等。随后,使用如模拟退火和遗传算法这样的启发式算法来探索解空间以寻找基于该表示的最佳解决方案。一旦得到一个好的解决方案,就可以将其解码为一个布图。应该注意的是,将布图转换为一种表示并将该表示解码为其相应的布图,其复杂性受到布图规划表示方法选取的影响。由于启发式方法的效率随着问题规模的增大迅速降低,因此无法处理大规模的例子。多级框架通过聚类或划分的方式能够有效降低问题的规模。因此,为了提升算法的运行效率,启发式方法常常与多级框架结合使用,如布图规划器 Capo^[8]和 Defer^[9]。

目前,基于解析方法的布图规划算法取得了最佳的线长结果。解析方法通常将布图规划问题分为总体布图规划阶段和合法化阶段。总体布图规划阶段的目标是得到一个重叠率低且线长短的“粗”布图,该阶段大致确定了模块之间的相对位置关系,对最终的解质量有重大影响。合法化阶段则通过消除“粗”布图中的模块重叠,获得一个合法的结果。

参考文献[4]以及 PeF^[10]是两个典型的基于解析方法的布图规划器。参考文献[4]在优化线长的同时考虑了温度因素。在总体布图规划阶段,其将所有软模块视为硬模块,并采用 NTUplace^[11]的总体布局框架进行总体布图规划。该框架采用钟形光滑化的密度控制模型实现模块的扩散;在合法化阶段,它直接使用 SAINT^[12]将合法化问题建模为整数线性规划问题并使用优化求解器求解。PeF^[10]是线长驱动的布图规划器,目前在线长上取得了很好的结果。其借鉴布局算法 ePlace^[13]的静电场模型实现模块的总体布图规划。为了解决基于静电场的布局方法无法优化软模块宽度的问题,PeF^[10]重新定义了模块的势

能函数,其中将软模块的宽度作为变量引入,从而可以使用梯度法优化软模块的宽度,以降低模块之间的重叠;在合法化阶段,PeF^[10]首先根据布图总体规划结束后模块的相对位置关系建立约束图,然后通过调整约束图中的边来获得合法解。

在布图规划中,模块翻转有实际的应用场景且该操作可以进一步缩短线长。模块翻转是 NP 完全问题^[14],可以用混合整数线性规划(Mixed Integer Linear Programming, MILP)建模,并利用优化求解器进行求解^[15]。许多学者使用启发式算法来解决此问题。参考文献[16]给出了基于布尔决策图的符号化精确算法。然而,上述工作都是在布图后处理阶段考虑模块翻转,即在合法化完成后进行翻转,这会造成解质量的损失。如果能够在更早阶段以全局视野考虑模块翻转,则有望获得更好的结果。

目前,虽然基于解析方法的布图规划算法取得了最佳结果,但是它们尚未在总体布图规划阶段考虑模块翻转。此外,考虑模块大小的巨大差异以及引入布图规划后处理阶段也会提升布图规划器的性能。但目前取得最好线长结果的布图规划器 PeF^[10]还未考虑这些问题。因此,本文在基于静电场模型的布图规划器 PeF^[10]的基础上尝试解决上述问题,本文的主要贡献如下:

① 为了在总体布图规划阶段考虑模块翻转对线长的影响,本文提出了第一个能够在总体布图规划阶段对模块翻转方向进行优化的解析方法,称为翻转力方法。首先,本文引入离散的模块翻转变量并将其松弛为连续的翻转度变量。然后,计算线长对翻转度的偏导数(翻转力),并使用梯度法优化模块的翻转度。最后,在总体布图规划阶段结束前将翻转度转换为合法的模块翻转方向。

② 为了解决静电场模型中超大型模块排斥周围其他模块的问题,本文针对超大型模块设计了一种新的密度计算方式。此外,本文对边框处的缝隙进行处理,以更好地利用边框处缝隙中的空白区域。

③ 在后处理阶段,本文改进了现有的基于线性规划的空白区域再分配方法。新方法通过减小线性规划中约束条件的数量并设计与之配套的空白区域再分配步骤,扩大了解空间。因此,相较于传统的空白区域再分配方法,新方法能够获得更好的结果。

④ 在 HB+ 和 ami49_x 测试集上,相较于学术界领先的布图规划算法 PeF^[10],本文的布图规划算法获得的布图在线长上平均分别缩短了 13.3% 和 13.7%。

1 预备知识

本节首先介绍固定边框布图规划问题,然后重点介绍基于解析方法的布图规划中对解质量起决定性作用的阶段—总体布图规划阶段。

1.1 固定边框布图规划问题描述

固定边框布图规划问题的输入为固定矩形边框 $R = [0, W] \times [0, H]$ 和超图 $G(V, E)$ 。其中, W 和 H 分别为矩形边框的宽度和高度, $V = V_h \cup V_s$ 是矩形模块集合, 其中 V_h 和 V_s 分别为硬模块集合与软模块集合。每个模块 $v_i \in V$ 具有以下属性: 中心点坐标 (x_i, y_i) 、宽度 w_i 和高度 h_i 、面积 $A_i = w_i \times h_i$ 。硬模块的宽度、高度以及面积都是固定的, 而软模块仅面积是固定的。软模块的宽度和高度是可变的, 但其高宽比 $AR_i = h_i / w_i$ 需要满足 $AR_i' \leq AR_i \leq AR_i''$, 其中 AR_i' 和 AR_i'' 分别表示软模块 v_i 的高宽比的下界和上界。 $E = \{e_1, e_2, \dots, e_m\}$ 是超边集合, 每条线网 e 连接若干个模块。固定边框布图规划问题的目标是确定模块的中心坐标、模块的翻转方向和软模块的宽度, 使得所有模块位于边框内且不重叠, 并最小化总线长 $WL(V)$ 。

1.2 总体布图规划模型

将固定边框 R 划分为 $K \times K$ 个大小相等的格子 (bin), 每个格子的宽、高分别为 $w_b = W/K$ 和 $h_b = H/K$ 。总体布图规划可以转化为如下带约束的最小化问题:

$$\begin{aligned} \min \quad & WL(V) \\ \text{s. t.} \quad & overflow \leq t_{of} \end{aligned} \quad (1)$$

式中, 约束表示密度溢出值 $overflow$ 应小于等于给定的目标密度溢出值 t_{of} 。密度溢出值的计算公式为 $overflow = \sum_{i,j=0}^{K-1} \max(\rho_{i,j} - 1, 0) / K^2$, 其中, $\rho_{i,j}$ 为第 i 列第 j 行处格子 $bin_{i,j}$ 的密度:

$$\rho_{i,j} = \frac{\text{模块在 } bin_{i,j} \text{ 中的面积之和}}{\text{bin}_{i,j} \text{ 的面积}} \quad (2)$$

1.2.1 线长模型

线长通常使用半周长线长 (Half Perimeter Wire Length, HPWL) 模型进行计算, 其计算公式如下:

$$WL(V) = \sum_{e \in E} (\max_{v_i, v_j \in e} |x_i - x_j| + \max_{v_i, v_j \in e} |y_i - y_j|) \quad (3)$$

由于 HPWL 模型是不可微的, 无法直接使用梯度法进行优化, 因此本文使用可微的 $LSE(\text{Log Sum Exp})^{[17]}$ 线长模型来近似 HPWL 模型, 其水平方向的计算公式如下 (竖直方向与之类似):

$$LSE_x(V) = \sum_{e \in E} \alpha (\ln(\sum_{v_i \in e} e^{\frac{x_i}{\alpha}}) + \ln(\sum_{v_j \in e} e^{-\frac{x_j}{\alpha}})) \quad (4)$$

其中, 参数 α 用于控制近似程度, α 越接近于 0, 近似

程度越好^[17]。

1.2.2 密度模型

学术界领先的布图规划器 PeF^[10] 以及布局器 ePlace^[13]、Pplace^[18] 和 RePlace^[19] 都采用静电场模型来实现模块扩散。在布局中, ePlace^[13] 将模块扩散问题建模为静电场中的电荷扩散问题, 即最小化静电场电势能。在该模型中, 每个模块 v_i 被视为带电量 $q_i = A_i$ 的正电荷, 从而将模块的密度场 $\rho(x, y)$ 转换为电密度场。在静电场中, 电势 $\phi(x, y)$ 和静电场 $\xi(x, y)$ 满足关系 $\xi(x, y) = (\xi_x, \xi_y) = -\nabla\phi(x, y)$ 。通过求解泊松方程可以获得 $\phi(x, y)$ 的表达式。

为了处理软模块宽度对模块重叠的影响, PeF^[10] 将模块 v_i 的电势能 N_i 定义为模块所在区域内电势的积分, 使得模块宽度在其中作为变量出现, 从而可以使用梯度法对软模块的宽度进行优化以降低模块重叠。PeF^[10] 还给出了模块 v_i 的电势能 N_i 关于变量 x_i, y_i 和 w_i 的偏导数快速计算方案, 以进行梯度优化, 具体可在参考文献[10]中查看。本文使用该方案。

通过定义整个静电场的电势能为所有模块的电势能之和, 即总电势能 $N(V) = \sum_{v_i \in V} N(v_i)$, 可以将降低模块重叠转化为最小化 $N(V)$ 。因此, 通过使用正则化技术可以将总体布图规划描述为以下模型:

$$\begin{aligned} \min \quad & LSE(V) + \lambda N(V) \\ \text{s. t.} \quad & AR_i' \leq AR_i \leq AR_i'' \quad \forall v_i \in V_s \\ & \frac{w_i}{2} \leq x_i \leq W - \frac{w_i}{2} \quad \forall v_i \in V \\ & \frac{h_i}{2} \leq y_i \leq H - \frac{h_i}{2} \quad \forall v_i \in V \end{aligned} \quad (5)$$

式中, λ 是惩罚参数, 第一个约束是软模块高宽比的约束条件, 而后面两个约束是固定边框的约束条件。在用梯度法的优化过程中, 这些约束条件可以通过投影法得到满足。因此, 该模型是带简单约束的最小化问题, 可以用梯度投影优化方法迭代求解。

2 本文的布图规划算法

本文算法针对总体布图规划阶段和后处理阶段进行优化。在总体布图规划阶段, 本文首先在第 3.1 节提出线长驱动模块翻转力, 其能引导模块在迭代优化过程中进行翻转。然后, 在第 3.2 节中, 针对超大型模块设计了一种新的密度计算方法, 以实现更加均匀的模块分布。最后, 在第 3.3 节提出了一种边框处缝隙的处理方法, 以更好地利用边框处缝隙中的空白区域。在后处理阶段, 在第 3.4 节使用混合整数线性规划模型来确定模块最终的翻转方向。随后, 在 3.5 节提出一种新的空白区域再分配算

法,以更好地优化布图结果。

2.1 模块翻转力

在布图规划中,通过模块翻转可以进一步减少 HPWL。如图 1 所示,模块 m_1 、 m_2 和 m_3 分别进行竖直翻转、水平翻转、水平且竖直翻转,减少了 HPWL。

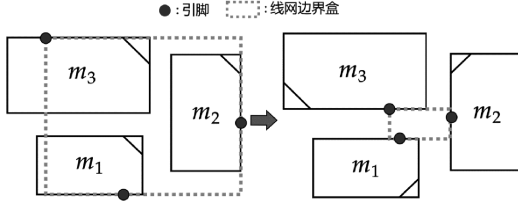


图 1 通过模块翻转减少 HPWL

Fig. 1 Reducing HPWL through module flipping

参考文献[15]和[16]虽然可以在布图合法化结束后对模块翻转方向进行优化,但合法化结束后布图的解已经基本定型,此时进行模块翻转的优化空间较小,因此,为了获得更好的解,需要在总体布图规划阶段优化模块位置的同时考虑模块的翻转方向。

目前,在总体布图规划阶段尚无处理模块翻转的解析方法。受到通过线长力优化模块位置的启发,本文提出一种线长驱动的模块翻转方法,称为翻转力方法。大致思路如下:首先,引入离散的模块翻转变量,并将其松弛为连续的翻转度变量。然后,计算 LSE 线长模型关于翻转度变量的偏导数(翻转力),并使用梯度法对其进行优化。最后,在总体布图规划阶段结束前将翻转度转化为合法的翻转方向。

为了表示模块 v_i 是否翻转,本文引入了二值模块翻转变量 β_i^H 和 β_i^V 。其中,当 $\beta_i^H=0$ 时,表示模块 v_i 不进行水平翻转;当 $\beta_i^H=1$ 时,表示模块 v_i 进行水平翻转。竖直方向与之类似。模块 v_i 上第 k 个引脚 p_i^k 的位置用 (x_i^k, y_i^k) 表示。在考虑模块翻转时,使用以下公式计算模块上的引脚位置:

$$\begin{cases} x_i^k = x_i + xoff_i^k(1 - 2\beta_i^H), xoff_i^k = xor_i^k w_i \\ y_i^k = y_i + yoff_i^k(1 - 2\beta_i^V), yoff_i^k = yor_i^k h_i \end{cases} \quad (6)$$

式中, $xoff_i^k$ 和 $yoff_i^k$ 是引脚相对于模块中心点的水平和竖直偏移量,而 xor_i^k 和 yor_i^k 是引脚相对于模块中心点的水平和竖直偏移率。

为了在解析方法中考虑模块翻转变量,本文将二值模块翻转变量 β_i^H 和 β_i^V 松弛为连续变量 $\tilde{\beta}_i^H$ 和 $\tilde{\beta}_i^V$, 它们的取值范围为 $[0, 1]$, 分别表示模块 v_i 的水平翻转度和竖直翻转度。翻转度表示模块进行翻转的程度。需要注意的是,翻转度是模块上引脚的移动程度,而不是模块在三维空间上的翻转程度。模块翻转变量松弛后仍然采用式(6)来计算引脚位置。本文将翻转力定义为线长关于翻转度的偏

导数。为了计算模块 v_i 的翻转力,将引脚位置代入 LSE 线长模型并通过链式求导法则可得 LSE(V) 关于翻转度 $\tilde{\beta}_i^H$ 和 $\tilde{\beta}_i^V$ 的偏导数计算公式:

$$\begin{cases} \frac{\partial LSE(V)}{\partial \tilde{\beta}_i^H} = -2 \sum_{p_i^k \in v_i} \left(\frac{\partial LSE(V)}{\partial x_i^k} \cdot xoff_i^k \right) \\ \frac{\partial LSE(V)}{\partial \tilde{\beta}_i^V} = -2 \sum_{p_i^k \in v_i} \left(\frac{\partial LSE(V)}{\partial y_i^k} \cdot yoff_i^k \right) \end{cases} \quad (7)$$

式中, $\frac{\partial LSE(V)}{\partial x_i^k}$ 与 $\frac{\partial LSE(V)}{\partial y_i^k}$ 是 LSE 线长关于模块 v_i

上第 k 个引脚 p_i^k 的坐标 (x_i^k, y_i^k) 的偏导数。

获得翻转力后,本文在使用梯度法迭代优化模块位置的同时优化模块的翻转度。翻转度更新时需要更新引脚的位置。如果模块 v_i 不支持翻转,只需要将其翻转方向固定。

为了确保翻转度的合法性,由于合法的翻转度只能在区间 $[0, 1]$ 上,在迭代过程中使用以下投影方法对水平翻转度 $\tilde{\beta}_i^H$ 进行投影,竖直翻转度 $\tilde{\beta}_i^V$ 也采用类似的投影方法:

$$\tilde{\beta}_i^H = \begin{cases} 0, & \tilde{\beta}_i^H < 0 \\ 1, & \tilde{\beta}_i^H > 1 \\ \tilde{\beta}_i^H, & \text{else} \end{cases} \quad (8)$$

在总体布图规划阶段结束前,由于合法的翻转变量只能取 0 或 1,使用以下投影方法对水平翻转度 $\tilde{\beta}_i^H$ 进行投影确定水平翻转变量 β_i^H ,对于竖直方向,采用类似的投影方法:

$$\beta_i^H = \begin{cases} 0, & \tilde{\beta}_i^H \leq 0.5 \\ 1, & \tilde{\beta}_i^H > 0.5 \end{cases} \quad (9)$$

2.2 超大型模块密度计算

定义 1 超大型模块:模块 v_i 的面积 $A_i > 50\bar{A}$, 其中, $\bar{A}$ 是所有模块的平均面积。

在实验中,观察到在总体布图规划阶段结束后,超大型模块周围存在大量的空白区域。这是因为超大型模块占据的区域没有任何空白区域,而其他区域的模块之间存在空白区域,导致超大型模块所在区域的密度显著高于其他区域。这种差异导致超大型模块所在区域的电势明显高于其他区域。最终,超大型模块对周围其他模块产生了更强的排斥力,从而导致无法实现均匀的模块分布,并可能导致线长不必要的增加。图 2(a)展示了 HB+03 电路未使用超大型模块密度计算在总体布图规划阶段结束后的结果。而图 2(b)是使用后的结果。显然,使用后超大型模块周围的空白区域明显减小。

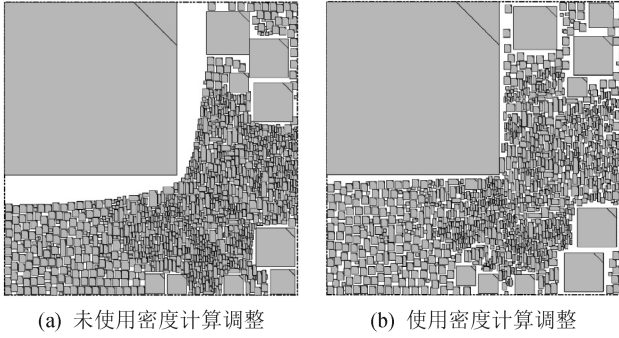


图 2 HB+03 电路总体布图规划结果

Fig. 2 HB+03 circuit overall layout planning results

为了解决这个问题,在计算密度时虚拟地将超大型模块的面积 A_i 降低为 $A_i \cdot (1-\gamma)$,其中 γ 是布图的空白面积比率。进一步观察发现,超大型模块周围的空白区域呈现弧形曲线的形状。这是由泊松光滑化计算公式中的三角函数 $\sin x$ 和 $\cos x$ 导致的。为了处理这个问题,在密度计算时布局算法 ePlace^[13] 采用了对宏模块的面积乘以系数 $(1-\gamma)$ 的方法。虽然这种做法可以取得不错的效果,但仅仅是对弧形曲线进行缩小,缩小后的弧形曲线仍然无法逼近矩形模块的直线边。

为了精确修复超大型模块与其他模块之间排斥效应导致的弧形空白区域,本文提出了一种基于正弦函数曲线的方法。如图 3 所示,在超大型模块的四条边上分别绘制了位于 x 轴上方的正弦曲线,并在计算密度时将矩形模块四条边和正弦曲线所围成的区域面积(即图 3 中阴影部分面积)乘以一个小于 1 的面积缩减系数 ω (在实验中 $\omega=0.2$)进行缩减。对于正弦曲线 $a_h \cdot \sin(b_h \cdot x)$ 和 $a_v \cdot \sin(b_v \cdot x)$,它们的半周期分别与超大型模块的宽度和高度相等,因此系数 $b_h = \pi/w_i, b_v = \pi/h_i$ 。此外,按照水平和竖直方向的缩减面积与模块宽高成正比的形式将超大型模块的面积 A_i 虚拟地减小 $\gamma \cdot A_i$ 。基于此,可以建立以下定积分等式来求解系数 a_h 和 a_v :

$$(1-\omega) \cdot \int_0^{w_i} a_h \cdot \sin(b_h \cdot x) dx = \frac{\gamma \cdot A_i}{2(w_i + h_i)} \cdot w_i \quad (10)$$

$$(1-\omega) \cdot \int_0^{h_i} a_v \cdot \sin(b_v \cdot x) dx = \frac{\gamma \cdot A_i}{2(w_i + h_i)} \cdot h_i \quad (11)$$

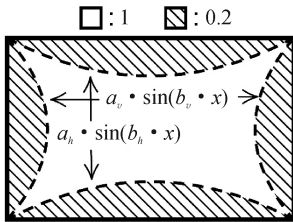


图 3 超大型模块密度计算调整

Fig. 3 Adjustment of density calculation for ultra large modules

式中,等式左侧是面积减少系数 $(1-\omega)$ 与通过积分得到的区域面积的乘积,而等式右侧是对应区域所需减小的面积。求解等式可得 $a_h = a_v = \frac{\gamma \cdot A_i \cdot \pi}{4(w_i + h_i)}$ 。

2.3 边框处缝隙处理

定义 2 大型模块:模块 v_i 的面积 $A_i > 10\bar{A}$ 。

当大型模块靠近边框时,会与边框形成一个狭小的缝隙,如图 4(a)中的阴影部分所示。如果这个缝隙中存在其他模块,由于密度力的影响,大型模块将无法继续移动至与边框靠拢。这会导致大量无法利用的空白区域出现,增加了布图规划合法化的难度,从而与布图规划的两个阶段的设计目标背道而驰。总体布图规划阶段不仅要尽可能地减小线长,还应该有利于后续的合法化。否则,即使在总体布图规划阶段获得了线长较短的解,合法化阶段为了得到一个合法解可能需要对总体布图规划阶段的解进行大量修改,导致线长和合法化时间不必要的增加。此外,缝隙导致大量未被利用的空白区域可能无法有效利用。若能利用这些空白区域,则对后续的线长驱动的空白区域再分配方法具有积极影响。

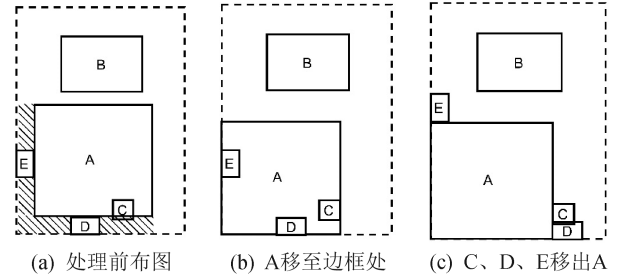


图 4 边框处缝隙处理过程

Fig. 4 Processing process of gaps at the border

本文提出以下缝隙处理方法:当密度溢出值 overflow 小于等于 8% 时,首先计算每个大型模块从上、下、左、右方向移动到布图边框所需的距离。本文将水平方向上距离小于 $0.05W$ 、竖直方向上距离小于 $0.05H$ 视为靠近边框。然后将靠近边框的大型模块移动至其靠近的边框处。最后,对于每个被移动的大型模块中的模块以最短位移量向移出大型模块的方向进行移动,但不能移动到固定边框 R 之外。如此,总体布图规划阶段将继续优化模块位置,直到 $\text{overflow} \leq t_{of}$ 。图 4 展示了边框处缝隙的处理过程。

2.4 基于 MILP 的模块翻转

在总体布图规划阶段结束后,绝大多数模块的翻转度接近于 0 或 1,但仍有少数模块的翻转度在 0.5 左右。对于这些模块,直接将它们的翻转度投影到 0 或 1 可能效果不佳。此外,在合法化阶段,为了获得一个合法的解,通常需要改变模块的位置,这也可能导致部分模块的翻转方

向不再是最佳的。因此,在后处理阶段,本文直接采用参考文献[15]中介绍的 MILP 方法进一步优化模块的翻转方向。

2.5 基于 LP 的空白区域再分配

许多优秀的布图规划器以线长为驱动,却忽略了空白区域再分配(Whitespace Redistribution)对线长优化的潜在贡献。本节提出了一种新的线长驱动空白区域再分配算法,并将其纳入后处理阶段,以进一步提高解的质量。该算法通过减少约束图的边数以及多次优化来扩大解空间,从而相对于以往的算法获得更短的线长。

空白区域再分配问题可描述为:如何在一个合法的布图结果的基础上利用布图中的空白区域调整模块位置以优化特定目标,如线长^[20]或温度^[21-22]等。线长驱动的空白区域再分配可建模为式(12)中的线性规划(Linear Programming, LP)模型^[20]。

$$\begin{aligned}
 \min \quad & \sum_{e_j \in E} (R_j - L_j + T_j - B_j) \\
 \text{s. t.} \quad & L_j \leq x'_i \leq R_j \quad \forall e_j \in E, \forall v_i \in e_j \\
 & B_j \leq y'_i \leq T \quad \forall e_j \in E, \forall v_i \in e_j \\
 & x'_j - x'_i \geq \frac{w_i + w_j}{2} \quad \forall e_{i,j}^h \in HCG \\
 & y'_j - y'_i \geq \frac{h_i + h_j}{2} \quad \forall e_{i,j}^v \in VCG \\
 & \frac{w_i}{2} \leq x'_i \leq W - \frac{w_i}{2} \quad \forall v_i \in V \\
 & \frac{h_i}{2} \leq y'_i \leq H - \frac{h_i}{2} \quad \forall v_i \in V
 \end{aligned} \quad (12)$$

式中,变量 R_j 、 L_j 、 T_j 和 B_j 分别表示线网 e_j 的边界盒的右、左、上、下边缘。同时,变量 x'_i 和 y'_i 表示模块空白区域再分配后模块 v_i 的中心点坐标。HCG 和 VCG 分别是水平约束图和竖直约束图,用于表示模块间的相对位置关系。该线性规划问题的目标是最小化 HPWL。前两个约束条件表示模块中心点位置在线网的边界盒内。

为了表示方便,本文假设所有引脚都位于模块的中心点。然而,在实验中,本文需要使用真实的引脚位置,即需要加上相应的引脚偏移量。第 3 和 4 个约束条件使用约束图来保证模块之间不重叠。第 5 和 6 个约束条件用后优化阶段是在合法化阶段之后进行的,其布图是合法的,因此不会出现模块重叠的情况。在构建约束图时,合法的布图存在图 5 所示的 4 种模块相对位置关系。对于图 5(a),当模块 m_i 和 m_j 在 y 轴上的投影存在重叠时,需要在 HCG 中构建水平关系,表示为 $m_i \rightarrow m_j$ 。对于图 5(b),当模块 m_i 和 m_j 在 x 轴上的投影存在重叠时,需要在 VCG 中构建竖直关系,表示为 $m_i \uparrow m_j$ 。对于图 5(c)和图 5(d),当模块 m_i 和 m_j 在 x 轴和 y 轴上的投影都没有重叠时,比较

它们的水平距离和竖直距离。若水平距离更远,则在 HCG 构建 $m_i \rightarrow m_j$;若竖直距离更远,则在 VCG 构建 $m_i \uparrow m_j$ 。

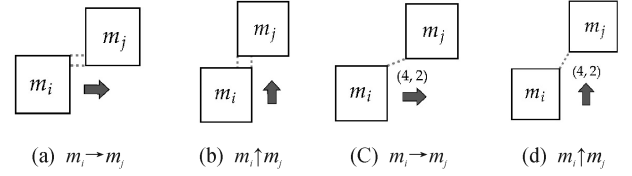


图 5 模块相对位置关系,用于构建合法布图的约束图

Fig. 5 The relative position relationship of modules, used to construct a constraint diagram for legal layout

由于水平(竖直)空白区域再分配仅影响模块的 $x(y)$ 坐标,因此可以将该线性规划问题分解为水平和竖直两个独立的子问题,以降低问题规模并减少算法的运行时间。后续只详细说明水平的线长驱动空白区域再分配,竖直方向与之类似。水平的线长驱动空白区域再分配可描述为如下线性规划问题:

$$\begin{aligned}
 \min \quad & \sum_{e_j \in E} (R_j - L_j) \\
 \text{s. t.} \quad & L_j \leq x'_i \leq R_j \quad \forall e_j \in E, \forall v_i \in e_j \\
 & x'_j - x'_i \geq \frac{w_i + w_j}{2} \quad \forall e_{i,j}^h \in HCG \\
 & \frac{w_i}{2} \leq x'_i \leq W - \frac{w_i}{2} \quad \forall v_i \in V
 \end{aligned} \quad (13)$$

算法 1 为现有的空白区域再分配算法。其中第一步根据模块集合 V 提供的模块位置信息构建约束图。第二步为输入 (V, E, HCG, VCG) 到基于 LP 的空白区域再分配模型(即公式(12)),并进行求解,从而获得优化后的解 V' 。

算法 1 传统的空白区域再分配^[20]

输入. 合法化后的解 V , 线网 E

输出. 优化后的解 V'

Step1. $HCG, VCG \leftarrow$ 构建约束图(V)

Step2. $V' \leftarrow$ 求解 LP 模型(V, E, HCG, VCG)

Step3. 返回 V'

在算法 1 中,模块的相对位置不会改变,本文对其改进,提出新的空白区域再分配算法 2。新算法的核心思想是打破保持模块相对位置不变的束缚,以设计新的约束图构建方式,从而减少约束图的边数,新约束图记为 HCG' 和 VCG' 。此外,为了适应新的约束图构建方式,本文设计了新的算法流程,使其能够进行多轮次的优化。较少的约束图边数和多轮次的优化意味着更大的解空间,因此新算法能够获得更优的解。虽然新算法会改变模块之间的相对位置关系,但是如果保持特定模块之间的相对位置关系,只需在相应的约束图中添加相应的边。例如,若要保

持模块 m_i 位于模块 m_j 的左侧,则只需在水平约束图中添加边 $m_i \rightarrow m_j$ 。

算法 2 新的空白区域再分配

输入. 合法化后的解 V , 线网 E

输出. 优化后的解 V'

Step1. $HCG' \leftarrow$ 构建新的水平约束图(V)

Step2. $V' \leftarrow$ 求解水平 LP 模型(V, E, HCG')

Step3. $VCG' \leftarrow$ 构建新的竖直约束图(V')

Step4. $V' \leftarrow$ 求解竖直 LP 模型(V', E, VCG')

Step5. $HCG' \leftarrow$ 构建新的水平约束图(V')

Step6. $V' \leftarrow$ 求解水平 LP 模型(V', E, HCG')

Step7. 返回 V'

本文的空白区域再分配新方法与传统方法在以下 3 个方面有所不同:

第一,在构建约束图时采用不同的方法。传统方法需要根据图 5 中的 4 种相对位置关系来构建边。而本文的新方法只需要根据图 5(a)中的水平相对位置关系构建新的水平约束图 HCG' ,以及根据图 5(b)中的竖直相对位置关系构建新的竖直约束图 VCG' 。

第二,在构建约束图的时机上有所不同。传统方法直接对输入的布图构建完整的约束图。而新方法在求解水平(竖直)LP 模型前,会根据上一次优化的结果构建新的水平(竖直)约束图。

第三,在优化次数上也有所不同。传统方法的约束图构建方式和时机限制了其只能进行一次水平优化和一次竖直优化。而新方法允许进行多次优化,直到目标函数值不再改善为止。然而,随着优化次数的增加,优化效果逐渐减弱。为了解质量和运行时间之间取得平衡,本文进行了 3 次优化,首先进行水平优化,然后竖直优化,最后再进行一次水平优化。需要注意的是,新方法不会导致模块重叠。本文通过以下定理来证明这一点。

定理 1 进行水平空白区域再分配前,在水平约束图中,模块之间只需要构建在 y 轴上投影存在重叠的边(图 5(a)中所对应的边),就可以确保水平空白区域再分配结束后模块之间不会产生重叠。类似地,在竖直方向也可以得出相同的结论。

证明 在构建水平约束图时,对于任意两个模块 m_i 和 m_j 存在两种情况:它们在 y 轴上的投影要么没有重叠,要么有重叠。如果有重叠,不妨设 m_i 在 m_j 左边,则在水平约束图 HCG' 中构建一条水平边 $m_i \rightarrow m_j$ 。由于水平空白区域再分配仅改变模块的 x 坐标而不影响 y 坐标,因此,当 m_i 和 m_j 在 y 轴上的投影没有重叠时,经过水平空白区域再分配后也不会产生重叠。当 m_i 和 m_j 在 y 轴上的投影存在重叠时,所构建的水平边 $m_i \rightarrow m_j$ 在 LP 模型中对应的约束 $x'_j - x'_i \geq (w_i + w_j)/2$ 将确保这两个

模块不会重叠。因此,无论哪种情况,都可以确保不会产生重叠。

下面使用图 6 中的示例来比较传统的空白区域再分配方法和本文提出的方法之间的差异。图 6(a)是一个初始布图,其中,模块 m_1 和 m_4 通过线网连接。为了简化,假设只有模块 m_1 可以移动,因此在构建约束图时,只需要考虑 m_1 与其他模块的相对位置关系。传统方法是在图 6(a)的基础上构建约束图,其中包含水平边集合 $\{m_1 \rightarrow m_3, m_1 \rightarrow m_4, m_1 \rightarrow m_5\}$ 和竖直边集合 $\{m_1 \uparrow m_2\}$ 。在此基础上, m_1 首先水平向右移动,直到受到水平关系 $m_1 \rightarrow m_3$ 的约束,得到图 6(b)。接着,它再竖直向上移动,直到受到竖直关系 $m_1 \uparrow m_2$ 的约束,得到图 6(c)。

相比之下,本文的新方法步骤如下:在图 6(a)中仅构建水平关系 $m_1 \rightarrow m_4$ 和 $m_1 \rightarrow m_5$ 。 m_1 首先水平向右移动,直到受到水平关系 $m_1 \rightarrow m_5$ 的约束,得到图 6(d)。然后,仅在图 6(d)中构建竖直关系 $m_1 \uparrow m_3$,再竖直向上移动,直到受到竖直关系 $m_1 \uparrow m_3$ 的约束,得到图 6(e)。最后,在图 6(e)中仅构建水平关系 $m_1 \rightarrow m_4$,再水平向右移动,直到受到水平关系 $m_1 \rightarrow m_4$ 的约束,得到图 6(f)。显然,新方法能获得更好的 HPWL。新算法不仅适用于以 HPWL 为目标的情况,而且适用于任何涉及使用约束图来避免模块重叠的情况,通过使用新算法能获得更优解。

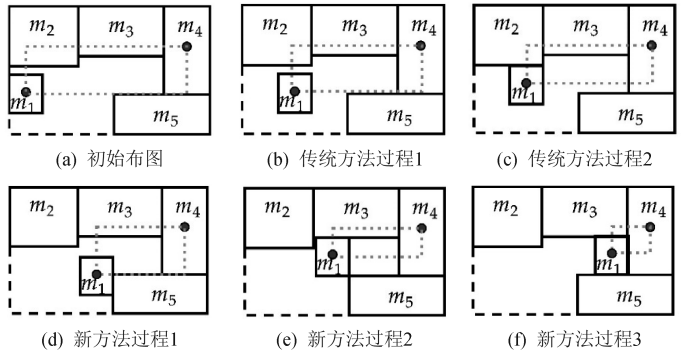


图 6 传统的与新的空白区域再分配方法对比

Fig. 6 Comparison of traditional and new blank area reassignment methods

2.6 布图规划算法流程

图 7 给出了本文的固定边框布图规划算法流程。算法主要分为 3 个阶段:总体布图规划阶段、合法化阶段和后处理阶段。初始化时,先读取输入文件,然后利用二次布局(Quadratic Placement, QP)^[23]方法得到初始布图。在合法化阶段,本文使用基于最小割最大流的合法化方法^[24],以移除模块之间的重叠。接下来介绍总体布图规划阶段中的细节。

在总体布图规划阶段的梯度优化中,需要计算线长梯度和密度梯度。线长梯度涉及 LSE 线长模型关于模块位

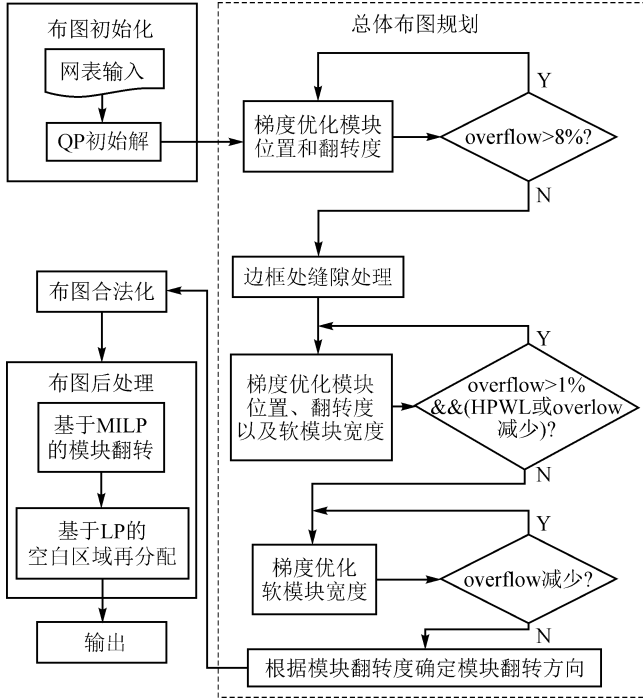


图7 本文的固定边框布图规划算法流程

Fig. 7 Algorithm flow of fixed border layout planning in this article

置和翻转度的偏导数计算,而密度梯度涉及电场电势能 N 关于模块位置和软模块宽度的偏导数计算。对于模块位置 (x, y) ,本文采用了 ePlace^[13] 中的 Nesterov 加速梯度法、罚参数更新方法和预条件方法进行优化。而对于软模块宽度 w 和模块翻转度 $(\tilde{\beta}_i^H, \tilde{\beta}_i^V)$,本文延用 PeF^[10] 中的归一化梯度下降法进行优化。在第 k 轮迭代中,软模块宽度 w 更新方式为: $w_{k+1} = w_k - \text{step} \nabla_w N(V_k)$,其中 $\text{step} = \alpha_w / \|\nabla_w N(V_k)\|$,这里设置常数 $\alpha_w = 1$,翻转度更新方式与之类似。

总体布图规划阶段细分为以下 5 个步骤:①同时优化模块位置和翻转度,直到 $\text{overflow} \leq 8\%$,该步骤的目标是扩散模块,同时优化线长。②使用第 3.3 节的方法处理边框处的缝隙,充分利用边框处缝隙中的空白区域。③同时优化模块位置、软模块宽度和翻转度,直到 $\text{overflow} \leq 1\%$ 或优化效果不再明显。若本轮迭代相比上一轮迭代线长增加且 overflow 增加,则判断优化效果不再明显。该步骤旨在进一步减少模块重叠并优化线长。④仅优化软模块宽度,以降低 overflow ,直到 overflow 不再下降。该步骤用于微调软模块宽度以减少模块重叠,降低合法化难度。⑤在总体布图规划阶段退出前,需要根据模块的翻转度进行投影,从而获得模块的翻转方向。

3 实验结果

本节进行了一系列实验验证所提出的固定边框布图规划算法的有效性。本文选择 HB+^[25] 和 ami49_x^[26] 这两个基准测试集,并将算法与最好的布图算法的实验结果进行对比。算法结果以 HPWL 和运行时间作为评价指标,并从相关文献中获取了对比数据。本文使用 C++ 语言编写了单线程的算法程序,并在 Linux 系统下运行。实验机器配置为 5.10 GHz 12th Gen Intel Core i9 - 12900 CPU 和 32 GB 内存。本文使用优化求解器 CPLEX (22.1.1.0 版本)来求解第 3.4 节中的 MILP 问题以及第 3.5 节中的 LP 问题。

3.1 HB+数据集上的实验结果

在 HB+数据集上,与本文算法进行对比的布图器包括采用多级框架的 DeFer^[13]、采用解析方法的参考文献[4],以及目前在线长上取得最好结果的布图器 PeF^[10]。HB+数据集中所有模块的引脚位置都位于模块的中心,这导致翻转力为 0。因此,模块翻转方法在该测试集上无效。

表 1 列出了在 HB+基准测试集中的布图规划算法的实验结果。前 5 列给出了每个基准测试实例的基本信息,包括电路名称、硬模块数量、软模块数量和终端数量,以及空白面积比率。第 6~9 列显示了每个布图器的 HPWL 实验结果,单位为 10^6 。第 10~13 列给出了每个布图器的运行时间,单位为秒。表 1 的最后一行给出了以本文方法的实验结果为基准,其他方法与本文方法进行对比得出的比率的平均值。从表 1 最后一行可以看出,本文的布图规划算法的 HPWL 结果在 HB+基准测试集的所有电路上都有大幅度的提升且取得了最好的结果。

3.2 ami49_x数据集上的实验结果

在 ami49_x 基准测试集中,比较了本文的布图规划算法与 IMF+AFF^[26]、Capo10.2^[8] 和领先布图器 PeF^[10] 的性能。IMF+AFF^[26] 和 Capo10.2^[8] 都采用启发式算法,并结合了多级框架。表 2 列出了最终的实验结果。前 3 列是 ami49_x 基准测试实例的基本信息,包括电路名称、模块数量和线网数量。每个布图器的线长结果显示在第 4~7 列,单位为 10^6 。运行时间显示在第 8~11 列,单位为分钟。表 2 的最后一行给出了以本文方法的实验结果为基准,其他方法与本文方法进行对比得出的比率的平均值。从该行可以看出,本文的布图规划算法在 ami49_x 基准测试的所有电路上都取得了最佳的 HPWL 结果。

表 1 HB+ 测试集上的实验结果
Table 1 Experimental results on the HB+ test set

电路信息					HPWL/ 10^6				时间/s			
电路名称	硬模块数量	软模块数量	终端数量	空白面积比率	DeFer	参考文献[4]	PeF	Ours	DeFer	参考文献[4]	PeF	Ours
HB+01	665	246	246	26%	3.09	3.03	3.00	2.44	1.80	266	4.3	5.3
HB+02	1 200	271	259	25%	6.17	5.93	6.02	5.18	15.30	512	4.3	11.0
HB+03	999	290	283	30%	9.19	8.75	8.17	7.15	4.00	255	8.1	12.3
HB+04	1 289	295	287	25%	10.26	9.72	9.72	8.12	14.20	1110	7.5	132
HB+06	571	178	166	25%	8.78	8.67	7.91	6.89	5.00	35	7.1	10.0
HB+07	829	291	287	25%	15.48	15.72	14.07	13.11	4.60	177	7.2	15.6
HB+08	968	301	286	26%	18.73	16.57	17.19	15.13	19.30	328	9.7	19.2
HB+09	860	253	285	25%	16.66	16.44	15.81	13.73	4.20	131	9.0	16.7
HB+10	809	786	744	20%	45.12	42.22	40.61	35.18	6.30	351	32.9	26.5
HB+11	1 124	373	406	25%	26.99	27.13	24.58	21.92	7.10	546	9.3	24.7
HB+12	582	651	637	26%	50.17	55.06	48.96	43.99	5.50	154	15.0	24.0
HB+13	830	424	490	25%	35.51	34.93	32.65	29.00	5.90	136	14.2	24.6
HB+14	1 021	614	517	25%	64.50	63.58	59.62	54.42	12.00	1097	16.7	37.8
HB+15	1 019	393	383	25%	84.29	75.67	73.93	66.73	14.70	1627	24.8	51.9
HB+16	633	458	504	25%	98.66	90.98	87.32	79.97	8.10	179	20.0	40.1
HB+17	682	760	743	25%	144.50	138.60	138.44	126.18	14.70	433	20.5	79.6
HB+18	658	285	272	25%	71.86	69.83	68.05	61.13	11.30	116	14.5	39.2
比率					1.223	1.184	1.133	1.000	0.439	21.361	0.560	1.000

表 2 ami49_x 测试集上的实验结果(空白面积比例 15%)
Table 2 ami49_x experimental results on the test set (blank area ratio is 15%)

电路信息				HPWL/ 10^6				时间/min		
电路名称	模块数量	线网数量	IMF+AFF	Capo10.2	PeF	Ours	IMF+AFF	Capo10.2	PeF	Ours
ami49_10	490	4 521	3.31	3.20	2.68	2.27	0.2	0.9	0.08	0.07
ami49_20	980	9 091	8.13	7.66	6.80	5.92	0.5	1.9	0.09	0.11
ami49_40	1 960	18 231	20.20	19.30	19.03	15.66	1.3	3.7	0.22	0.28
ami49_60	2 940	27 371	34.20	33.70	32.30	27.85	2.2	6.4	0.43	0.44
ami49_80	3 920	36 511	50.50	49.50	47.30	42.35	3.5	7.8	1.08	0.68
ami49_100	4 900	45 651	68.60	67.90	65.32	58.54	5.1	10.4	1.57	1.00
ami49_150	7 350	68 501	121.00	119.00	113.86	104.71	11.0	18.4	2.57	2.04
ami49_200	9 800	91 351	180.00	177.00	170.02	158.67	19.1	22.4	5.02	3.54
比率			1.250	1.215	1.137	1.000	4.747	11.832	1.190	1.000

3.3 超大型模块密度计算、边框处缝隙处理以及空白区域再分配的有效性

在表 3 中,第 1 列为每个基准测试的电路名称,第 2~6 列给出了不同方法的 HPWL 结果。为了说明超大型模块密度计算和边框处缝隙处理的有效性,第 2 列和第 3 列展示了本文方法在分别去除超大型模块密度计算和边框处缝隙处理后的结果。为了说明本文的空白区域再分配技

术的有效性,第 4 列展示了使用传统的空白区域再分配方法替代本文提出的新空白区域再分配方法的结果。第 5 列给出了本文的方法在去除空白区域再分配方法后的结果。第 6 列展示了本文方法的最终结果。为了方便,将这些方法简记为 Rho、Gap、OWSR、WSR 和 Ours。表 3 的最后一行给出了以本文方法的结果为基准,其他方法与本文方法进行对比得出的比率的平均值。

如表 3 所列,通过使用超大型模块密度计算和边框处缝隙处理技术,本文方法在线长方面分别实现了平均 1.7%和 0.6%的改进。相对于使用传统的空白区域再分配方法和不使用空白区域再分配方法,使用本文提出的空白区域再分配方法在线长上分别实现了平均 1.3%和 5.3%的改进。正如第 3.5 节所述,本文的空白区域再分配方法通过减小 LP 问题中约束条件的数量并进行额外的优化轮次有效地减少 HPWL。

表 3 HB+测试集上的 HPWL(10^6)结果,验证超大型模块密度计算、边框处缝隙处理和新空白区域再分配的有效性

Table 3 HPWL (10^6) results on the HB+ test set, verifying the effectiveness of ultra large module density calculation, border gap processing, and new blank area redistribution

电路名称	Rho	Gap	OWSR	WSR	Ours
HB+01	2.47	2.47	2.47	2.59	2.44
HB+02	5.24	5.20	5.29	5.50	5.18
HB+03	7.27	7.17	7.34	7.68	7.15
HB+04	8.54	8.14	8.26	8.60	8.12
HB+06	7.06	7.10	6.98	7.38	6.89
HB+07	13.19	13.11	13.23	13.72	13.11
HB+08	15.31	15.34	15.35	15.93	15.13
HB+09	13.80	13.82	13.88	14.50	13.73
HB+10	35.30	35.05	35.52	36.53	35.18
HB+11	22.22	22.03	22.18	23.32	21.92
HB+12	48.63	43.93	44.86	46.27	43.99
HB+13	29.02	29.11	29.40	30.57	29.00
HB+14	54.40	54.51	54.88	56.47	54.42
HB+15	67.63	67.46	67.54	72.14	66.73
HB+16	80.10	80.21	80.71	82.79	79.97
HB+17	127.59	126.61	127.68	129.93	126.18
HB+18	61.13	61.32	61.33	62.69	61.13
比率	1.017	1.006	1.013	1.053	1.000

3.4 模块翻转方法的有效性

在该实验中,本文基于 ami49_x 测试集展示了线长驱动的模块翻转方法的有效性。本文的模块翻转方法由两个部分组成:总体布图规划阶段的翻转力和后处理阶段的基于 MILP 的模块翻转。因此,在消融实验中,本文比较了不同模块翻转策略对 HPWL 的影响,包括不翻转、仅 MILP 翻转、仅翻转力和本文方法。表 4 的第 1 列为每个基准测试实例的名称,第 2~5 列给出了不同模块翻转策略下本文算法的 HPWL 计算结果。表 4 中的最后 1 行列出了以本文方法的计算结果作为基准、其他模块翻转策略下与本文方法进行比较得出的平均比率。

表 4 ami49_x 测试集上 HPWL(10^6)结果,验证模块翻转方案的有效性

Table 4 HPWL (10^6) results on ami49_x test set, verify the effectiveness of the module flipping scheme

电路名称	不翻转	仅 MILP 翻转	仅翻转力 翻转	Ours (翻转力+MILP)
ami49_10	2.39	2.33	2.28	2.27
ami49_20	6.18	6.06	5.96	5.92
ami49_40	16.25	16.06	15.73	15.66
ami49_60	28.66	28.37	27.94	27.85
ami49_80	43.46	43.03	42.47	42.35
ami49_100	60.11	59.55	58.69	58.54
ami49_150	107.08	106.27	104.89	104.71
ami49_200	161.99	161.01	158.96	158.67
比率	1.032	1.020	1.004	1.000

从表 4 的最后一行可以看出,本文的模块翻转方法取得了最佳的线长结果,相比于不翻转、仅 MILP 翻转和仅翻转力,HPWL 分别减小了 3.2%、2.0%和 0.4%。仅翻转力与本文方法相比仅有 0.4%的差距,这表明本文提出的翻转力方法在整个模块翻转过程中起到了主要作用,而 MILP 翻转方法则起到了辅助作用。仅 MILP 翻转和仅翻转力分别比不翻转优化了 1.2%和 2.8%,即翻转力的优化效果是 MILP 翻转的 2.3 倍,这进一步说明了翻转力方法能够实现更好的优化效果。这是因为翻转力方法在总体布图规划阶段对模块翻转进行了全局视角的优化指导。此外,翻转力方法非常灵活,可以方便地集成到基于解析方法的布图规划器或布局器中。

3.5 布图规划结果图展示

图 8 展示了本文布图规划算法在 HB+02 和 ami49_10 电路上的结果。图中的外围虚线表示固定边框,灰色的矩形表示模块,而模块的右上角斜线用于表示其方向。总体布图规划阶段结束时,模块已经散开,而合法化过程则完全消除了模块之间的重叠,后处理阶段对布图进一步优化。

4 结 语

本文基于解析方法对布图规划进行了探索,针对模块翻转问题提出了翻转力方法。该方法在总体布图规划阶段使用线长驱动的模块翻转力将每个模块翻转到理想的方向。为了进一步提升算法的性能,本文基于静电场模型设计了一个新的总体布图规划流程。在该流程中,本文对超大型模块的密度计算进行了特殊处理,以减少超大型模块的排斥力,使得其他模块能更加靠近超大型模块,从而实现更加均匀的模块分布。此外,针对边框处缝隙中的空

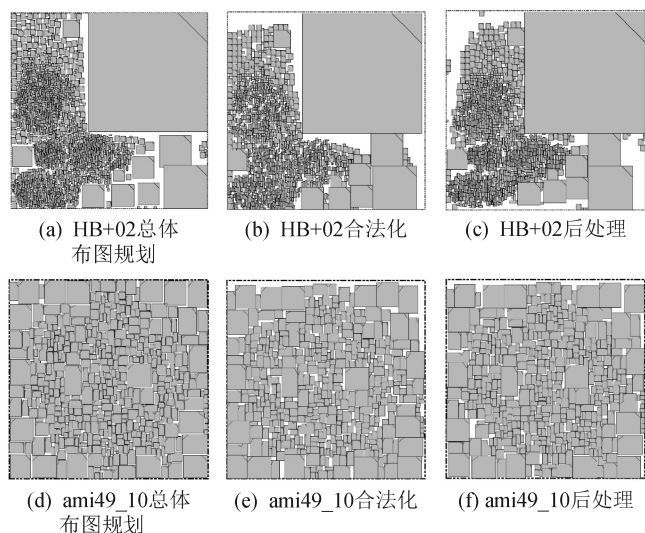


图8 本文算法关于 HB+02 和 ami49_10 的结果

Fig. 8 Result of HB+02 and ami49_10 using the algorithm in this article

白区域,本文提出了一种边框处缝隙处理方法,以充分利用该空白区域。最后,本文将后处理阶段添加到布图规划算法中。该后处理阶段首先基于 MILP 翻转模型对模块翻转方向进行再次优化,然后采用本文提出的新的空白区域再分配方法。实验结果表明,本文的布图规划算法在线长方面取得了巨大提升。

参考文献

- [1] 徐宁,洪先龙. 超大规模集成电路物理设计理论与算法[M]. 北京:清华大学出版社,2009.
XU N, HONG X L. Theory and Algorithm of Physical Design for Very Large Scale Integrated Circuits[M]. Beijing: Tsinghua University Press, 2009 (in Chinese).
- [2] 郝睿,蔡懿慈,周强,等. DrPlace: 基于深度学习的可布线性驱动布局算法[J]. 计算机辅助设计与图形学学报, 2021, 33(4): 624 - 631.
HAO R, CAI Y C, ZHOU Q, et al. DrPlace: A Distributed Linear Driven Layout Algorithm Based on Deep Learning [J]. Journal of Computer - Aided Design & Computer Graphics, 2021, 33(4): 624 - 631 (in Chinese).
- [3] 徐宁,洪先龙,陈松,等. 热约束的 BBL 布局算法研究[J]. 计算机辅助设计与图形学学报, 2005, 17(6): 1312 - 1315.
XU N, HONG X L, CHEN S, et al. Research on BBL Layout Algorithm with Thermal Constraints [J]. Journal of Computer - Aided Design & Computer Graphics, 2005, 17(6): 1312 - 1315 (in Chinese).
- [4] LIN J M, CHEN T T, HSIEH H Y, et al. Thermal - aware fixed - outline floorplanning using analytical models with thermal - force modulation [J]. IEEE Transactions on Very Large Scale Integration Systems, 2021, 29(5): 985 - 997.
- [5] 杜世民,夏银水,杨润萍,等. 固定边框的多电压布图规划算法[J]. 电子学报, 2017, 45(3): 1873 - 1881.
DU S M, XIA Y S, YANG R P, et al. Fixed Border Multi-voltage Layout Planning Algorithm [J]. Journal of Electronics, 2017, 45(3): 1873 - 1881 (in Chinese).
- [6] MURATA H, FUJIYOSHI K, NAKATAKE S, et al. Rectangle - packing - based module placement [C] // Proceedings of IEEE/ACM International Conference on Computer Aided Design, 1995: 472 - 479.
- [7] CHANG Y C, CHANG Y W, WU G M, et al. B* - Trees: A new representation for non - slicing floorplans [C] // Proceedings of the Design Automation Conference, 2000: 485 - 463.
- [8] ADYA S N, CHATURVEDI S, ROY J A, et al. Unification of partitioning, placement and floorplanning [C] // Proceedings of IEEE/ACM International Conference on Computer Aided Design, 2004: 550 - 557.
- [9] YAN J Z, CHU C. DeFer: Deferred decision making enabled fixed - outline floorplanning algorithm [C] // IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 2010, 29(3): 367 - 381.
- [10] LI X M, PENG K Y, HUANG F X, et al. PeF: Poisson's equation based large - scale fixed - outline floorplanning [J]. IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 2023, 42(6): 2002 - 2015.
- [11] CHEN T C, JIANG Z W, HSU T C, et al. NTUplace3: An analytical placer for large - scale mixed - size designs with preplaced blocks and density constraints [J]. IEEE Transactions on Computer - Aided Design of Integrated Circuits and Systems, 2008, 27(7): 1228 - 1240.
- [12] LIN J M, CHIU P Y, CHANG Y F. SAINT: Handling module folding and alignment in fixed - outline floorplans for 3D ICs [C] // Proceedings of IEEE/ACM International Conference on Computer Aided Design, 2016: 1 - 7.
- [13] LU J W, CHEN P W, CHANG C C, et al. ePlace: Electrostatics - based placement using fast fourier transform and Nesterov's method [J]. ACM Transactions on Design Automation of Electronic Systems, 2015, 20(2): 1 - 34.
- [14] CHENG C K, YAO S Z, HU T C. The orientation of modules based on graph decomposition [J]. IEEE Transactions on Computers, 1991, 40(6): 774 - 780.
- [15] SHAM C W, YOUNG E R, CHU C. Optimal cell flipping in placement and floorplanning [C] // Proceedings of the Design Automation Conference, 2006: 1109 - 1114.
- [16] XIN H, BREWER F. Wire length optimization by optimal block orientation [C] // Proceedings of IEEE/ACM International Conference on Computer Aided Design, 2005: 64 - 70.
- [17] NAYLOR W C, DONNELLY R, SHA L. Non - linear optimization system and method for wire length and delay optimization for an automatic electronic circuit placer [P].

- US6301693B1, 2001-10-09.
- [18] ZHU W X, HUANG Z P, CHEN J L, et al. Analytical solution of poisson's equation and its application to VLSI global placement [C]//Proceedings of IEEE/ACM International Conference on Computer Aided Design, 2018:1-8.
- [19] CHENG C K, KAHNG A B, KANG I, et al. RePlAce: Advancing solution quality and routability validation in global placement[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, 38(9):1717-1730.
- [20] TANG X P, TIAN R Q, WONG M D. Optimal redistribution of white space for wire length minimization[C]//Proceedings of the Asia and South Pacific Design Automation Conference, 2005:412-417.
- [21] LI X, MA Y C, HONG X L, et al. LP based white space redistribution for thermal via planning and performance optimization in 3D ICs[C]//Proceedings of the Asia and South Pacific Design Automation Conference, 2008:209-212.
- [22] LI Z Y, HONG X L, ZHOU Q, et al. Efficient thermal via planning approach and its application in 3-D floorplanning [J]//IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(4):645-658.
- [23] KLEINHANS J M, SIGL G, JOHANNES F M, et al. GORDIAN: VLSI placement by quadratic programming and slicing optimization[J]//IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1991, 10(3):356-365.
- [24] HUANG F X, LIU D X, LI X Q, et al. Handling orientation and aspect ratio of modules in electrostatics-based large scale fixed-outline floorplanning [C]//Proceedings of IEEE/ACM International Conference on Computer Aided Design, 2023.
- [25] NG A N, MARKOV I L, AGGARWAL R, et al. Solving hard instances of floorplacement [C]//Proceedings of the International Symposium on Physical Design, 2006:170-177.
- [26] CHEN T C, CHANG Y W, LIN S C. A new multilevel framework for large-scale interconnect-driven floorplanning[J]. IEEE Transactions on Design of Integrated Circuits and Systems, 2008, 27(2):286-294.

(责任编辑:薛士然 收稿日期:2023-11-15)