

一种可配置异构多核 SoC 的设计实现方法^{*}

潘 斌

(南方电网广东中山供电局, 中山 528400)

摘要: 针对需要高性能处理和低功耗的各种应用(识别、推理、测量、控制和安全), 开发了一种多核片上系统(System-on-Chip, SoC)。该 SoC 集成了 3 种可综合的处理器: 8 个 CPU(M32R)、2 个多组矩阵处理器(Multi-Bank Matrix processors, MBMX)和 1 个控制器(M32C)。这些处理器分别以 1 GHz、500 MHz 和 500 MHz 的频率运行, 这 3 种处理器通过高带宽多层系统总线在芯片上相互连接, 8 个 CPU 通过缓存一致性机制连接到一个公共流水线总线上。此外, 8 个 CPU 共享 1 个 512 KB 的 L2 缓存以减少内部总线流量, 采用了一种具有 2 读 1 写计算和后台 I/O 操作功能的多组矩阵处理器, 1 GHz 的 CPU 通过延迟管理网络实现, 该网络包括可以适用于任何应用或工艺技术的延迟监视器。可配置异构架构具有 9 个 CPU 和 2 个矩阵处理器, 可以将功耗降低 45%。

关键词: 时钟延迟调整器; CMOS; 可配置处理器; 延迟监视器; 异构多核处理器

中图分类号: TP391

文献标识码: A

Design Method of Configurable Heterogeneous Multi-core SoC

Pan Bin

(Southern Power Grid Guangdong Zhongshan Power Supply Bureau, Zhongshan 528400, China)

Abstract: A system-on-chip (SoC) has been developed in this study to cater to various applications requiring high-performance processing and low power consumption, such as recognition, inference, measurement, control, and security. The SoC integrates three synthesizable processors: eight CPUs (M32R), two multi-bank matrix processors (MBMX), and one controller (M32C). These processors operate at frequencies of 1 GHz, 500 MHz, and 500 MHz respectively. The three processors are interconnected on the chip through a high-bandwidth multi-layer system bus. The eight CPUs are connected to a shared pipeline bus via a cache coherence mechanism. Additionally, the eight CPUs share a 512 KB L2 cache to reduce internal bus traffic. The multi-bank matrix processor, which features 2-read-1-write computation and background I/O operations, is implemented using a 1 GHz CPU and a delay management network. This network includes a delay monitor applicable to any application or process technology. The configurable heterogeneous architecture comprises nine CPUs and two matrix processors, enabling a 45% reduction in power consumption.

Keywords: clock delay adjuster; CMOS; configurable processor; delay monitor; heterogeneous multicore processor

0 引言

近年来, 图像识别在消费电子领域成为关键技术, 数码相机普遍配备面部识别功能, 对高性能、低功耗 SoC 的需求不断增加, 涵盖图像识别、推理、测量、控制和安全等多个复杂应用^[1-2], 将多个处理器集成到单个芯片中是满足高性能、低功耗和短设计周期的有效方案^[3-4]。现有研究已开发出多种多核处理器芯片, 采用单指令多数据(Single-Instruction Multiple-Data, SIMD)方法提高并行处理效率, 减少功耗消耗^[5], 但 SIMD 方法不适用于通用处理和控制处理。异构系统能更有效执行多媒体应用,

如识别和测量, 通过适应不同应用的硬件资源分配, 将应用程序分为数据和控制处理, 提高性能^[6]。除性能提升外, 快速开发和设计复杂 SoC 也至关重要。本文采用可综合模块设计方法, 减少自定义设计模块的使用, 提高易实现性和可移植性。随着芯片中 CPU 的数量不断增加, 整体芯片管理器降低功耗、热量和噪音, 多核 SoC 配备内部监控系统, 调节时钟相位和 CPU 处理负载。

1 架构

1.1 芯片概述

本文开发了一种采用异构多核架构的多核 SoC^[7], 集成了 3 种可综合的处理器(8 个用于复杂程序的 CPU

^{*} 基金项目: 国家自然科学基金(61472458)。

(M32R)、2 个用于处理大量多媒体数据的 MBMX,以及 1 个用于整体芯片管理的微控制器(M32C)),当前多核 SoC 的峰值性能达到 76 GFLOPS。

8 个 CPU 通过缓存一致性机制的公共流水线总线连接^[8],共享 512 KB 的 L2 缓存以减少内部总线流量。流水线总线带宽为每秒 8 GB 读取和 2 GB 写入。MBMX 是处理图像数据的 SIMD 大规模并行处理器,采用可综合版本,每个处理元素 2 位,共有 768 个,配备 32 KB 指令存储器和 96 KB 数据存储器,使用 4 个组。处理器通过高带宽多层系统总线连接,L2 缓存与多层系统总线通信。嵌入式静态随机存取存储器(Static Random Access Memory, SRAM)、内部 I/O、SDRAM 和 MBMX 均通过多层系统总线连接,提供 4 GB/s 传输速率。采用高带宽的“飞跃总线”传输机制,改善 MX 与外部存储器之间的数据传输能力,最大总线带宽为 1 GB/s。多核 SoC 还具有多个数字延迟监视器,这些监视器的输出由微控制器(M32C)监管,并被用作称为“任务跳跃”的函数中每个 CPU 的温度数据。

1.2 8-CPU 块特性

8-CPU 块基于 M32R 32 位精简指令集计算机架构。每个 CPU 是 1 GHz 的可综合处理器,包括双浮点处理单元、内存管理单元、3 个 8 KB 的内存以及调试模块,CPU 采用 7 级双发射流水线处理器,每个 CPU 尺寸为 1.3 mm×1.4 mm,面积仅 1.82 mm²。CPU 包括 3 个编译 SRAM 存储器,其余部分进行综合处理。8 个 CPU 通过共享的流水线一致性总线^[9]进行通信,流水线总线带宽较大,设计用于高频率操作。总线仲裁器以轮询方式协调 CPU 的共享总线访问请求。共享的流水线总线支持使用 LOCK 和 UNLOCK 指令的总线锁定系统,通过共享内存维护处理器之间的内存一致性。

CPU 提供同步原语用于互斥操作,无需总线锁定,内处理器中断用于处理器同步,允许一个 CPU 中断其他任意 CPU,并传输 4 位的内处理器中断原因编号。流水线总线连接到 L2 缓存,L2 缓存直接连接到双数据速率 2 接口逻辑和多层系统总线,提供所需的速度和带宽。

这个 8-CPU 块是一个 8 路传统对称多处理器(Symmetric Multiprocessor, SMP),支持独特的 CPU 分组模式。在默认的单一组模式下,执行窥探操作以确保所有 CPU 的一级缓存一致性。启用窥探范围规范功能后,根据处理器的任意组合分为多个处理器组,形成多组模式用于 CPU 监视,每个处理器组执行自己的专用工作,这种窥探分组 CPU 模式减小了窥探开销,提高了约 8%的处理性能。

1.3 适用于多个应用的可配置多核 SoC

本文提出了一个可配置异构多核系统,将芯片上的硬件资源分为多个组,以针对不同应用进行高度专业化。

图 1 展示了可配置异构多核系统的架构,其中箭头表示数据流向,方框表示硬件资源组。当前的多核 SoC 系统具有同时执行不同总线事务的能力,首先每个 CPU 中的 L1 缓存具有窥探功能,其次流水线总线隐藏了窥探开销。图 1 中还展示了窥探分组的效果,L2 缓存同时访问 DDR 控制器和多层总线;此外 MBMX 通过飞跃总线处理外部 SDRAM 之间的数据传输,并通过多层总线访问 CPU,因此当前的多核 SoC 总线系统避免了硬件冲突。

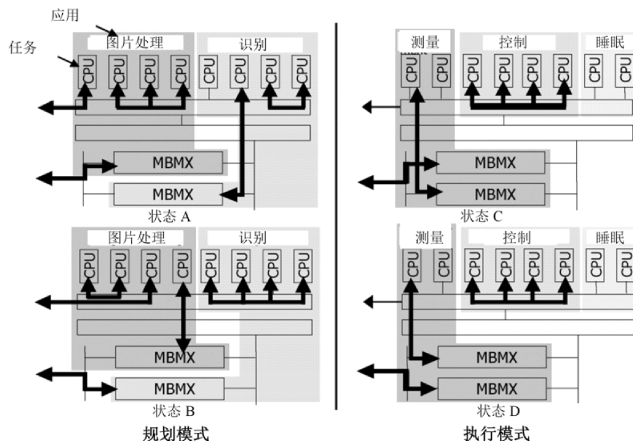


图 1 可配置的异构多核系统

在汽车安全应用中,该多核系统同时执行由多个多任务组成的应用程序,每个任务调用图像处理、识别、控制或测量等应用。在图 1 中有两种模式:规划模式和执行模式。在规划模式下,图像处理组使用 4 个 CPU 和 1 个 MBMX,识别组使用额外的 4 个 CPU 和 1 个 MBMX,数据从相机捕获的图像通过飞跃总线传输到 MBMX,在图像处理组进行复杂操作处理;识别组中的 MBMX 通过与 CPU 通信处理大量数据,然后切换到执行模式,在每个应用程序中动态更改任务分配,状态 A 和状态 B 展示了任务分配的变化,避免了飞跃总线上的冲突数据传输,这种硬件资源组机制分散了处理器负载峰值并消除了硬件资源冲突。

图 2 说明了使用可配置异构多核系统相对于传统的 SMP 系统在基于相位图像匹配的三维测量应用中的性能提升。由 8-CPU 和 2 个 MBMX 组成的系统相比于由 16 个 CPU 组成的 SMP 系统,可以减少 45% 的功耗。三维测量应用包含复杂操作和数据操作,总周期为 53G 个时钟周期。计算结果表明,使用本文方法,系统 B 的功耗为 4.1 W,相对于传统的 SMP 系统 A,功耗降低了 45%。在处理大规模二维 FFT 的数据时,MBMX 表现出色。

2 多组矩阵处理器

2.1 为高效访问数据的四组 SRAM

MBMX 是一个可综合的大规模并行处理器,具有 768

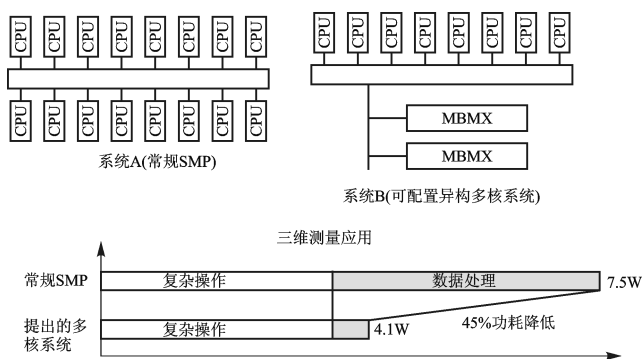


图2 功耗比较

个2位处理元、32 KB指令存储器和96 KB数据存储器，采用4个组配置。为了提高性能，本文优化了MBMX的读取—修改—写入操作，将操作拆分为读取执行和写入操作，并通过流水线技术实现500 MHz的运行频率。利用SRAM的访问模式，MBMX可以同时发出写请求和读请求，两个连续的读—修改—写请求分配给不同的SRAM组，因此连续的访问不会发生冲突。一个读请求发送到一个组，而一个写请求同时发送到其他组之一，从而实现了读—修改—写的吞吐量为一个周期。通过支持四组的SRAM，MBMX只使用单口SRAM就满足了性能要求，因此，MBMX中的SRAM可以由编译后的SRAM组成。

2.2 数据传输和计算的并行操作

MBMX集成了一种高效的数据传输机制，使其能够在MBMX之间进行数据传输和计算的并行操作。在2读/1写操作中，3个SRAM组用于计算，另一个组专用于数据传输(图3)。因此，在MBMX中，总系统性能时间由计算时间决定，而MX的总系统性能时间由计算时间和数据I/O时间的总和决定。

在最理想的情况下，MBMX的速度是MX的两倍。在大多数多媒体应用中，MBMX提供了足够的数据带宽；此外，它还具有一个额外的功能，当应用程序需要将数据传输到特定组时，可以停止计算和SRAM访问。

3 低功耗设计

3.1 数字延迟监测器

模拟温度计通常用于测量芯片的温度。由于其体积较大，因此将多个模拟温度计集成到一个芯片中是困难的。为了解决这个问题，本文在这个SoC中开发了一个新的微型数字延迟监测器，并将其集成到每个处理器中。数字延迟监测器不是测量芯片的温度，而是直接测量延迟时间。

数字延迟监测器由精细监测器和粗略监测器组成，精细监测器由15个触发器和一个能够测量高电平信号在一个时钟周期中传播的反相器链组成。粗略监测器由一个

16位计数器组成，用于累加高电平信号在精细监测器中的反相器链中循环的次数。延迟监测器的输出由15位精细数据和16位粗略数据组成。总芯片管理器读取延迟监测器的输出，并将输出转换为延迟时间。数字延迟监测器的测量精度为20~50 ps。

3.2 延迟管理网络和任务跳转

在SoC上拥有多个处理器会导致多个热点，这些热点也依赖于工作负载。为了保持适当的热分布，需要将热点的位置反馈给总芯片管理器。延迟管理网络由16个延迟监测器、一个总芯片管理和控制单元组成，每个处理器都有一个数字延迟监测器。图3显示了任务跳转操作。总芯片管理器从延迟管理网络接收测量的延迟时间，然后为每个位置生成一个条件标志，任务跳转功能由硬件和软件共同控制，将重负载CPU分配给其他CPU，通过散热CPU的热量来实现最佳性能。

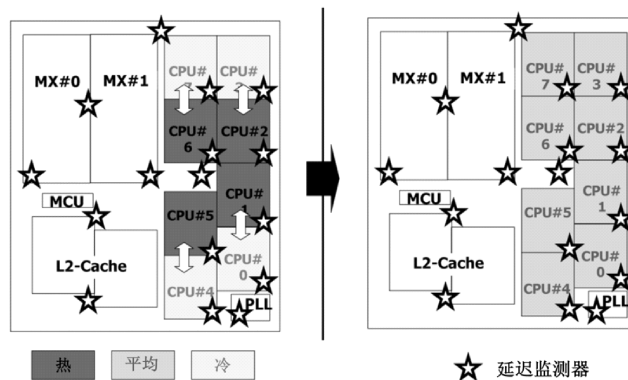


图3 任务跳跃功能

将两种技术进行比较：一种是根据芯片的工作负载来控制频率和供应电压的频率，由于温度是通过模拟热传感器测量的，因此该技术中使用的电路面积较大；另一种是任务跳转技术，当替换CPU中分配的任务时，数据必须被复制回内存，在8 KB高速缓存中复制数据以替换任务大约需要1 s。与需要复杂的电源供应电压、背栅偏置控制的频率和电压控制技术相比，所提出的技术具有更小的面积和更快的响应，使用所提出的技术，供应电压可以降低2%。

3.3 时钟树设计

在时钟树设计中，适当调整时钟偏斜对于高速SoC非常重要。在当前的多核SoC中，每个处理器的中心都放置了一个包含时钟延迟调整器的时钟分频器模块。时钟树综合分为两个步骤：第一步，时钟树从时钟分频器模块综合到每个处理器模块中的所有叶子触发器；第二步，时钟树从时钟生成器综合到每个时钟分频器模块。这样可以产生一个具有较小本地时钟偏斜的时钟树。为了实

现每个 CPU 的 1 GHz 操作,本地时钟偏斜在 150 ps 左右进行优化。

3.4 时钟延迟调整器

过小的时钟偏斜可能会增加峰值噪声,为了减小动态峰值电流,必须使用时钟延迟调整器来调整每个 CPU 的时钟路径延迟。时钟延迟调整器(Clock Delay Adjuster, CDA)由延迟元件和选择器组成,其分辨率为 78 ps。CDA 微调每个处理器的时钟相位,使用这个电路可以有效抑制动态峰值电流和噪声。图 4 显示了 3 个芯片的 CDA 评估结果,在这个评估中,7 个 CPU 的时钟相位被对齐,只有 1 个 CPU 的 CDA 设定值被改变,水平轴显示设定值,垂直轴显示目标 CPU 的最大工作频率,该 CPU 具有不对齐的时钟,当重叠消除时,电压下降减小,目标 CPU 的频率增加。目前的结果显示,通过调整时钟相位,频率可以提高约 4%。图 4 还显示了两个操作频率较低的点,一个大约在 0 ps 附近,另一个大约在 500 ps 附近。在前者点,所有 CPU 的时钟相位匹配,因此电压下降很大;在后者点,由于该 SoC 中的 SRAM 在时钟负边沿附近消耗大量电流,因此在该 CDA 调整方法的帮助下有效提升了可以实现的频率。

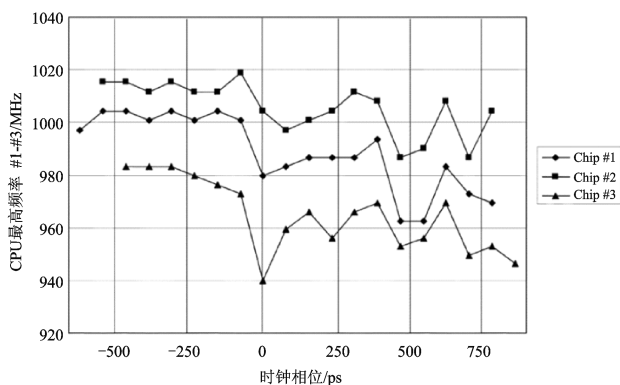


图 4 时钟延迟调整器的评估

4 硅芯测试结果与总结

测试芯片采用 90 nm 通用 CMOS 工艺制造,具有 8 层铜互连。芯片采用 729 引脚的翻转芯片球栅阵列封装。图 5 显示了芯片时钟频率的 shmoo 图。

本文开发了一款集成了 3 种可合成处理器的高速多核 SoC,可配置的异构多核 SoC 相比传统的对称多 CPU 系统降低了 45% 的功耗。1 GHz 的 CPU 和 76 GFLOPS 的 MBMX (500 MHz 运行)通过使用微小的延迟监测器和微控制器来实现“任务跳转”。这是一种在未来应用或工艺技术中有潜力的技术。

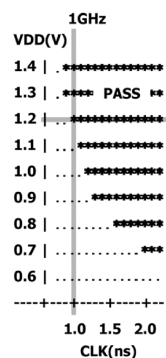


图 5 CPU shmoo 图

参考文献

- [1] 陈诚,皮志勇,赵英龙,等.基于自适应灾变遗传-循环神经网络的锂离子电池 SOC 估计[J].电气工程学报,2022,17(1):86-94.
- [2] 季永康,景乃锋,王琴.面向异构 SoC 的串并混合总线结构设计与研究[J].信息技术,2020,44(6):41-45.
- [3] 闫瑾.SOC 技术与发展预测[J].信息技术,2011,35(9):188-190.
- [4] 雷思磊.RISC-V 架构的开源处理器及 SoC 研究综述[J].单片机与嵌入式系统应用,2017,17(2):56-60,76.
- [5] 张发荣.面向算法的 SIMD 计算机数学模型及其应用[J].电子技术,2022,51(3):48-49.
- [6] 陈梦清,陈洋,陈志环,等.路网约束下异构机器人系统路径规划方法[J].自动化学报,2023,49(4):718-730.
- [7] NODA H, NAKAJIMA M, DOSAKA K, et al. The design and implementation of the massively parallel processor based on the matrix architecture[J]. IEEE Journal of Solid - State Circuits, 2006, 42(1):183-192.
- [8] KANEKO S, KONDO H, MASUI N, et al. A 600 - mhz single - chip multiprocessor with 4.8 - gb/s internal shared pipelined bus and 512 - kb internal memory[J]. IEEE Journal of Solid - State Circuits, 2004, 39(1):184-193.
- [9] 左超,陈钱.计算光学成像:何来,何处,何去,何从[J].红外与激光工程,2022,51(2):158-338.

潘斌(高级工程师),主要研究方向为电力系统自动化。通信作者:潘斌,mvqjre@163.com。

(责任编辑:薛士然 收稿日期:2023-05-22)

- [8] 孙彩霞,郑重,邓全,等.DMR:兼容 RISC-V 架构的乱序超标量通用处理器核[J].计算机研究与发展,2021,58(6):1230-1233.
- [9] 黄正伟,刘宏伟,徐渊.用于 ITof 传感器的极低功耗 RISC-V 专用处理器设计[J].计算机工程,2022,48(9):146-154.
- [10] 杨凯峰,张雪倩,冯娇,等.基于遗传进化策略的处理器验证方案[J].微电子学与计算机,2021,38(5):25-29.

王健(高级工程师),主要研究方向为通信工程、网络安全;付志博(工程师),主要研究方向为信息安全;明哲(高级工程师),主要研究方向为电力自动化、网络安全。通信作者:王健,yixile6833@163.com。

(责任编辑:薛士然 收稿日期:2023-04-14)